

Krzysztof BOJDOŁ, Marian KAMPIK

POLITECHNIKA ŚLĄSKA, INSTYTUT METROLOGII I AUTOMATYKI ELEKTROTECHNICZNEJ

## Cyfrowy oscylator harmoniczny o zmniejszonym wpływie obcięcia słowa akumulatora fazy na dokładność wytwarzanych próbek sinusoidy

Dr inż. Marian KAMPIK

Ukończył studia na Wydziale Elektrycznym Politechniki Śląskiej w 1988 roku. Tamże, w 1996 roku z wyróżnieniem obronił pracę doktorską. Od 1988 roku pracuje w Instytucie Metrologii i Automatyki Elektrotechnicznej Politechniki Śląskiej. W latach 1993-1995 prowadził badania w Laboratorium Transferów AC-DC PTB w Braunschweigu. Jego zainteresowania naukowe obejmują dokładne pomiary wielkości elektrycznych oraz projektowanie elektronicznych przyrządów pomiarowych.



e-mail: Marian.Kampik@polsl.pl

### Streszczenie

W pracy opisano układ cyfrowego oscylatora harmonicznego charakteryzującego się zmniejszonymi rozmiarami wewnętrznej tablicy próbek funkcji sinus oraz odpowiednio dobranymi długościami słów wewnętrznych sygnałów. Celem pracy było uzyskanie odpowiedniej dokładności wytwarzanych próbek sinusoidy oraz zmniejszenie wykorzystywanych zasobów struktury docelowego układu rekonfigurowalnego FPGA.

**Słowa kluczowe:** cyfrowy bezpośredni syntezer częstotliwości, DDS, korekcja, szereg Taylora

### Numerically controlled oscillator with reduced effect of phase accumulator truncation on accuracy of generated sine samples

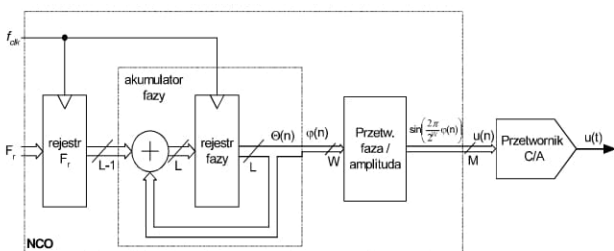
#### Abstract

A numerically controlled oscillator with reduced size of internal sine look-up-table (LUT) and adjusted word-length of internal signals is described. The purpose of this work was to increase the accuracy of the generated samples of sinusoid and to decrease the amount of required resources in the target field-programmable gate array.

**Keywords:** direct digital synthesizer, DDS, correction, Taylor series, NCO, numerically controlled oscillator

## 1. Wstęp

Cyfrowy oscylator harmoniczny (NCO – ang. *Numerically Controlled Oscillator*) jest elementem składowym bezpośredniego cyfrowego syntezeru częstotliwości (DDS – ang. *Direct Digital Synthesizer*) i służy do generacji sygnału sinusoidalnego o częstotliwości nastawianej cyfrowo [2, 3]. Schemat układu DDS zawierającego układ NCO przedstawiono na rys. 1.



Rys. 1. Schemat cyfrowego bezpośredniego syntezeru częstotliwości  
Fig. 1. Schematic diagram of the direct digital synthesizer

Niekiedy sam NCO bywa nazywany układem bezpośredniego cyfrowego syntezeru częstotliwości [1]. W układzie z rys. 1 do rejestru  $F_r$  wpisywana jest liczba  $F_r$  zwana inkrementem fazy. Zawartość rejestru fazy, którego długość wynosi  $L$  bitów, jest zwiększana w każdym taktie zegara o wartość  $F_r$ . Najstarszych  $W$  bitów tego rejestru jest podawanych na wejście przetwornika faza/amplituda, który stanowi pamięć z zapisanymi próbkami funkcji sinus o rozdzielczości  $M$  bitów. Próbkę tę są następnie podawane na wejście przetwornika C/A. Dla określonego  $F_r$  na wyjściu przetwornika C/A otrzymuje się próbkowany przebieg sinusoidalny o częstotliwości:

$$f_{OUT} = F_r \frac{f_{clk}}{2^L}, \quad (1)$$

gdzie:  $f_{clk}$  – częstotliwość zegara taktującego układ.

Liczba bitów  $L$  akumulatora fazy zależy od wymaganej rozdzielczości nastawy częstotliwości wyjściowej oraz od wartości  $f_{clk}$ . Na podstawie wzoru (1) rozdzielczość nastawy częstotliwości wyjściowej wynosi:

$$\Delta f = \frac{f_{clk}}{2^L}. \quad (2)$$

Zakładając, że układ ma generować sygnał w zakresie częstotliwości od 1 Hz do 100 Hz z rozdzielczością 7 cyfr znaczących, oraz przyjmując maksymalną częstotliwość odtwarzania próbek  $f_{clk}=100$  kHz, otrzymuje się wymaganą liczbę  $L$  bitów akumulatora:

$$L = \left\lceil \frac{\log \frac{f_{clk}}{\Delta f}}{\log 2} \right\rceil = 40. \quad (3)$$

Przekształcając wzór (1), dla częstotliwości taktowania  $f_{clk}$  oraz  $L$ -bitowego akumulatora, otrzymuje się wymaganą wartość inkrementu fazy dla zadanej częstotliwości wyjściowej  $f_{OUT}$ :

$$F_r = \left\lceil \frac{f_{OUT}}{f_{clk}} 2^L + 0,5 \right\rceil. \quad (4)$$

Dla  $n$ -tego taktu zegara od chwili wpisania określonej wartości inkrementu fazy do rejestru  $F_r$  zawartość akumulatora fazy wynosi:

$$\Theta(n) = \langle n F_r \rangle_{2^L}, \quad (5)$$

gdzie:  $\langle x \rangle_y$  oznacza całkowitą pozostałość liczby  $x$  modulo  $y$ .

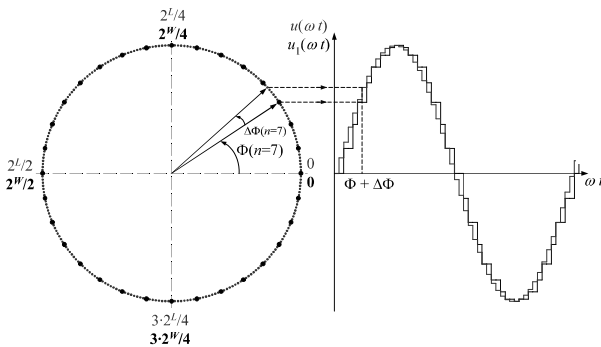
W przypadku braku obcięcia długości słowa na wyjściu akumulatora fazy, wartość  $n$ -tej próbki sinusoidy na wyjściu przetwornika faza/amplituda wynosi:

$$u_1(n) = \sin\left(2\pi \frac{\langle nF_r \rangle_{2^L}}{2^L}\right). \quad (6)$$

W tym wzorze i w następnych nie uwzględniono ograniczenia długości słowa wyjściowego przetwornika faza/amplituda. Obcięcie długości słowa wyjściowego akumulatora fazy do  $W$  bitów wynika z potrzeby minimalizacji rozmiaru pamięci próbek. W układach DDS wielkość akumulatora jest zdeterminowana wymaganą rozdzielczością nastawy częstotliwości. Zazwyczaj akumulator ma rozmiar od 24 do 64 bitów. Biorąc dolną granicę tego zakresu oraz zakładając 16-bitową precyzję próbek sinusoidy, należałoby zastosować pamięć o bardzo dużej pojemności, rzędu 32 MB. Przy obcięciu długości słowa akumulatora o  $B$  bitów ( $W + B = L$ ), wartość funkcji sinus na wyjściu pamięci próbek wynosi:

$$u(n) = \sin\left(\frac{2\pi}{2^W} \left[ \frac{\langle nF_r \rangle_{2^L}}{2^B} \right]\right). \quad (7)$$

Na rys. 2 przedstawiono zasadę generacji sygnału sinusoidalnego w układzie DDS za pomocą promienia o jednostkowej długości, wirującego w kierunku matematycznie dodatnim z prędkością kątową  $\omega = 2\pi f_{OUT}$ . Koniec tego wektora może znajdować się w jednym z  $2^L$  równo oddalonych od siebie punktów na obwodzie okręgu, które reprezentują wartości  $\Theta(n)$  w rejestrze fazy. Na okręgu tym pogrubiono  $2^W$  punktów, które reprezentują wartość fazy  $\varphi(n)$ , po obcięciu  $B$  najmłodszych bitów wyjścia akumulatora fazy.



Rys. 2. Zasada generacji przebiegu sinusoidalnego w układzie DDS:  $L=8$ ,  $W=5$ ,  $F_r=5$ ,  $\Phi(n) = \frac{2\pi}{2^W} \varphi(n)$ ,  $\Phi(n) + \Delta\Phi(n) = \frac{2\pi}{2^L} \Theta(n)$

Fig. 2. General principle generation of sinusoidal waveform by DDS:  $L=8$ ,  $W=5$ ,  $F_r=5$ ,  $\Phi(n) = \frac{2\pi}{2^W} \varphi(n)$ ,  $\Phi(n) + \Delta\Phi(n) = \frac{2\pi}{2^L} \Theta(n)$

Na rysunku zaznaczono położenie promieni, odpowiadających wartościom faz  $\Theta(n)$  oraz  $\varphi(n)$ , w chwili  $t = 7T_{clk}$  od momentu wpisania wartości do rejestru  $F_r$ . Różnica w położeniu tych promieni dla określonego  $n$  powoduje powstanie różnicy między wartością próbki  $u(n)$  oraz  $u_1(n)$ . Różnica ta jest dalej nazywana błędem i oznaczona przez  $\Delta u(n)$ . Błąd ten jest równy:

$$\Delta u(n) = u(n) - u_1(n) = -2 \sin\left(\Delta x \frac{\pi}{2^L}\right) \cos\left(\frac{2\pi}{2^L} \left(nF_r - \frac{\Delta x}{2}\right)\right). \quad (8)$$

Wartość maksymalna tego błędu jest zależna od długości szyny adresowej pamięci próbek i wynosi:

$$\Delta u_{\max} = 2 \sin \frac{\pi}{2^W}. \quad (9)$$

Zwiększając odpowiednio długość szyny adresowej  $W$  można doprowadzić do sytuacji, w której wartość maksymalna błędu  $\Delta u(n)$  będzie mniejsza lub równa wartości (wadze) najmniej znaczącego bitu przetwornika C/A, co można zapisać jako:

$$2 \sin \frac{\pi}{2^W} \leq 2^{1-M}. \quad (10)$$

Najmniejszą liczbę bitów  $W$  przy której występuje opisywana sytuacja, można obliczyć z zależności (10):

$$W = \left\lceil \frac{\log \frac{\pi}{\arcsin(2^{-M})}}{\log 2} \right\rceil \approx M + 2. \quad (11)$$

## 2. Korekcja błędu obcięcia fazy

Rozróżnia się dwie metody korekcji błędu obcięcia długości słowa wyjściowego akumulatora fazy. Pierwsza z nich opiera się na dodawaniu w każdym taktie zegara do słowa wyjściowego akumulatora fazy, jeszcze przed jego obcięciem, cyfrowego sygnału pseudolosowego [4]. Uzyskuje się w ten sposób zwiększenie czystości widmowej generowanego sygnału o ok. 12 dB w stosunku do układu z rys. 1 [1]. Druga z metod opiera się na wykorzystaniu własności szeregu Taylora i charakteryzuje się możliwością uzyskania jeszcze większej czystości widmowej generowanego sygnału (lub jeszcze większego ograniczenia tablicy próbek funkcji sinus) w stosunku do metody wykorzystującej addytywny sygnał pseudolosowy. Dlatego zdecydowano się na zastosowanie tej właśnie metody.

Dla funkcji  $f(x) = \sin(ax)$  szereg Taylora przyjmuje postać:

$$\begin{aligned} \sin(a(x + \Delta x)) &= \sin(ax) + \Delta x \frac{a \sin(ax + \frac{\pi}{2})}{1!} + (\Delta x)^2 \frac{a^2 \sin(ax + 2\frac{\pi}{2})}{2!} + \dots \\ &+ (\Delta x)^{n-1} \frac{a^{n-1} \sin(ax + (n-1)\frac{\pi}{2})}{(n-1)!} + R_n \end{aligned} \quad (12)$$

gdzie:  $R_n = (\Delta x)^n \frac{a^n \sin(a\xi + n\frac{\pi}{2})}{n!}$  – reszta szeregu Taylora,  $\xi \in (x, x + \Delta x)$ . Na tej podstawie wzór (6) można przedstawić w postaci:

$$u_1(n) = \sin\left(\frac{2\pi}{2^W} \left( \left\lfloor \frac{\langle nF_r \rangle_{2^L}}{2^B} \right\rfloor + \langle nF_r \rangle_{2^B} 2^{-B} \right)\right) = \sin(a(x + \Delta x)). \quad (13)$$

Uwzględniając dwa pierwsze wyrazy rozwinięcia funkcji  $f(x)$  w szereg Taylora oraz stosując oznaczenia ze wzoru (13), można zapisać:

$$u_1(n) = \sin\left(\frac{2\pi}{2^W} \left[ \frac{\langle nF_r \rangle_{2^L}}{2^B} \right]\right) + \frac{2\pi}{2^W} \langle nF_r \rangle_{2^B} 2^{-B} \cos\left(\frac{2\pi}{2^W} \left[ \frac{\langle nF_r \rangle_{2^L}}{2^B} \right]\right) + R_2, \quad (14)$$

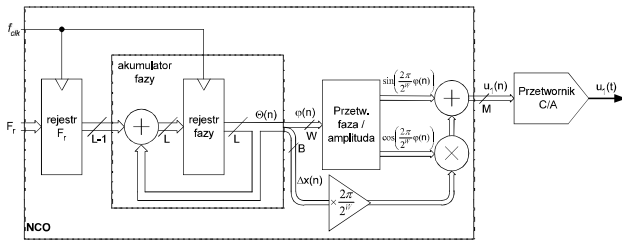
gdzie:

$$R_2 = -\frac{1}{2} \left(\frac{2\pi}{2^W}\right)^2 \left(\langle nF_r \rangle_{2^B} 2^{-B}\right)^2 \sin\left(\frac{2\pi}{2^W} \xi\right). \quad (15)$$

Pomijając we wzorze (14) składnik  $R_2$  popełnia się błąd aproksymacji, którego wartość maksymalna wynosi:

$$|R_{2\max}| = \frac{\pi^2}{2^{2W-1}}. \quad (16)$$

Korzystając z równania (14), przy pominięciu składnika  $R_2$ , można dokonać korekcji błędu wynikającego z obcięcia najmłodszych bitów słowa reprezentującego  $\Theta(n)$ . Strukturę syntezy DDS, w którym zastosowano opisaną powyżej metodę korekcji przedstawiono na rys. 3.



Rys. 3. Schemat układu DDS z korekcją obcięcia długości słowa wyjściowego akumulatora fazy metodą szeregu Taylora  
 Fig. 3. Schematic diagram of the DDS with correction of phase accumulator word-length truncation by means of Taylor series

Implementacja wymaga zastosowania dwóch układów mnożących oraz sumatora. Dodatkowo tablica próbek funkcji sinus musi posiadać drugie wyjście, na którym generowany jest sygnał przesunięty w fazie o  $\pi/2$ .

### 3. Implementacja algorytmu korekcji metodą szeregu Taylora

Celem sprawdzenia wymaganych zasobów docelowego układu FPGA, opisywany układ DDS został zaprojektowany i zasymulowany za pomocą programu Matlab-Simulink<sup>®</sup> z zainstalowaną nakładką System Generator<sup>®</sup> firmy Xilinx. Zaletą tego rozwiązania jest także możliwość wygenerowania kodu wynikowego dla części układu zbudowanego z elementów dostarczanych w System Generator np. w języku VHDL i umieszczenia go w większym projekcie. Schemat zaprojektowanego układu przedstawiono na rys. 4 z zaznaczeniem długości słów w poszczególnych punktach układu.

Na rys. 4 przedstawiono także, nie uwzględniony na rys. 1 i 3, dzielnik częstotliwości wewnętrznego sygnału zegarowego, służący do nastawienia żądanej częstotliwości odtwarzania próbek  $f_{clk}$ . Dla  $k_{div} = 1$  otrzymuje się wartość  $f_{clk}$  równą częstotliwości sygnału taktującego układ.

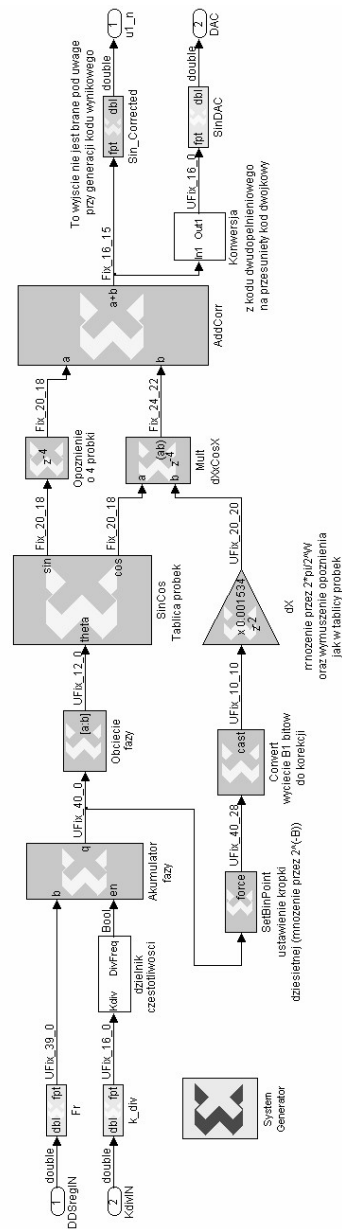
Celem zbadania dokładności uzyskanej korekcji zastosowano układ jak na rys. 5. Wartości próbek wytwarzanych przez NCO z korekcją Taylora („NCO System Generator”) zostały porównane z wartościami próbek wygenerowanych przez generator wzorcowego sygnału sinusoidalnego  $u_{id}(n)$ , w którym nie występuje obcięcie długości słowa wyjściowego akumulatora fazy. Układ ten, oznaczony na rys. 5 jako „NCO Matlab”, charakteryzuje się taką samą długością słowa wyjściowego akumulatora  $L$  jak układ z rys. 4 i opisany jest zależnością:

$$u_{id}(n) = 2^{1-M} \left[ 2^{M-1} \sin \left( \frac{2\pi}{2^L} \left\langle \frac{nF_r}{k_{div}} \right\rangle_{2^L} \right) + 0,5 \right]. \quad (17)$$

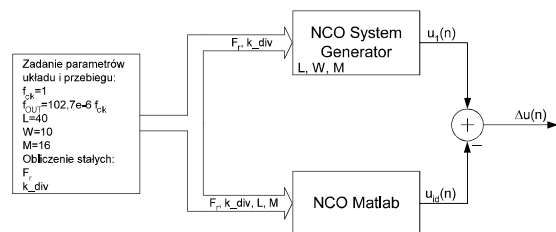
Sygnaly  $u_1(n)$  oraz  $u_{id}(n)$  są skwantowane z rozdzielczością wynikającą z rozdzielczości zastosowanego przetwornika C/A (16 bitów). Miarą dokładności procesu odtwarzania próbek był błąd bezwzględny  $\Delta u(n)$ . Jako satysfakcjonującą dokładność założono wartość maksymalną błędu  $\Delta u(n)$  równą wadze najmniej znaczącego bitu przetwornika C/A. Dla takiego założenia dobierano rozmiary tablicy próbek oraz długości słów w poszczególnych modułach układu z rys. 4.

Jak wspomniano w punkcie 2, błąd korekcji, a więc dokładność generowanej sinusoidy, zależy od reszty szeregu Taylora  $R_2$ . Aby różnica  $\Delta u(n)$  (rys. 5) wynosiła się nie więcej niż  $\pm 1$  LSB sygnału  $u_{id}(n)$  należy zapewnić, aby  $|R_{2max}|$  nie przekraczała wartości najmniej znaczącego bitu tego sygnału, co można zapisać jako:

$$\frac{\pi^2}{2^{2W-1}} < 2^{1-M}. \quad (18)$$



Rys. 4. Schemat zaprojektowanego układu NCO  
 Fig. 4. Schematic diagram of implemented NCO



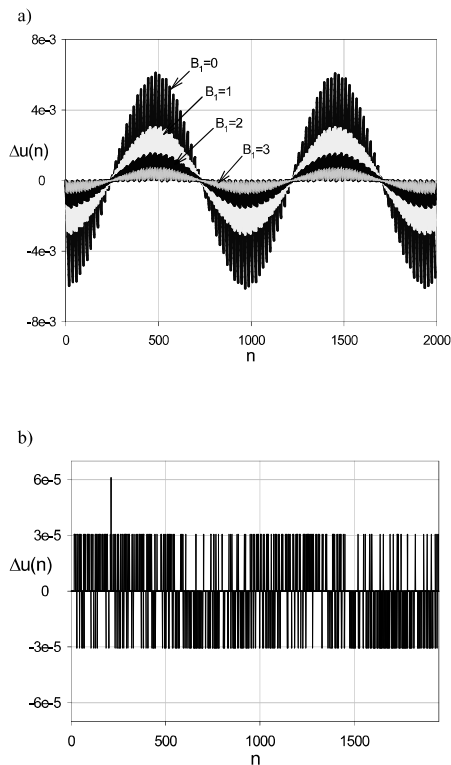
Rys. 5. Schemat układu do badania układu NCO zaprojektowanego w System Generator  
 Fig. 5. Schematic diagram for testing NCO designed in System Generator

Rozwiązując równanie (18) ze względu na  $W$  otrzymuje się najmniejszą wymaganą liczbę bitów

$$W = \lceil 0,5 M + 1,65 \rceil, \quad (19)$$

potrzebną aby  $|\Delta u(n)|_{max} = 1$ LSB, co dla  $M = 16$  daje wartość  $W = 10$  bitów.

Na rys. 6a, b przedstawiono przebieg  $\Delta u(n)$  dla dwóch okresów sinusoidy i dla liczby próbek na okres równej  $N=974$ . Symulację przeprowadzono dla parametrów jak na rys. 5.



Rys. 6. Przebiegi błędu  $\Delta u(n)$ : a) do korekcji branych jest  $B_1$  najstarszych bitów sygnału  $\Delta x(n)$ , b) do korekcji brane są wszystkie obcinane bity akumulatora fazy

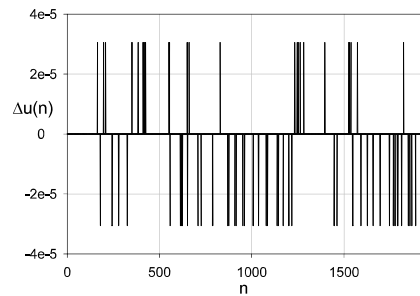
Fig. 6. Waveform of error  $\Delta u(n)$ : a)  $B_1$  MSBs of signal  $\Delta x(n)$  are used for correction, b) all truncated bits of phase accumulator are used for correction

Rysunek 6a przedstawia wpływ liczby najstarszych bitów  $B_1$  sygnału  $\Delta x(n)$  używanych do korekcji błędu obciążenia fazy. W przypadku  $B_1=0$  (brak korekcji) amplituda błędu  $\Delta u(n)$  jest opisana zależnością (9). Zwiększeniu liczby bitów  $B_1$  do 1, 2, 3, odpowiada odpowiednio dwu-, cztero- oraz ośmiokrotne zmniejszenie amplitudy błędu. Na tej podstawie można określić minimalną liczbę bitów  $B_1$ , aby  $\Delta u(n)$  nie przekraczał  $\pm 1$  LSB:

$$B_1 = M - W + 2. \quad (19)$$

Na rys. 6b przedstawiono przebieg błędu  $\Delta u(n)$ , gdy do korekcji wykorzystuje się wszystkie obcinane bity akumulatora fazy. W tym przypadku, pomimo odpowiedniego doboru długości szyny adresowej pamięci próbek, mogą pojawić się próbki, w których  $\Delta u(n)$  jest równy  $\pm 2$  LSB. Powodem tego są błędy numeryczne występujące przy wykonywaniu operacji mnożenia i dodawania, spowodowane zbyt niską rozdzielczością próbek na wyjściu przetwornika faza/amplituda (16 bitów). W tym celu, jak również w celu zwiększenia dokładności odtwarzanych próbek sinusoidy (objawiającej się w zwiększeniu liczby wartości dla których  $\Delta u(n)$  jest równe zero), zwiększono długość szyny adresowej i danych pamięci próbek oraz długość słowa sygnału  $\Delta x(n)$  odpowiednio do 12, 20 oraz 10 bitów. Schemat powstałego w ten sposób układu NCO przedstawiono na rys. 4. Przebieg błędu  $\Delta u(n)$  w tym przypadku przedstawiono na rys. 7.

Układ z rys. 4 zaimplementowano w układzie FPGA typu XC3S50 firmy Xilinx. W tabeli 1 zestawiono zajmowane ilości poszczególnych zasobów układu programowalnego.



Rys. 7. Przebieg błędu  $\Delta u(n)$  przy założeniu długości słów sygnałów wewnętrznych jak na rys. 4

Fig. 7. Plot of  $\Delta u(n)$  error assuming signal word-lengths given in fig. 4

Tab. 1. Zestawienie zasobów układu FPGA typu XC3S50 wykorzystanych do implementacji NCO generującego sygnał wyjściowy  $u_1(n)$

Rodzaj zasobu	Wykorzystanie zasobu
Slices	509 z 768 (66%)
Slice Flip Flops	619 z 1536 (40%)
4 input LUTs	921 z 1536 (60%)
BRAMs	2 z 4 (50%)
GCLKs	1 z 8 (12%)

## 4. Podsumowanie

Wykorzystanie w syntezerze DDS metody korekcji szeregiem Taylora umożliwia zwiększenie dokładności generowanego sygnału sinusoidalnego  $u(n)$  do  $\pm 1$  LSB  $M$ -bitowego słowa wyjściowego. Dzięki temu zmniejsza się efekt niepożądanego modulacji fazy w układzie NCO, powodującej powstanie dodatkowych harmonicznych w widmie sygnału wyjściowego układu. Układ NCO z korekcją szeregiem Taylora zaimplementowano w popularnym i niedrogim układzie FPGA serii Spartan-3 firmy Xilinx. Implementacja układu z korekcją Taylora jest możliwa przy wykorzystaniu tablicy zawierającej próbki funkcji sinus i cosinus, zawartej w zastosowanym układzie FPGA. Zaletą przedstawionego rozwiązania, w porównaniu z rdzeniem IP układu DDS wchodzącym w skład pakietu Xilinx ISE [5], jest także możliwość zwiększenia rozdzielczości nastawy częstotliwości wytwarzanej przez syntezer poprzez zwiększenie pojemności akumulatora fazy. Przewiduje się zastosowanie opracowanego syntezy w cyfrowym źródle wzorcowego napięcia przemienne.

Praca naukowa finansowana ze środków Komitetu Badań Naukowych w latach 2004 – 2007 jako projekt badawczy.

## 5. Literatura

- [1] Xilinx ISE 7.1 – dokumentacja programu, Xilinx Inc., 2005.
- [2] Nicholas H.T. III and Samueli H., An Analysis of the Output Spectrum of Digital Direct Synthesizer in the Presence of Phase-Accumulator Truncation Proc. 41st Annual Frequency Control Symposium USERACOM, Ft. Monmouth, NJ, May 1987, pp. 495-502.
- [3] Nicholas H.T. III, Samueli H., Kim B., The Optimization Direct Digital Synthesizer performance in presence of Finite Word Length, Proc. 42nd Annual Frequency Control Symposium USERACOM, Ft. Monmouth, NJ, May 1988, pp. 357-363.
- [4] A Technical Tutorial on Digital Signal Synthesis, Analog Devices, Inc., 1999.
- [5] DDS v.50, Xilinx LogiCore Datasheet, DS246, Xilinx Inc., April 28, 2005.