

# Implementacja regulatora PID w układzie FPGA do sterowania aktywnym zawieszeniem magnetycznym z magnesami trwałymi

Bartosz Brzozowski, Maciej Henzel, Paulina Mazurek

Wojskowa Akademia Techniczna

**Streszczenie:** Artykuł opisuje sposób implementacji cyfrowego algorytmu PID do zastosowania w sterowaniu aktywnym zawieszeniem magnetycznym. Do przetworzenia danych pomiarowych w tym układzie wykorzystane zostały przetworniki analogowo-cyfrowe i cyfrowo-analogowe z interfejsem równoległym. Algorytm sterowania został opracowany i przetestowany na płytkach ewaluacyjnych z układami FPGA. Otrzymane wyniki porównano z charakterystykami symulacyjnymi uzyskanymi w pakiecie MATLAB/Simulink. W artykule szczegółowo opisano układ sterowania z regulatorem PID.

**Słowa kluczowe:** układ FPGA, regulator PID, zawieszenie magnetyczne

## 1. Wprowadzenie

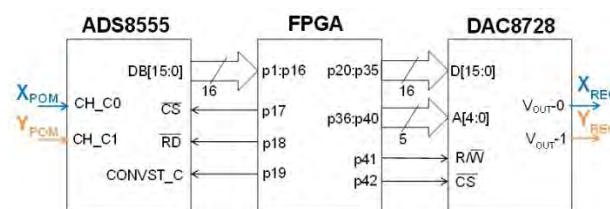
Układy FPGA (ang. *Field Programmable Gate Array*) są coraz bardziej popularne wśród producentów i naukowców. Wynika to z możliwości swobodnego doboru przez projektanta struktury układu. Jego budowa oparta jest na matrycowo połączonych blokach logicznych oraz specjalizowanych, programowalnych układach wejścia-wyjścia pozwalających na zaimplementowanie w tej strukturze mikroprocesorów, procesorów sygnałowych (DSP) oraz dowolnych interfejsów. Kolejną zaletą tych układów jest możliwość w pełni sprzętowej, równoległej realizacji algorytmów. W ciągu kilku taktów zegara możliwy jest jednoczesny pomiar danych z różnych czujników, obliczenie na tej podstawie sygnałów sterujących i wysłanie ich do urządzeń peryferyjnych. Oprócz wielu zalet układy FPGA posiadają również wady, do których należy między innymi trudniejsze projektowanie systemu sterowania i weryfikacja poprawności działania w porównaniu z procesorami sygnałowymi. Procesory te nie wymagają konfiguracji sprzętowej, a jedynie implementacji algorytmu. Na szczęście producenci układów FPGA dostarczają różnorodnych narzędzi programistycznych umożliwiających przyspieszenie i ułatwienie całego procesu projektowania. Spadek ceny tych układów w stosunku do układów ASIC (ang. *Application Specific Integrated Circuit*) oraz wszystkie wspomniane zalety przyczyniły się do coraz szerszego stosowania układów FPGA w praktycznych aplikacjach. Z tego powodu początkowo przeznaczenie takich układów jako elementów programowalnych do szybkiego prototypowania stanowi obecnie jedynie niewielką część ich zastosowań. Układy te z powodzeniem realizują algorytmy sterowania w maszy-

nach elektrycznych. W artykule przedstawione zostaną wyniki implementacji układu FPGA w strukturze sterowania aktywnym zawieszeniem magnetycznym.

## 2. Moduł sterowania

Do testowania algorytmów sterowania wykorzystane zostały płytki ewaluacyjne firm Avnet, Digilent i Kamami z układem FPGA firmy Xilinx. W celu sprawdzenia poprawności i szybkości działania algorytmu w zależności od zastosowanego układu, program sterujący uruchomiono z wykorzystaniem układów FPGA z rodziny Spartan 3 i 6 przy różnych częstotliwościach generatorów taktujących. Sygnał pomiarowy z czujników został dostarczony do układu FPGA poprzez szesnastobitowy przetwornik analogowo-cyfrowy ADS8555 firmy Texas Instruments o wyjściu równoległym. Natomiast sygnał sterujący wysyłany był z wykorzystaniem przetwornika cyfrowo-analogowego DAC8728 tego samego producenta.

Wykorzystano przetworniki umieszczone w obudowach zawierających 64 wyprowadzenia. Na rys. 1 zaznaczono linie łączące układ FPGA z przetwornikami. Dla czytelności schematu pominięte zostały wszystkie wejścia zasilające oraz linie sterujące o stałym stanie logicznym. Wyprowadzenia układu FPGA zostały ponumerowane kolejno od p1 do p42. Przyjęty zapis pozwala na czytelne omówienie zasady działania zastosowanego systemu, bez konieczności używania specyficznych oznaczeń charakterystycznych dla konkretnego układu. Oprócz 32 linii danych wejściowych (p1:p16) oraz wyjściowych (p20:p35) układ ten wykorzystuje 10 linii do sterowania przetwornikami.



Rys. 1. Schemat modułu sterowania

Fig. 1. Schematics of the control module

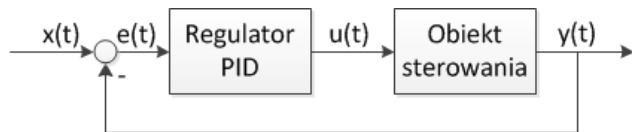
Konwersja danych na postać cyfrową w układzie ADS8555 inicjowana jest przez zmianę stanu na wejściu CONVST\_C z niskiego na wysoki. Przetworzenie danych trwa maksymalnie 1,26  $\mu$ s. Po tym czasie bity danych wysyłane są na liniach DB po zmianie stanu na wejściach CS i RD z wysokiego na niski. W kolejnych dwóch taktach zegara należy zmienić stan dwukrotnie, aby uzyskać dane

z obu kanałów [1]. Natomiast sterowanie przetwornikiem cyfrowo-analogowym DAC8728 polega na określeniu adresu kanału przetwornika i wysłaniu do niego wartości cyfrowej. W przypadku pierwszego z zastosowanych kanałów, należy zmienić stan linii R/W z wysokiego na niski, na liniach adresowych A[4:0] ustawić kolejno wartości '01000' oraz wysłać 16 bitów danych. Następnie, utrzymując wcześniejszy stan na wyprowadzeniach od p20 do p41 układu FPGA, należy zmienić stan linii p42 z wysokiego na niski i po co najmniej 15 ns z powrotem na wysoki. Razem z powrotem do stanu wysokiego zmieniona zostanie wartość napięcia na kanale  $V_{OUT}=0$ . Normalnie ponowną konwersję dla tego samego kanału można wykonać nie wcześniej niż po upływie 30 ns. Natomiast zmieniając adres kanału, ponowną konwersję można rozpocząć już po kilku nanosekundach [2].

Zastosowanie przetworników o równoległych wejściach i wyjściach pozwoliło na uniknięcie implementacji w strukturze FPGA interfejsów szeregowych. Dodanie takich interfejsów powodowałoby nadmierne rozrastanie się programu, a przez to wolniejsze działanie systemu. Szeregowe odczytanie danych trwa tyle samo taktów zegarowych, ile jest bitów przesyłanej informacji, podczas gdy transmisja równoległa pozwala na odebranie danych w jednym takcie. Niestety, w rozwiązaniu takim konieczne jest wykorzystanie takiej samej ilości linii wejścia-wyjścia co bitów danych. Realizacja takiej struktury w układach FPGA jest stosunkowo prosta ze względu na bardzo dużą liczbę wejść-wyjść. Natomiast, w przypadku mikrokontrolerów z wbudowanymi interfejsami, w których liczba portów wejścia-wyjścia jest niewielka, obsługa równoległa staje się bardziej złożona.

### 3. Algorytm PID

W strukturze układu FPGA, wraz z przetwornikami analogowo-cyfrowymi i cyfrowo-analogowymi, zaimplementowany został regulator PID w torze głównym systemu sterowania (rys. 2). Regulator PID wypracowuje sygnał sterujący  $u(t)$  na podstawie wartości uchybu  $e(t)$ , będącego różnicą pomiędzy wartością zadaną  $x(t)$  oraz aktualnym stanem obiektu  $y(t)$ .



Rys. 2. Schemat systemu sterowania

Fig. 2. Schematics of the control system

Cyfrowe algorytmy regulatora PID wyznaczone są metodą pozycyjną lub przyrostową, określaną również jako prędkościowa. W metodzie pozycyjnej sygnał sterujący w  $n$ -tym kroku wyznaczany jest wg poniższego wzoru:

$$u_n = K_p \cdot e_n + I_n + K_d [e_n - e_{n-1}] \quad (1)$$

$$\text{gdzie: } I_n = I_{n-1} + K_i \cdot e_n \quad (2)$$

Natomiast, w algorytmie przyrostowym sygnał sterujący obliczany jest następująco:

$$u_n = u_{n-1} + K_p [e_n - e_{n-1}] + I_n + K_d [e_n - 2 \cdot e_{n-1} + e_{n-2}] \quad (3)$$

Ostateczna postać tego równania zależy od zastosowanej metody całkowania. W układach cyfrowych stosuje się algorytmy całkowania metodą prostokątów w przód (4), w tył (5) oraz średnich (6):

$$I_n = K_i \cdot e_{n-1} \quad (4)$$

$$I_n = K_i \cdot e_n \quad (5)$$

$$I_n = \frac{1}{2} \cdot K_i [e_n + e_{n-1}] \quad (6)$$

W powyższych wzorach przyjęto następujące oznaczenia:

- $u$  – wartość sygnału sterującego;
- $e$  – wartość uchybu;
- $K_p$ ,  $K_i=h/T_i$ ,  $K_d=T_d/h$  – parametry regulatora PID;
- $1/h$  – częstotliwość taktowania zegara;
- indeks dolny  $n$  – aktualna wartość,  $n-1$  i  $n-2$  wartości z poprzedniego i dwóch wcześniejszych kroków.

Algorytm przyrostowy wymaga mniejszej ilości elementów pamięciowych i daje większe możliwości swobodnego odwzorowania kanałów wejścia-wyjścia [3]. Z tego powodu w analizowanym układzie sterowania aktywnym zawieszeniem magnetycznym zaimplementowany zostanie algorytm przyrostowy cyfrowego regulatora PID. W literaturze często spotykaną formą całkowania cyfrowego jest metoda prostokątów w tył. Przykładem zastosowania takiego regulatora PID w strukturze FPGA jest system sterowania prędkością silnika DC, zaproponowany przez naukowców z Indii [4]. W celu oceny przydatności tej metody dla analizowanego układu przyjęto trzy wersje algorytmu i sprawdzono, która z nich wykonuje przetwarzanie sygnału z największą dokładnością oraz zajmuje najmniej zasobów struktury układu. Zgodnie z teorią całkowania numerycznego, metoda prostokątów średnich odznacza się najlepszymi parametrami jakościowymi. W tym przypadku nie zauważono znaczącej zmiany dokładności w stosunku do zwiększonego wykorzystania zasobów, w porównaniu z pozostałymi metodami. Natomiast okazało się, że metoda prostokątów w tył realizuje algorytm regulacji o kilka taktów zegarowych szybciej. Symulacje przeprowadzono dla pomiaru odpowiedzi skokowej członu oscylacyjnego. Wykonane analizy doświadczalne potwierdziły zasadność wyboru metody prostokątów w tył jako optymalnej metody całkowania numerycznego dla cyfrowego regulatora PID. Zaimplementowana w strukturze FPGA postać regulatora opisana jest równaniem (7):

$$u_n = u_{n-1} + K_p [e_n - e_{n-1}] + K_i e_n + K_d [e_n - 2 \cdot e_{n-1} + e_{n-2}] \quad (7)$$

### 4. Implementacja algorytmu sterowania

Sprawdzenie poprawności implementacji modeli matematycznych i algorytmu regulatora PID przeprowadzono z wykorzystaniem programów MATLAB/Simulink oraz ISE Simulator (ISim) firmy Xilinx. Środowisko ISE firmy Xilinx pozwala na dodanie do projektu procesów testujących zebranych w dodatkowym pliku. Procesy testujące uruchamiane są w programie ISim i pozwalają na zadawanie sygnałów wejściowych do projektowanego systemu oraz odczytywanie zmian na wyjściach. W programie tym możliwe jest również sprawdzanie wartości sygnałów pośred-

nich, generowanych wewnątrz zaimplementowanej struktury FPGA. Wartości analizowanych sygnałów można zobrazować w postaci przebiegów czasowych oraz liczby zapisanej w systemach dwójkowym, dziesiętnym lub szesnastkowym, w zależności od potrzeb użytkownika. Analiza porównawcza otrzymanych wyników polegała na zestawieniu otrzymanych wartości liczbowych z charakterystykami czasowymi uzyskanymi w środowisku MATLAB.

#### 4.1. Test układu oscylacyjnego

Do pierwszych prób porównawczych otrzymanych charakterystyk regulatora PID zaimplementowanego w układzie FPGA wykorzystano układ o charakterze oscylacyjnym. W tym celu przekształcono równanie opisujące układ oscylacyjny i doprowadzono do postaci zależności sygnału na wyjściu  $y$  w chwili bieżącej  $n$  od jego wartości w poprzednich chwilach  $n-1$  i  $n-2$  oraz wartości wejściowej sygnału sterującego  $u$ . Zależność tą opisuje równanie (8):

$$y_n = a_0 \cdot (a_1 \cdot u + a_2 \cdot y_{n-1} + a_3 \cdot y_{n-2}) \quad (8)$$

gdzie:

$$a_0 = (T^2 + 2 \cdot T \cdot h + h^2)^{-1},$$

$$a_1 = k \cdot h^2,$$

$$a_2 = 2 \cdot T^2 + 2 \cdot T \cdot h,$$

$$a_3 = -T^2.$$

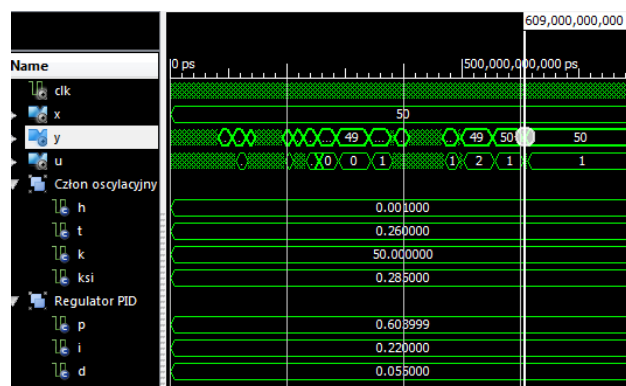
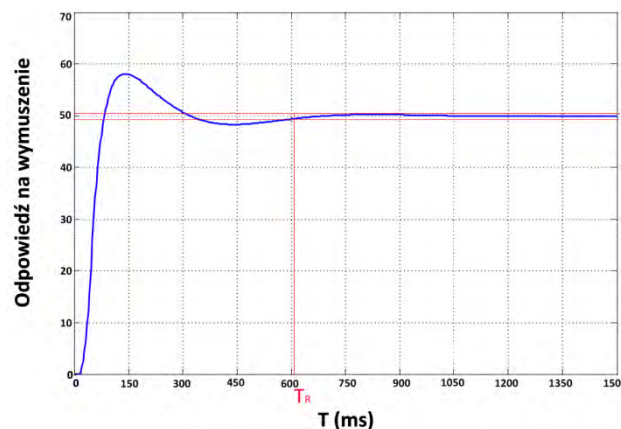
W modelu tym zastosowano następujące współczynniki:

- okres drgań nietłumionych  $T = 0,26$ ,
- wzmocnienie  $k = 50$ ,
- współczynnik tłumienia  $\xi = 0,285$ .

Poprawność implementacji równania zweryfikowano porównując otrzymane symulacyjne przebiegi zmian danych z programu ISim z wykresami otrzymanymi z pakietu MATLAB/Simulink. Pierwszym krokiem sprawdzenia modelu matematycznego badanego układu było sprawdzenie poprawności zapisu algorytmu w języku VHDL. W tym celu porównano odpowiedź skokową układu oscylacyjnego z charakterystykami z programu Simulink. Analizując otrzymane wyniki zauważono, że wyniki obu symulacji niewiele od siebie odbiegają. Różnice w amplitudach wynikają z zastosowanych zmiennych zaimplementowanych jako sygnały doprowadzane i wypracowywane przez algorytm regulacji. Ponieważ wykorzystano w układzie szesnastobitowe przetworniki analogowo-cyfrowe i cyfrowo-analogowe, sygnały wyjściowy, sterujący i wejściowy reprezentowane są jako zmienne całkowite z zakresu  $0 \div 2^{16}$ . Obliczenia wykonywane są natomiast na zmiennych rzeczywistych i zaokrąglane do najbliższej wartości całkowitej w celu późniejszego przetworzenia jej na sygnał analogowy. Powoduje to powstanie błędu mniejszego od jedności. Jest to wartość akceptowalna, ponieważ w zaprojektowanym module sterującym zmiana jednego bita odpowiada przemieszczeniu się wirnika zawieszenia magnetycznego o wartość  $0,02 \mu\text{m}$ . Rozbieżności w zakresie otrzymanych wyników dotyczą również czasu regulacji dla tego układu. Różnica ta wynika, podobnie jak dla wartości amplitudy, z zamiany liczby rzeczywistej na całkowitą oraz z przyjętego do celów symulacyjnych wąskiego zakresu zmian sygnału wyjściowego w stanie ustalonym wynoszącego 1 %.

Pomimo wymienionych rozbieżności w otrzymanych charakterystykach czasowych można przyjąć, że zaimplementowany model układu oscylacyjnego dla struktury FPGA zapisany w języku VHDL jest poprawny.

Kolejnym krokiem analizy było przygotowanie, na podstawie modelu matematycznego, procesu testowego, w którym sprawdzono implementację algorytmu regulatora PID. Jego nastawy dobrano wykorzystując metodę Zieglera-Nicholsa. Porównując otrzymane wyniki symulacji (rys. 3) można zauważyć, że różnice wartości amplitudy, różnią się nie więcej niż o jeden, a czas regulacji jest o kilka milisekund dłuższy dla algorytmu w programie ISim.



Rys. 3. Porównanie odpowiedzi członu oscylacyjnego z regulatorem PID z programu ISim i MATLAB/Simulink

Fig. 3. Comparison of step responses of a damped harmonic oscillator with PID controller from ISim and MATLAB/Simulink programs

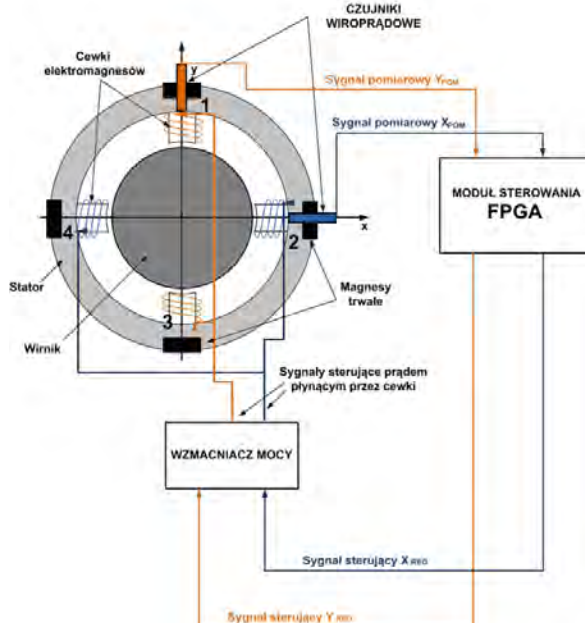
#### 4.2. Model symulacyjny aktywnego zawieszenia magnetycznego

Obiektem sterowania w przeprowadzonych badaniach było różnicowe, promieniowe łożysko homopolarne z magnesami trwałymi sterowane prądowo. W odróżnieniu od klasycznych siłowników elektromechanicznych w prezentowanym siłowniku znajdują się magnesy trwałe, których zadaniem jest wytworzenie siły magnetycznej punktu pracy. Obwód ten wytwarza strumień magnetyczny stały w czasie. Natomiast drugi obwód magnetyczny tworzą cewki elektromagnesów, których zadaniem jest wytworzenie siły zmiennej w czasie, sterującej położeniem wirnika w szczelinie powietrznej [5].

Aktywne zawieszenia magnetyczne należą do obiektów posiadających strukturę niestabilną. Dla zapewnienia po-

prawnego działania zawieszenia magnetycznego należy skonstruować układ sterowania ze sprzężeniem zwrotnym i z regulatorem gwarantującym nie tylko właściwą jakość regulacji, ale także odpowiedni zapas stabilności. W takich układach najczęściej wykorzystuje się regulator PID.

W stanie równowagi badanego łożyska magnetycznego wirnik jest zawieszony w polu magnetycznym generowanym przez magnesy trwałe. Jego położenie w płaszczyźnie pomiarowej mierzone jest w sposób ciągły przez czujniki przemieszczenia. Sygnał informujący o chwilowym jego położeniu ( $X_{POM}$ ,  $Y_{POM}$ ) przesyłany jest do modułu sterowania układem FPGA, w którego strukturze zaimplementowano algorytm regulatora PID (rys. 4). W przypadku przemieszczenia się wirnika z położenia równowagi, układ sterowania za pomocą zmiany prądów płynących przez cewki elektromagnesów generuje siły magnetyczne, które kompensują powstałe przemieszczenie [6].



**Rys. 4.** Układ sterowania homopolarnym łożyskiem magnetycznym z magnesami trwałymi

**Fig. 4.** Control loop of homopolar magnetic bearing with permanent magnets

Model symulacyjny aktywnego zawieszenia magnetycznego opracowano na podstawie zlinearyzowanego modelu matematycznego homopolarnego łożyska magnetycznego z magnesami trwałymi. Przesunięcie wirnika w szczeliny powietrznej opisane jest równaniem różniczkowym (9):

$$m \cdot \frac{d^2 x}{dt^2} - k_s \cdot x = k_i \cdot i \pm F_{zk} \quad (9)$$

gdzie:

- $m$  – masa wirnika,
- $x$  – przesunięcie wirnika,
- $i$  – wartość prądu sterującego,
- $k_s$  – sztywność przesunięciowa łożyska,
- $k_i$  – sztywność prądowa łożyska,
- $F_{zk}$  – siła zewnętrzna wytrącająca wirnik z położenia nominalnego.

Zakładając, że prąd sterujący  $i$  zawieszenia magnetycznego przyjmuje tę samą wartość co sygnał sterujący  $u$

z regulatora PID, oraz że na wirnik nie oddziałuje żadna siła zewnętrzna, to z równania (9) otrzymano zależność na przesunięcie wirnika w chwili  $n$  w zależności od wartości sygnału sterującego  $u$  oraz przesunięcia wirnika w chwilach  $n-1$  i  $n-2$  (równanie 10).

$$x_n = b_0 (b_1 \cdot x_{n-1} + b_2 \cdot x_{n-2} + b_3 \cdot u) \quad (10)$$

gdzie:

$$b_0 = (m - k_s \cdot h)^{-1},$$

$$b_1 = k_i \cdot h,$$

$$b_2 = 2 \cdot m,$$

$$b_3 = -m.$$

Tak opisany model matematyczny zaimplementowano w języku VHDL jako proces testowy programu ISE. Poprawność implementacji sprawdzono analogicznie do przeprowadzonych wcześniej badań układu oscylacyjnego. Porównano odpowiedzi na skok jednostkowy, uzyskane w programie ISim i środowisku MATLAB/Simulink. Wartości przesunięcia wirnika w obu przypadkach rosną wykładniczo w taki sam sposób. Stąd wniosek, że zaproponowany model jest poprawny.

Na podstawie funkcji przejścia aktywnego zawieszenia magnetycznego oraz przyjętej struktury systemu regulacji, wyznaczono transmitancję operatorową  $G_z(s)$  układu zamkniętego (11):

$$G_z(s) = \frac{k_i \cdot (K_p + \frac{1}{T_i s} + T_d s)}{m \cdot s^2 + k_i \cdot K_d \cdot s + (k_i \cdot K_p - k_s) + K_i \cdot \frac{k_i}{s}} \quad (11)$$

W celu wyznaczenia parametrów regulatora PID przebadano współczynniki równania charakterystycznego zgodnie z kryterium stabilności Hurwitza. Położenie biegunów układu zamkniętego dobrano przyjmując wartość współczynnika tłumienia 0,5 oraz czasu regulacji 6 ms. Otrzymano w ten sposób następujące wartości współczynników:

$$K_p = 64\,467,$$

$$K_i = 33\,257\,000,$$

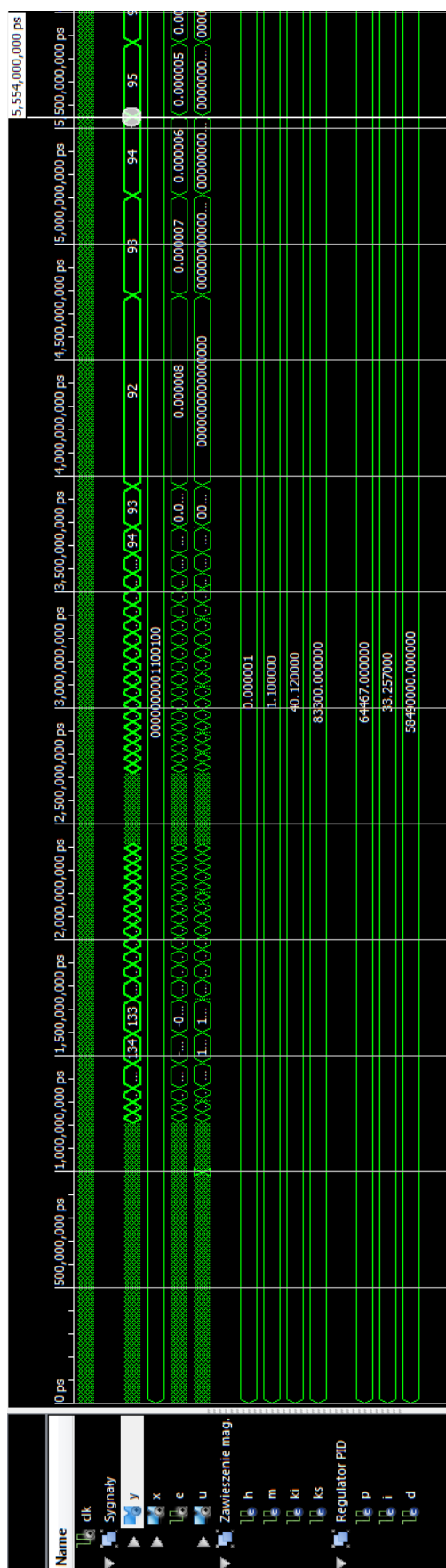
$$K_d = 58,49.$$

### 4.3. Sterowanie z wykorzystaniem regulatora PID

Wyliczono nastawy regulatora PID zaimplementowanego w modelu symulacyjnym układu w środowisku MATLAB/Simulink i sprawdzono jego odpowiedź na zmianę położenia wirnika o  $100 \mu\text{m}$  w postaci skoku jednostkowego. W wyniku badań symulacyjnych uzyskano przebieg o czasie narastania  $t_N$  równym  $0,5 \text{ ms}$ , czasie regulacji  $t_R = 2,8 \text{ ms}$  oraz przeregulowaniu  $A_1$  wynoszącym  $30 \%$  wartości ustalonej po czasie szczytowym  $t_M$  równym  $1,8 \text{ ms}$ . Uchyb w stanie ustalonym wyniósł zero.

Przed zaimplementowaniem regulatora PID w środowisku ISE uwzględniono odstęp między pobieranymi dyskretnymi wartościami sygnału. W symulacji zastosowano zegar o częstotliwości  $1 \text{ MHz}$ . W związku z tym wartości współczynników wyniosły:

$$K_p = 64\,467, \quad K_i = 33,257, \quad K_d = 58\,490\,000.$$



Rys. 5. Wyniki sterowania aktywnym zawieszeniem magnetycznym z regulatorem PID

Fig. 5. Results of active magnetic bearing controlled by a PID controller

Badanie przeprowadzono dla identycznego wymuszenia jak w środowisku MATLAB/Simulink w celu jednoznacznego porównania wyników. Po przeanalizowaniu przebiegów otrzymanych z programu ISim (rys. 5) zauważono kilka różnic. Największy wpływ na rozbieżności wyników miała maksymalna wartość przeregulowania. Wyniosła ona  $134 \mu\text{m}$  i została osiągnięta po niecałych 1,5 ms, czyli  $300 \mu\text{s}$  szybciej niż dla symulacji w programie MATLAB, ale była o 4 % większa. Ta kilkuprocentowa różnica w wartości przeregulowania mogła spowodować prawie dwukrotne wydłużenie czasu regulacji, gdyż druga amplituda przekroczyła w tej sytuacji założoną wartość błędu na poziomie 5 %. W stanie ustalonym wartości sygnału oscylują w akceptowalnej granicy  $1 \mu\text{m}$ . Przyczyną rozbieżności pomiędzy symulacjami jest pojawiający się w algorytmie błąd zaokrąglenia podczas przypisania liczby rzeczywistej stosowanej do obliczeń jej reprezentacji całkowitej przetwarzanej później na postać analogową sygnału sterującego.

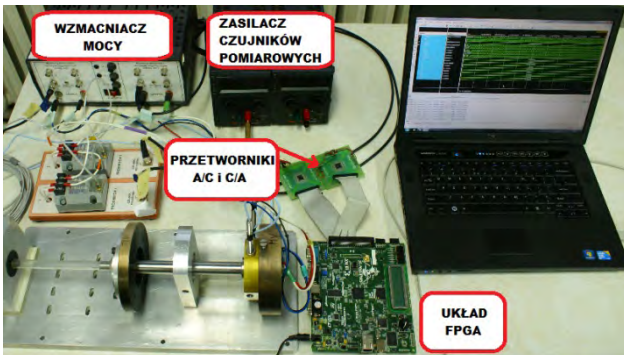
## 5. Podsumowanie

System sterowania położeniem wirnika w aktywnym zawieszeniu magnetycznym składa się z dwóch niezależnych kanałów, w których występują regulator PID wraz z podprogramem do obsługi przetworników analogowo-cyfrowych i cyfrowo-analogowych. Każdy z wymienionych podzespołów działa w niezależnym procesie zsynchronizowanym z boczem narastającym zegara taktującego. Projekt systemu sterowania aktywnym zawieszeniem magnetycznym, wykorzystujący regulatory PID, został opisany w języku VHDL w środowisku ISE. Po jego syntezy dla układu FPGA Spartan-3 firmy Xilinx, wykorzystywane jest średnio 10 % wszystkich zasobów logicznych i 80 % bloków wejścia-wyjścia. Wykorzystanie dużej ilości bloków wejściowych związane jest z zastosowaniem równoległych interfejsów przetworników analogowo-cyfrowych i cyfrowo-analogowych.

Przetworniki te zostały szczegółowo opisane w p. 3. Po zamianie odebranych danych przez przetwornik na postać cyfrową algorytm sterowania wypracowywać będzie sygnał sterujący na wyjściu analogowym przetwornika w ciągu 2-3 taktów zegara. Z związku z tym całkowite maksymalne opóźnienie pomiędzy odczytem danych z czujnika i wypracowaniem sygnału sterującego zależeć będzie w znacznym stopniu od częstotliwości zegara taktującego. W przypadku częstotliwości 1 MHz całkowity czas wynosi  $5 \mu\text{s}$ , natomiast zwiększenie jej dziesięciokrotnie spowoduje spadek maksymalnego czasu wypracowania sygnału sterującego do wartości poniżej  $1,5 \mu\text{s}$ .

Model symulacyjny zawieszenia magnetycznego nie uwzględnia siły ciężenia wirnika oraz wzajemnego oddziaływania cewek elektromagnesów na przemieszczenie w obu osiach. W związku z tym wyznaczone analitycznie nastawy regulatora PID wymagają weryfikacji eksperymentalnej w strukturze układu sterowania dla każdego zawieszenia magnetycznego. Na podstawie wcześniejszych doświadczeń z zastosowaniem procesorów sygnałowych DSP firmy dSpace do sterowania łożyskiem magnetycznym, z wykorzystaniem regulatora PID, opracowano iteracyjny algo-

rytm doboru jego parametrów. W pierwszym etapie ustawia się wartość wzmacnienia  $K_p$ , które odpowiada za sztywności łożyska, następnie  $K_d$ , które ma wpływ na tłumienie. Po uzyskaniu stabilnego położenia wirnika w szczeliny powietrznej (lewitacji), wprowadza się wartość  $K_i$ , która sprowadza do zera uchyb regulacji. Po dostrojeniu nastaw regulatora i wprowadzeniu współczynników uwzględniających rozdzielczość zastosowanych czujników wiroprądowych oraz wartości napięć sterujących, zaproponowany algorytm może być z powodzeniem stosowany do sterowania aktywnym zawieszeniem magnetycznym (rys. 6).



**Rys. 6.** Aktywne zawieszenie magnetyczne sterowane z wykorzystaniem regulatora PID zaimplementowane w układzie FPGA

**Fig. 6.** Active magnetic bearing controlled by PID regulator implemented on FPGA

### Uwaga

Zawarte w artykule wyniki są efektem realizacji pracy naukowej, finansowanej ze środków na naukę w latach 2009–2012 jako projekt badawczy własny nr O N509 032736.

### Bibliografia

1. Texas Instruments: *16-Bit, Six-Chanel, Simultaneous Sampling ANALOG-TO-DIGITAL CONVERTER*, Data Sheet, Dallas, 2011.
2. Texas Instruments: *Octal, 16-Bit, Low-Power, High-Voltage Output, Parallel Input DIGITAL-TO-ANALOG CONVERTER*, Data Sheet, Dallas, 2009.
3. Kulesza Z., Koszewnik A.: *Realizacja regulatora PID w układzie FPGA*, KNAPP Politechnika Białostocka, 2006.
4. Sonoli S., Raju K.N.: *Implementation of FPGA based PID Controller for DC Motor Speed Control System*, Proceedings of WCECS, San Francisco, 2010.
5. Gosiewski Z., Falkowski K.: *Wielofunkcyjne łożyska magnetyczne*, Biblioteka Naukowa Instytutu Lotnictwa, Warszawa, 2003.
6. Mazurek P.: *Projekt koncepcyjny układu sterowania aktywnym zawieszeniem w lotniczym układzie wykonawczym*; Praca dyplomowa pod kierownictwem M.Henzel, Warszawa 2010. ■

## The FPGA implementation of the PID controller for the active magnetic bearing with permanent magnets

**Abstract:** In this article was presented an PID algorithm and its implementation in the control system of an active magnetic bearing. For input and output analog data parallel converters from Texas Instruments were used too. Digital PID algorithms were implemented and tested on FPGA chips from Xilinx Spartan Family. Results were compared with the results of PID controller simulated in Matlab/Simulink. The control system with the most optimal PID algorithm's implementation and adjustment was detailed.

**Keywords:** FPGA, PID algorithms, magnetic bearing

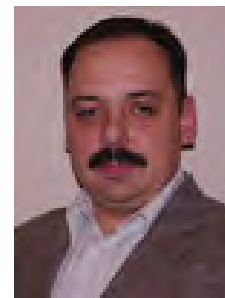
### mgr inż. Bartosz Brzozowski

Absolwent Wojskowej Akademii Technicznej (2009) o specjalności lotnictwo-awionika, obecnie asystent naukowo-dydaktyczny. Zajmuje się zagadnieniami związanymi z metodami sterowania, systemami czasu rzeczywistego i technologią FPGA.  
e-mail: bbrzozowski@wat.edu.pl



### dr inż. Maciej Henzel

Absolwent Wojskowej Akademii Technicznej (1997), a od 1998 pracownik naukowo-dydaktyczny, doktor nauk technicznych (2004) w dyscyplinie: mechanika i specjalności systemy sterowania. Zajmuje się zagadnieniami teorii sterowania oraz lotniczych systemów sterowania, układów wykonawczych oraz systemów pomiarowych.  
e-mail: Maciej.Henzel@wat.edu.pl



### mgr inż. Paulina Mazurek

Absolwentka WAT (2011) specjalność awionika, obecnie asystent naukowo-dydaktyczny. Zajmuje się zagadnieniami związanymi z nowymi metodami sterowania oraz problematyką lotniczych układów wykonawczych.  
e-mail: Paulina.Mazurek@wat.edu.pl

