

# Implementacja gry Pong w układzie programowalnym FPGA

Wojciech Biduś\*, Dominik Dusik\*, Piotr A. Kowalski\*, \*\*

\*Koło Naukowe IT przy Katedrze Automatyki i Technik Informatycznych, Politechnika Krakowska

\*\*Instytut Badań Systemowych, Polska Akademia Nauk

**Streszczenie:** W artykule omówiono implementację gry Pong w układzie FPGA Spartan 3 XC3S200 firmy Xilinx. W trakcie realizacji projektu zastosowano obsługę standardów transmisji danych PS/2, co umożliwiło sterowanie grą za pomocą klawiatury komputerowej. Dzięki zastosowaniu standardu VGA cała rozgrywka wyświetlana jest na standardowym monitorze lub rzutniku multimedialnym. Powyższe zadanie zrealizowano, stosując język opisu sprzętu VHDL.

**Słowa kluczowe:** FPGA, VHDL, gry komputerowe, Pong

Nowoczesne układy FPGA zawierają wielkie tablice elementów konfigurowalnych, oferują bardzo elastyczny sposób tworzenia połączeń wewnętrznych, a ponadto realizują wszelkie działania z bardzo dużą szybkością. Opracowanie języka opisu sprzętu (HDL) [3] ułatwiło natomiast konstruowanie i testowanie systemów cyfrowych. Ze względu na wymienione cechy układów FPGA, idea używania ich jako platformy do budowy w pełni równoległe działających układów logicznych jest wielce obiecująca [2].

Rozwój domeny układów programowalnych dokonał się w dużym stopniu dzięki nowoczesnej technice komputerowej. Powstało wiele różnych, ciekawych i ambitnych projektów implementacyjnych bazujących na układach FPGA. Dzięki równoległości działań możliwa jest już realizacja techniczna w pełni działających neurokomputerów, co było niegdyś bardzo trudne i kosztowne [1].

Celem projektu była realizacja w układzie FPGA gry, którą można rozgrywać za pomocą wygodnego kontrolera na ogólnodostępnym urządzeniu wyjściowym video. Zaprogramowany układ FPGA umożliwia rozgrywkę popularnej przed laty prostej gry Pong [5]. Obraz rozgrywki przekazany jest do urządzenia zgodnego ze standardem VGA występujący w typowych monitorach czy rzutnikach multimedialnych. Sterowanie jest tu zrealizowane za pomocą klawiatury wyposażonej w złącze PS/2 oraz alternatywnie, przy użyciu przycisków monostabilnych umieszczonych na płycie ewaluacyjnej urządzenia. Głównymi zadaniami realizowanymi podczas projektowania było generowanie sygnału wyjściowego video, przechwytywanie i interpretacja zdarzeń przesyłanych przez klawiaturę, jak również poprawna synchronizacja czasowa czynności wywoływanych sygnałami sterowania. Równoległe przetwarzanie sprawiło, że wszystkie wymienione czynności mogą być – bez większego nakładu sprzętowego – wykonywane równocześnie. „Silnik” gry jest stosunkowo prosty i nie wymaga wielu zasobów układu programowalnego. Oparty został głównie na odpowiednim ustawianiu wartości współrzędnych położenia poszczególnych elementów gry, tzn. piłki oraz „pałek”. Rozgryw-

ka została zaprojektowana dla dwóch graczy, a całe zadanie jest wykonane w pakiecie oprogramowania ISE Design Suite dostarczanym przez firmę Xilinx.

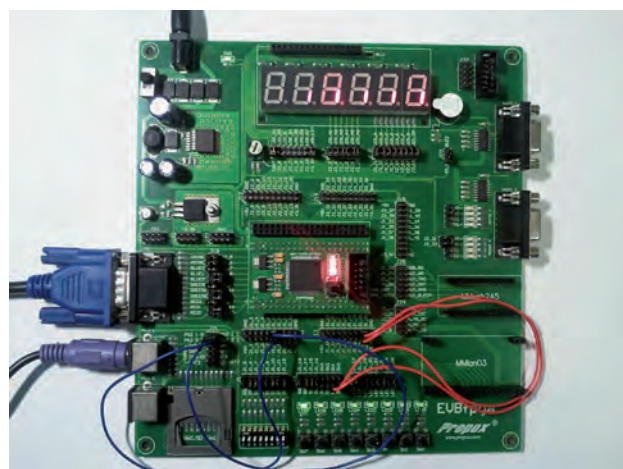
Układ FPGA nie jest ani mikroprocesorem, ani mikrokontrolerem, mimo że przy odpowiedniej konfiguracji może jako taki pracować. Układ w pierwotnej wersji nie miał możliwości sterowania za pomocą zewnętrznej klawiatury, jednak w wyniku jego ewolucji zostało to zmienione, co pozwoliło na wprowadzenie właśnie tego typu sterowania oraz szeregu poprawek sprawiających, że projekt został zrealizowany w sposób o wiele bardziej czytelny i działał znacznie wydajniej.

## Platforma sprzętowa

Projekt gry został stworzony na bazie układu FPGA Spartan 3 XC3S200 firmy Xilinx [6], który umiejscowiony jest na minimodule MMfpga02 firmy Propox. Całość umieszczono na płycie ewaluacyjnej EVBfpga, również firmy Propox (rys. 1).

Ze względu na fakt, że układ ten traci swoją konfigurację wraz z każdym zanikiem zasilania, jego stan jest odtwarzany automatycznie po uruchomieniu z pamięci konfiguracyjnej XCF01S o pojemności 1 Mb, umieszczonej na tym samym minimodule, co układ XC3S200, zaraz po przywróceniu zasilania. Płyta ewaluacyjna wyposażona jest w kilka standardowych wejść/wyjść, co pozwala na łatwą realizację algorytmów sterowania.

Użyta w projekcie klawiatura jest standardowym urządzeniem stosowanym w komputerach PC, wyposażonym w złącze PS/2. Zastosowana w projekcie płyta ma również wyjście VGA, które wykorzystane zostało do wyświetlania rozgryw-



Rys. 1. Płyta ewaluacyjna z układem FPGA

Fig. 1. Evaluation board with FPGA

ki. Do wizualizacji gry może być użyte dowolne urządzenie obsługujące złącza standardu VGA (DE-15) – działanie realizowanego urządzenia było testowane na kilku typowych monitorach oraz projektorach z pozytywnym rezultatem.

## Środowisko programistyczne

W celu prawidłowego działania urządzenia, oprócz opisanej powyżej warstwy sprzętowej, należy zagwarantować również odpowiednią konfigurację. Do wykonania projektu zostało użyte oprogramowanie z pakietu ISE Design Suite w wersji 9.2 oraz 13.1 dostarczanego przez firmę Xilinx. Kod VHDL [4] został implementowany w programie ISE Project Navigator. Generowanie oraz wgrywanie pliku konfiguracyjnego zrealizowano za pomocą programu IMPACT, należącego do tego samego pakietu programów.

## Zaimplementowane funkcjonalności urządzenia

Zaprojektowane urządzenie realizuje równoległe kilka zadań, m.in. kontroluje rozgrywkę, generuje sygnał video, przyjmuje oraz interpretuje sygnały z klawiatury, reagując na sygnały przycisków monostabilnych. W dalszej części zostaną opisane ważniejsze z zadań opisywanego projektu.

## Generowanie obrazu

Generowany docelowo obraz charakteryzowany jest szeregiem parametrów (tab. 1). Można zauważyć, że obraz wymaga taktowania z częstotliwością 25,175 MHz, jednak standard ten jest na tyle odporny, że uzyskane podczas prac implementacyjnych taktowanie 25 MHz jest w zupełności wystarczające do poprawnego działania. W układzie wbudowany jest oscylator o częstotliwości 50 MHz. Zatem częstotliwość 25 MHz uzyskiwana jest przez wykorzystanie dzielnika częstotliwości (DCM) dostępnego w programie Project Navigator. Zegar ten taktuje cały proces generowania obrazu.

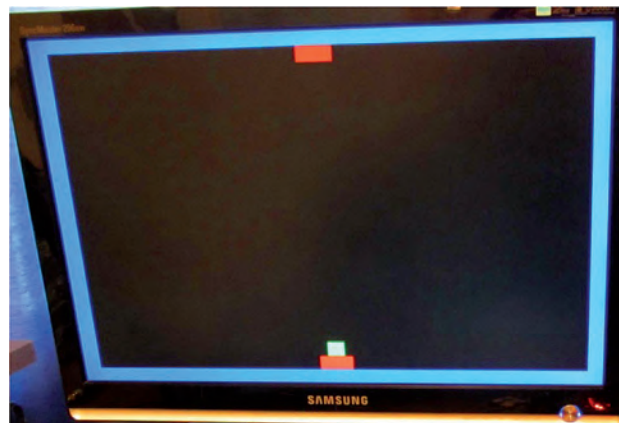
**Tab. 1.** Parametry obrazu standardu VGA

**Tab. 1.** Parameters of VGA standard

VGA 640 × 480 × 60 Hz – parametry standardu VGA	
Częstotliwość punktu	25,175 MHz
Poziomo (punkty)	
Obszar aktywny	640 px
Przedni przedział wyrównawczy	16 px
Sygnal synchronizacji	96 px
Tylny przedział wyrównawczy	48 px
Pionowo (linie)	
Obszar aktywny	480 px
Przedni przedział wyrównawczy	11 px
Sygnal synchronizacji	2 px
Tylny przedział wyrównawczy	31 px

## Rozgrywka

Aby obraz był wyświetlony (rys. 2), rozgrywka musi być odpowiednio prowadzona, co jest zadaniem kolejnego procesu. Fizyka odbijania się piłki została ograniczona jedynie do ustalania wartości dwóch parametrów – kroku, czyli ruchu piłki – zarówno w pionie, jak i poziomie.



**Rys. 2.** Przykładowy ekran gry

**Fig. 2.** A sample screen of the game

Parametry te zmieniają się odpowiednio – w zależności od której ściany bocznej układu gry odbija się piłka, oraz poprzednich wartości tych parametrów. Kierunek ruchu piłki jest również zmienny, w zależności od miejsca uderzenia w paletkę. I tak, odbicie od środka paletki powoduje ruch piłki jedynie w pionie, natomiast im dalej od środka, tym bardziej zwiększa się parametr odpowiadający za krok ruchu w poziomie. Prędkość poruszania się piłki zwiększa się również wraz z upływającym w trakcie rozgrywki czasem. Jest to zabieg mający na celu płynne zwiększanie stopnia trudności gry.

## Sterowanie

Jednym z głównych zadań implementacji gry jest potrzeba realizacji interakcji z graczami. Tutaj sterowanie odbywa się na dwa sposoby. Pierwszym jest użycie zamontowanych na płycie ewaluacyjnej przycisków monostabilnych. Metoda ta jednak nie jest dla użytkownika komfortowa, dlatego zaproponowano wykorzystanie zewnętrznej klawiatury wyposażonej w złącze PS/2.

Podczas sterowania za pomocą przycisków monostabilnych paletka reaguje na niskie stany sygnałów z tych przycisków. Ruch paletki polega na inkrementacji lub dekrementacji współrzędnej położenia paletki, natomiast prędkość zmian tej współrzędnej jest odpowiednio skalibrowana.

Podczas stosowania zewnętrznej klawiatury PS/2, sterowanie odbywa się podobnie, jednak aby otrzymać równoległe sygnały odpowiadające odpowiednim czynnościom w grze, konieczne jest odebranie przesyłanego przez klawiaturę słowa bitowego i zinterpretowanie go, co odbywa się w zaimplementowanym module. Dane z klawiatury są odbierane w sposób pokazany na rys. 3.

Urządzeniem nadrzędnym typu master w tym trybie jest klawiatura, która generuje sygnał zegarowy (CLK). Na tej linii w momencie wystąpienia zbocza opadającego, testowane

są wartości sygnału DATA. Po wykryciu rozpoczęcia transmisji (sygnał start – pierwszy niski stan na linii DATA), kolejno przesyłanych jest osiem bitów danych, bit parzystości oraz bit stopu. Natychmiast po przesłaniu słowa złożonego z ośmiu bitów danych, porównywane jest ono z wartościami zapisanymi jako wciśnięcie lub puszczanie stosowanych przez gracza przycisków.



Rys. 3. Przebieg sygnałów przesyłania 8 bitów danych przez PS/2  
Fig. 3. Transmission of 8 bits of data via PS/2

Wybrane do sterowania klawisze, o symbolach A, S, K oraz L, mają jednobajtowe kody zdarzeń związanych z ich naciśnięciem, co znacznie ułatwia implementację. Jeśli otrzymany kod klawisza zgadza się z któryś z używanych w grze – zostaje ustawiony odpowiedni stan na jednej z linii wyjściowych pokazanych na rys. 4 (sygnały z prawej strony).



Rys. 4. Schemat zaimplementowanego dekodera PS/2  
Fig. 4. Block diagram of implemented PS/2 decoder

Klawisze A oraz S umożliwiają ruchy pierwszego gracza w lewo i prawo, natomiast K i L – ruchy drugiego gracza. W trakcie rozgrywki, w dowolnej chwili można restartować rundę. Realizowane jest to przez użycie klawisza Enter. Funkcjonalność ta możliwa jest wyłącznie po stracie piłki przez jednego z graczy.

Każdy z wymienionych pięciu sygnałów wyjściowych z dekodera PS/2 odpowiada sygnałom wysyłanym przez funkcyjne przyciski monostabilne.

Prezentowany sposób realizacji projektu łączy wszystkie wymienione funkcje i uruchamia je dla stosownych taktów sygnałów. Na rys. 5 przedstawiono wszystkie fizyczne sygnały wejściowe (z lewej strony) i wyjściowe (z prawej strony) do/z urządzenia.

Sygnały KBDATA oraz KBCLOCK oznaczają sygnały pochodzące z klawiatury PS/2 – odpowiednio taktujący oraz zegarowy. Oznaczenia SW\_dol\_L, SW\_dol\_P symbolizują sterowanie pochodzące z przycisków monostabilnych dla ruchu gracza pierwszego (dolnego), natomiast SW\_gora\_L, SW\_gora\_P – ruchy gracza drugiego (górnego). Linia SW\_softreset reprezentuje natomiast sygnał przycisku monostabilnego restartu rozgrywki.

Oznaczenia z prawej strony układu związane są z wyjściem i odpowiadają za sygnał video. I tak: blue, green, red oznaczają linie sygnałowe odpowiadające poszczególnym składowym obrazu w przesyłanej informacji o kolorze. Nato-



Rys. 5. Schemat blokowy skonfigurowanego urządzenia  
Fig. 5. Block diagram of configured device

miast vsync, hsync identyfikują sygnały synchronizacji pionowej i poziomej. I wreszcie, clk50 oznacza linię oscylatora 50 MHz stosowaną do taktowania całego układu.

## Możliwości rozwoju

W ramach dalszego rozwijania projektu pojawiało się coraz więcej pomysłów na możliwe do wykonania poszerzenie funkcjonalności. Jednym z ważniejszych są: obsługa pamięci zewnętrznej w celu wgrania bitmap z grafikami, np. cyfr i liter, które mogłyby pokazywać wynik meczu, jak również obsługa drugiej klawiatury oraz udostępnienie drugiego sygnału video dla drugiego gracza.

## Podsumowanie

W artykule zostało pokazane wykorzystanie układów FPGA do budowy bardziej złożonych układów cyfrowych. Dzięki implementacji obsługi protokołów PS/2 oraz VGA można było napisać prostą grę. Zastosowanie reprogramowalnej struktury oraz języka VHDL w znaczny sposób ułatwiło projektowanie i pozwalało na bezproblemowe wykonywanie zadania. Implementacja wymagała także myślenia w sposób równoległy, ze względu na fakt, iż tak właśnie działają układy FPGA, co stanowi ich dużą zaletę.

## Podziękowania

Badania prezentowane w niniejszej publikacji są współfinansowane ze środków Unii Europejskiej w ramach projektu POKL-04.01.02-00-107/10 „Zwiększenie liczby absolwentów kierunku Informatyka Politechniki Krakowskiej poprzez uatrakcyjnienie procesu dydaktycznego i program stypendialny”.

## Bibliografia

1. Girau B., *On-chip learning of FPGA-inspired neural nets*, “International Joint Conference on Neural Networks”, (Washington, DC 2001), 222–227.

2. Łuba T. (red.), Rawski M., Tomaszewicz P., Zbierchowski B., *Programowalne Układy Przetwarzania Sygnałów i Informacji*, Wydawnictwa Komunikacji i Łączności, Warszawa 2008.
3. Skahill K., *Język VHDL: projektowanie programowalnych układów logicznych*, WNT, Warszawa 2004.
4. Zwoliński M., *Projektowanie układów cyfrowych z wykorzystaniem języka VHDL*. WKiŁ, Warszawa 2007.
5. Opis gry Pong, <http://pl.wikipedia.org/wiki/Pong> (dostęp 10.X.2012).
6. Spartan-3E FPGA Family: Complete Data Sheet. [www.xilinx.com/support/documentation/data\\_sheets/ds312.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds312.pdf) (dostęp 10.X.2012). ■

### Implementation of Pong game on FPGA chip

**Abstract:** The main objective in making this project was creating a functional game based on FPGA module, controlled by convenient controller and displayed on popular type of video-output device. The configured FPGA module allows playing simple popular retro game – Pong. It is displayed on VGA-compatible device (a lot of popular PC-displays, projectors) and controlled by standard PS/2 compatible PC keyboard or PCB mounted pushbuttons. The biggest problems in creating our project was generating correct video-output signals, capturing events sent by keyboard and synchronizing control signals with their actions. Parallel computing made all of that possible, working simultaneously without any problems. Game “engine” is really simple and it did not took a lot of lines of code in VHDL to implement it. It actually works just by setting appropriate values to coordinates of game elements (ball and platforms). Game is made for two players. The whole project was made in ISE Design Suite software provided by Xilinx.

**Keywords:** FPGA, VHDL, computer game, Pong

OGŁOSZENIE

#### Dominik Dusik

Student III roku studiów inżynierskich na kierunku Informatyka na Wydziale Inżynierii Elektrycznej i Komputerowej Politechniki Krakowskiej. Członek Koła Naukowego IT. Zainteresowania naukowe: elektronika, informatyka.  
e-mail: [dominik.dusik@gmail.com](mailto:dominik.dusik@gmail.com)



#### Wojciech Biduś

Student Informatyki studiów inżynierskich na Wydziale Inżynierii Elektrycznej i Komputerowej Politechniki Krakowskiej. Członek Koła Naukowego IT. Zainteresowania: pogranicze informatyki i elektroniki – układy programowalne, mikrokontrolery.  
e-mail: [wojciech@bidus.pl](mailto:wojciech@bidus.pl)



#### dr inż. Piotr Andrzej Kowalski

Studia wyższe ukończył na Politechnice Krakowskiej, gdzie pracuje od 2002 r., obecnie na Wydziale Inżynierii Elektrycznej i Komputerowej na stanowisku adiunkta. Jest również adiunktem w Instytucie Badań Systemowych PAN, gdzie w 2009 r. obronił doktorat z zakresu analizy danych i sztucznej inteligencji. Jest członkiem Polskiego Towarzystwa Informatycznego.  
e-mail: [pkowal@pk.edu.pl](mailto:pkowal@pk.edu.pl)



## Młodzi Innowacyjni na start!

Przemysłowy Instytut Automatyki i Pomiarów PIAP ogłasza

**konkurs na najlepsze rozprawy doktorskie oraz prace dyplomowe magisterskie i inżynierskie z dziedziny automatyki, robotyki i pomiarów**

### Młodzi Innowacyjni 2013

To już piąta edycja tego cieszącego się ogromnym zainteresowaniem środowiska akademickiego konkursu, który w poprzednich latach zgromadził dużą liczbę uczestników.

W pierwszej edycji konkursu Młodzi Innowacyjni 2009 komisja konkursowa, złożona z autorytetów naukowych, zakwalifikowała 52 prace magisterskie i inżynierskie, rok później do konkursu Młodzi Innowacyjni 2010 dopuszczono 62 prace, w tym 12 prac doktorskich oraz 50 prac inżynierskich i magisterskich. Trzecia edycja konkursu Młodzi Innowacyjni 2011 zgromadziła 52 prace, w tym 7 prac doktorskich. Natomiast do zeszlórocznej edycji dopuszczono 44 prace, w tym 15 prac doktorskich, 17 prac magisterskich oraz 12 prac inżynierskich. W tym czasie zaprezentowane zostały prace z 24 polskich uczelni.

Wyniki konkursu pokazały, że możemy spokojnie patrzeć w przyszłość – pol-

ska nauka, polscy inżynierowie mają dobry warsztat, znakomite podstawy teoretyczne i ambicje, by rozwijać innowacyjne technologie w wielu dziedzinach, bez kompleksów konkurując z kolegami z krajów Europy Zachodniej i Stanów Zjednoczonych.

Finał obecnej edycji konkursu odbędzie się 24 marca 2013 r., podczas XVII Konferencji Naukowo-Technicznej AUTOMATION 2013.

Na konkurs można zgłaszać prace obronione po **1 stycznia 2011 r.**

Termin nadsyłania prac upływa **24 lutego 2013 r.**

Formularze zgłoszeniowe znajdują się na stronie [www.piap.pl](http://www.piap.pl).

Wszelkie pytania prosimy kierować na adres e-mail: [konkurs@piap.pl](mailto:konkurs@piap.pl).

Patronem medialnym konkursu jest miesięcznik naukowo-techniczny **Pomiary Automatyka Robotyka PAR.**



Projekt **Młodzi Innowacyjni** – wsparcie upowszechniania wiedzy w obszarach automatyki, robotyki i pomiarów dofinansowany ze środków Narodowego Centrum Badań i Rozwoju w ramach programu **Kreator Innowacyjności**

