

# Obrazowe systemy FPGA w Laboratorium Biocybernetyki

Marek Gorgoń

AGH Akademia Górniczo-Hutnicza, Wydział EAIiE, Katedra Automatyki

**Streszczenie:** W artykule przedstawiono tematykę badań naukowych dotyczących implementacji systemów obrazowych FPGA, prowadzonych w Laboratorium Biocybernetyki Katedry Automatyki AGH. Pokazano główne kierunki badań na świecie i dokonano przeglądu literatury w zakresie implementacji przetwarzania i analizy obrazów w układach FPGA. Na tym tle pokazano prace wykonane w Laboratorium Biocybernetyki, wskazując na istotny aspekt energooszczędności implementacji FPGA.

**Słowa kluczowe:** przetwarzanie obrazu, analiza obrazu, systemy rekonfigurowalne, układy FPGA

## 1. Wprowadzenie

Przetwarzanie i analiza obrazów są zadaniami obliczeniowymi o dużych wymaganiach ze względu na moc obliczeniową. Od wielu lat prowadzone są badania dotyczące akceleracji tych zadań w różnych środowiskach implementacji algorytmów. Bardzo dobre wyniki przynosi ich implementacja w układach rekonfigurowalnych FPGA (Field Programmable Gate Array). Pionierskie badania w tym obszarze rozpoczęły się ponad dwadzieścia lat temu i dotyczyły implementacji operacji przetwarzania obrazu. Spośród innych środowisk obliczeniowych układy FPGA wyróżniają się możliwością zorganizowania obliczeń z uzyskaniem efektu równoległości drobnoziarnistej (*fine-grain parallelism*). Ta ich cecha, choć nie jako jedyna, zdecydowanie wyróżnia je spośród innych środowisk obliczeniowych. Drobnoziarnista równoległość okazała się szczególnie dogodna do realizacji prostych operacji przetwarzania obrazów, takich jak operacje arytmetyczne, geometryczne i logiczne, obliczanie statystyk obrazu (histogramy), przekształcenia systemów barwnych, filtracje kontekstowe liniowe i nieliniowe, różne typy binaryzacji, operacje morfologiczne, transformacje częstotliwościowe i podobne. Zdolność do wykonania wielu prostych operacji w sposób równoległy (np. obliczanie lokalnego kontekstu w trakcie wyliczenia splotu dla piksela i jego otoczenia na wielu elementach mnożących i dodających, wygenerowanych w zasobach układu FPGA) dała możliwość budowy systemu przetwarzania, który dzisiaj określa się powszechnie mianem przetwarzania strumieniowego. Biorąc pod uwagę, że częstotliwość osiągnięta w układach FPGA była większa od częstotliwości propagacji piksela, uzyskano przetwarzanie w czasie rzeczywistym strumienia danych, transmitowanego ze źródła sygnału, jakim zwykle jest kamera.

Dalszy rozwój systemów obrazowych FPGA realizowany jest w kilku tematach:

- opracowanie architektur FPGA dla szerokiego wachlarza operacji przetwarzania, jak również operacji analizy i rozpoznawania obrazów (IP-Core),
- opracowanie architektur do kompresji obrazów, kodowania i szyfrowania strumienia wideo,
- budowanie algorytmów złożonych do przetwarzania i analizy obrazów,
- wykorzystanie rekonfiguracji dynamicznej dla szybkiej modyfikacji wykonywanego algorytmu (droga do powstania systemów adaptacyjnych i inteligentnych),
- opracowanie modelu przetwarzania *course-grain* z wykorzystaniem wielu połączonych układów rekonfigurowalnych,
- budowa systemów do przetwarzania obrazów: karty akwizycji i przetwarzania obrazu, kamery inteligentne, akceleratory obliczeń, systemy wbudowane,
- budowa specjalizowanych układów scalonych do akwizycji i przetwarzania obrazu.

Powyższa lista nie stanowi zamkniętego katalogu. Postęp technologiczny powoduje powstanie nowych kierunków rozwoju systemów obrazowych. Od kilku lat stworzone zostały możliwości realizacji obliczeń zmiennoprzecinkowych w układach FPGA. Istotnym wyróżnikiem najnowszych serii układów FPGA jest również znaczna energooszczędność. W dalszej części publikacji przedstawione zostaną wybrane, najnowsze prace z literatury światowej, ilustrujące stan wiedzy w omawianej tematyce (rozdział 2) oraz, na tym tle, prace prowadzone w Laboratorium Biocybernetyki Katedry Automatyki AGH (rozdział 3) i krótkie Podsumowanie.

## 2. Analiza stanu wiedzy w dziedzinie

Obecnie następuje dynamiczny rozwój algorytmów analizy obrazów i analizy sceny. Nieco szerzej opisano to w publikacji „System inteligentnego monitoringu przestrzeni i obiektów szczególnego znaczenia SIMPOZ” zamieszczonej na s. 69–76. Również wiele z tych algorytmów sukcesywnie implementowanych jest w układach rekonfigurowalnych. Implementacje algorytmów generacji tła w układach FPGA przedstawiono w [1–3]. Opis implementacji algorytmu SURF (*Speeded Up Robust Features*) znajduje się w [4, 5]. Można znaleźć doniesienia dotyczące implementacji algorytmu *Meanshift* [6]. Dużym zainteresowaniem cieszy się algorytm przepływu optycznego (*Optical Flow*) [7]. Innym algorytmem, który został zrealizowany w FPGA, to algorytm cząsteczkowy (*Particle Filter*) [8].

W literaturze można znaleźć też wzmianki o implementacji algorytmu HOG (*Histogram of Oriented Gradients*) [9]. Pojawiają się również wzmianki o implementacji algorytmu KLT (Tomassi, Lukas, Kanade) [10]. Sośród metod rozpoznawania obrazu warto wskazać na publikacje dotyczące implementacji algorytmów SVM (*Support Vector Machine*) [11], Decision Tree [12] i sieci neuronowych [13]. Podsumowując dokonany przegląd wybranych pozycji literaturowych warto dodać, że obrazowe systemy FPGA stosuje się w szerokim wachlarzu aplikacji: robotyce, automatyce przemysłowej, systemach wizyjnego nadzoru, systemach transportu, systemach militarnych, aparaturze medycznej i wielu innych.

### 3. Systemy obrazowe FPGA w Laboratorium Biocybernetyki

Pierwsze prace badawcze rozpoczęły się blisko dwadzieścia lat temu i zaowocowały architekturami procesorów strumieniowych do wykonania operacji wstępnego przetwarzania obrazu. Dalszy etap prac badawczych dotyczył algorytmów analizy obrazu algorytmu indeksacji z tablicą sklejń (Classical Component Labelling Algorithm), algorytmu kodowania DV (Digital Video) [14]. Ciekawe przykłady złożonych systemów obrazowych, zaimplementowanych w pełni w układach FPGA, stanowią wideodetektor pojazdów dla ruchu drogowego oraz system rozpoznawania ręcznie pisanych znaków [15]. Z sukcesem zaimplementowano w układzie FPGA, opracowany w firmie Sony, algorytm szyfrujący CLEFIA [16]. Prace przedstawione w ostatnim okresie dotyczyły implementacji algorytmów binaryzacji lokalnej (metoda Sauvola) [17], oraz algorytmu Peer Group Filtering [18]. Konstruowano specjalizowane urządzenia FPGA do przetwarzania obrazu: kartę RETINA realizującą algorytm przekodowania *log-polar* [14] oraz kamery inteligentne [19, 20]. Warto zwrócić uwagę na różnorodność stosowanych środowisk implementacji obejmujących język VHDL, środowiska firmy Xilinx: IST, System Generator i EDK (*Embedded Development Kit*) oraz języki wysokiego poziomu Handel-C [15], Mitrion-C [17] i Catapult-C. Ważnym aspektem naukowym były rozważania teoretyczne dotyczące zrównoleglenia algorytmów wizyjnych dla platform FPGA [14, 21, 22].

Obecne kierunki prowadzonych badań dotyczą kompleksowego algorytmu detekcji ruchu uwzględniającego algorytm generacji tła (metoda klasteryzacji), algorytm detekcji cienia w obrazie algorytmu teksturowego SILTP. Na obecnym etapie badań uruchomiono system wizyjny detekcji ruchu, równoległe implementujący wymienione metody w układzie Spartan-6 (na strumieniu obrazu kolorowego transformowanego w systemie FPGA do przestrzeni kolorów CIE-Lab), dokonujący analizy i wyświetlający 60 klatek obrazu o rozmiarze 640×480 pikseli na sekundę (rys. 1). Wstępne wyniki, zamieszczone poniżej, zacytowano z [23]. Osiągnięta częstotliwość pracy układu FPGA wynosi 119 MHz, co znacznie przewyższa częstotliwość piksela w strumieniu pikseli wynoszącą w tym przypadku 25 MHz. Układ FPGA działa bardzo energooszczędnie. W trakcie wykonania opisanego algorytmu zapotrzebowanie na moc oszacowane jest na poziomie 0,9 W,

a wraz z pamięciami zewnętrznymi 1,2 W. Używana karta SP 605 firmy Xilinx pobiera łącznie 10,2 W. Trwają prace nad przeniesieniem systemu na kartę z układem Virtex-6 i na zwiększeniu rozdzielczości analizowanej klatki obrazu do rozmiaru 1280×720 pikseli. Planowane jest również dodanie równoległego modułu analizy opartego o algorytm przepływu optycznego.



Rys. 1. System wizyjny detekcji ruchu wyświetlający wyniki przetwarzania obrazu 640×480 60 klatek/s [23]

Fig. 1. Working vision system for moving object detection 60 fps, 640×480 resolution [23]

### 4. Podsumowanie

Przetwarzania i analiza obrazu w układach reprogramowalnych dobrze ugruntowały się w badaniach naukowych i aplikacjach. Od momentu pojawienia się układów FPGA, stały się one alternatywnym środowiskiem implementacji algorytmów, trudnym do pokonania w algorytmach przetwarzania, nieco później również analizy i rozpoznawania obrazu, odnośnie których formułowano wymagania pracy w czasie rzeczywistym. Wraz z postępem technologicznym ważnym argumentem za stosowaniem układów FPGA stała się ich energooszczędność. Nie do przecenienia jest możliwość adaptowania architektury systemu na poziomie sprzętowym i dopasowania jej do przetwarzanego algorytmu. Jest to ważne, szczególnie tam, gdzie w stosowanym urządzeniu następuje ewolucja i rozwój lub zmiana wymagań odnośnie do realizowanych metod obliczeniowych. Doświadczenie zdobyte przez lata prowadzonych eksperymentów oraz obserwacja wzrostu zainteresowania rozwiązaniami aplikacyjnymi na świecie, skłania zespół pracujący w Laboratorium Biocybernetyki do intensywnej kontynuacji prowadzonych dotychczas badań.

### Bibliografia

1. Abutaleb M.M., Hamdy A., Abuelwafa M.E., Saad E.M.: *FPGA-based object-extraction based on multimodal  $\Sigma$ - $\Delta$  background estimation*, 2<sup>nd</sup> International Conference on Computer, Control and Communication, 2009, 1–7.
2. Appiah K., Hunter A.: *A single-chip FPGA implementation of real-time adaptive background model*, Proc. of FPT' 05, IEEE 2005, 95–102.
3. Juvonen M.P.T., Coutinho J.G.F., Luk W.: *Hardware Architectures for Adaptive Background Modelling*, Proc. of SPL '07, IEEE, 2007, 149–154.

4. Bouris D., Nikitakis A., Papaefstathiou I.: *Fast and Efficient FPGA-based Feature Detection Employing the SURF Algorithm*, Proc. of FCCM 2010, IEEE 2010, 3–10.
5. Schaeferling M., Kiefer G.: *Flex-SURF: A Flexible Architecture for FPGA-Based Robust Feature Extraction for Optical Tracking Systems*; Proc. of ReConFig 2010, IEEE, 2010, 458–463.
6. Dang Ba Khac Trieu, Tsutomu Maruyama: *An Implementation of the Mean Shift Filter on FPGA*, Proc. of FPL 2011, IEEE 2011, 219–224.
7. Chase J., Nelson B., Bodily J., Zhaoyi Wei, Dah-Jye Lee: *Real-Time Optical Flow Calculations on FPGA and GPU Architectures: A Comparison Study*, Proc. of FCCM'08, IEEE 2008, 173–182.
8. Ziener D. et al.: *A Flexible Smart Camera System based on a Partially Reconfigurable Dynamic FPGA-SoC*, FPL 2011 Workshop on Computer Vision on Low-Power Reconfigurable Architectures (2011) [www.techfak.uni-bielefeld.de/~fwerner/fpl2011/#program].
9. Tam Phuong Cao, Guang Deng: *Real-Time Vision-Based Stop Sign Detection System on FPGA*, Computing: Techniques and Applications, DICTA '08, IEEE 2008, 465–471.
10. Yean Choon Ham Y.S.: *Developing a smart camera for gesture recognition in hci applications*, The 13<sup>th</sup> IEEE International Symposium on Consumer Electronics, IEEE 2009, 994–998.
11. Papadonikolakis M., Bouganis C., Constantinides G.: *Performance Comparison of GPU and FPGA Architectures for the SVM Training Problem*, Proc. of FPT' 09, IEEE 2009, 388–391.
12. Becker T., Qiang Liu, Luk W., Nebehay G., Pflugfelder R.: *Hardware Accelerated object Tracking*, FPL 2011 Workshop on Computer Vision on Low-Power Reconfigurable Architectures, [www.techfak.uni-bielefeld.de/~fwerner/fpl2011/#program].
13. Pottathuparambil R., Sass R.: *An FPGA-based Neural Network for Computer Vision Applications, Hardware Accelerated object Tracking*, FPL 2011 Workshop on Computer Vision on Low-Power Reconfigurable Architectures, [www.techfak.uni-bielefeld.de/~fwerner/fpl2011/#program].
14. Gorgoń M.: *Architektury rekonfigurowalne do przetwarzania i analizy obrazu oraz dekodowania cyfrowego sygnału wideo*, Uczelniane Wydawnictwa Naukowo-Dydaktyczne AGH, Seria Rozprawy i Monografie nr 161, 2007.
15. Jabłoński M.: *Metodyka zrównoleglenia algorytmów przetwarzania i analizy obrazów w systemach przepływowym*, Praca Doktorska, AGH, WEAlie, 2009.
16. Kryjak T., Gorgoń M.: *Pipeline implementation of the 128-bit block cipher CLEFIA*, in: Proc. of FPL'09, IEEE, 2009, 373–378.
17. Kryjak T., Gorgoń M.: *Parallel implementation of local thresholding in Mitron-C*, „Int. Journal of Applied Mathematics and Computer Science” 2010, vol. 20, no. 3, 571–580.
18. Kryjak T., Gorgoń M.: *Pipeline implementation of Peer Group Filtering in FPGA*, przyjęte do „Computer and Informatics”.
19. Mik L., Gorgoń M.: *Kamera cyfrowa zintegrowana z reprogramowalnym systemem przetwarzania obrazów*, „Automatyka”, AGH (2009) t. 13 z. 3 cz. 1, 921–929.
20. Zawadzki A., Gorgoń M.: *Nowa architektura wizyjnego systemu wbudowanego dedykowana dla kamery inteligentnej*, „Pomiary Automatyka Kontrola”, 2011, nr 8, 902–904.
21. Gorgoń M.: *Reconfigurable Architectures for Parallel Execution of Image Processing Tasks*, „Opto-Electronics Review” (2007) vol. 15 (4), 196–201.
22. Gorgoń M.: *Parallel Performance of the Fine-Grain Pipeline FPGA Image Processing System*, przyjęte do: „Opto-Electronics Review”.
23. Kryjak T., Komorkiewicz M., Gorgoń M.: *Single Low-Power FPGA Implementation of Moving Object Detection*, FPL 2011 Workshop on Computer Vision on Low-Power Reconfigurable Architectures, [www.techfak.uni-bielefeld.de/~fwerner/fpl2011/#program]. ■

#### FPGA Imaging System In Biocybernetics Lab

**Abstract:** The paper presents the research topics concerning the implementation of FPGA imaging systems, conducted at the Biocybernetics Laboratory of Department of Automatics AGH-University of Science and Technology. Shows the main directions of research in the world and an overview of the literature in the field of FPGA-based image processing and analysis. On this background showing the work done at the Biocybernetics Laboratory, pointing to an important aspect of energy efficiency at FPGA systems.

**Keywords:** image processing, image analysis, reconfigurable computing, reconfigurable systems, FPGA

#### dr hab. inż. Marek Gorgoń

Autor jest absolwentem Akademii Górniczo-Hutniczej w Krakowie, gdzie uzyskał kolejno dyplom magistra inżyniera elektroniki (1988) oraz stopnie doktora (1995) i doktora habilitowanego (2007), oba w dyscyplinie Automatyka i Robotyka. Pracując w Katedrze Automatyki AGH, zajmuje się metodami i systemami do przetwarzania i analizy obrazu. Od 1992 r. jego głównym obszarem zainteresowania są systemy obrazowe oparte na układach FPGA. Brał udział w kilkunastu projektach naukowych, jest członkiem IEEE, komitetów naukowych konferencji międzynarodowych: ReConFig, ERSa, PDeS, ACM SAC i krajowych: RUC, KNWS oraz autorem ponad 50 publikacji naukowych.

e-mail: mago@agh.edu.pl

