

Michał BALCERAK

ANALIZA STRAT POWSTAJĄCYCH PODCZAS ZAŁĄCZANIA PARY TRANZYSTORÓW MOCY MOS-FET ORAZ IGBT, PRACUJĄCYCH W PRZEKSZTAŁTNIKACH REZONANSOWYCH

STRESZCZENIE *W niniejszym artykule przedstawiono topologię rezonansowego układu przekształtnikowego służącego do generacji bardzo krótkich impulsów o wysokiej mocy. Omówiono celowość równoległego łączenia ze sobą dwóch typów tranzystorów: MOS-FET i IGBT, pracujących jako klucze w przekształtnikach rezonansowych typu Kicker Power Supply (KPS). Przedstawiono wpływ niejednoczesności załączenia tranzystorów na sprawność przetwornicy oraz na straty mocy na tych tranzystorach. Zwrócono również uwagę na opóźnienia czasu załączania wprowadzane przez sterowniki tranzystorów mocy. Omówiono także wpływ wartości rezystancji łączącej sterownik z tranzystorem mocy na sprawność przetwornicy rezonansowej.*

Słowa kluczowe: *Sterowanie tranzystorami, praca równoległa tranzystorów, minimalizacja strat mocy, sterowniki, drivery, podwyższenie sprawności, porównywanie tranzystorów, przekształtniki impulsowe, KPS*

mgr inż. Michał BALCERAK
e-mail: michal.balcerak@zut.edu.pl

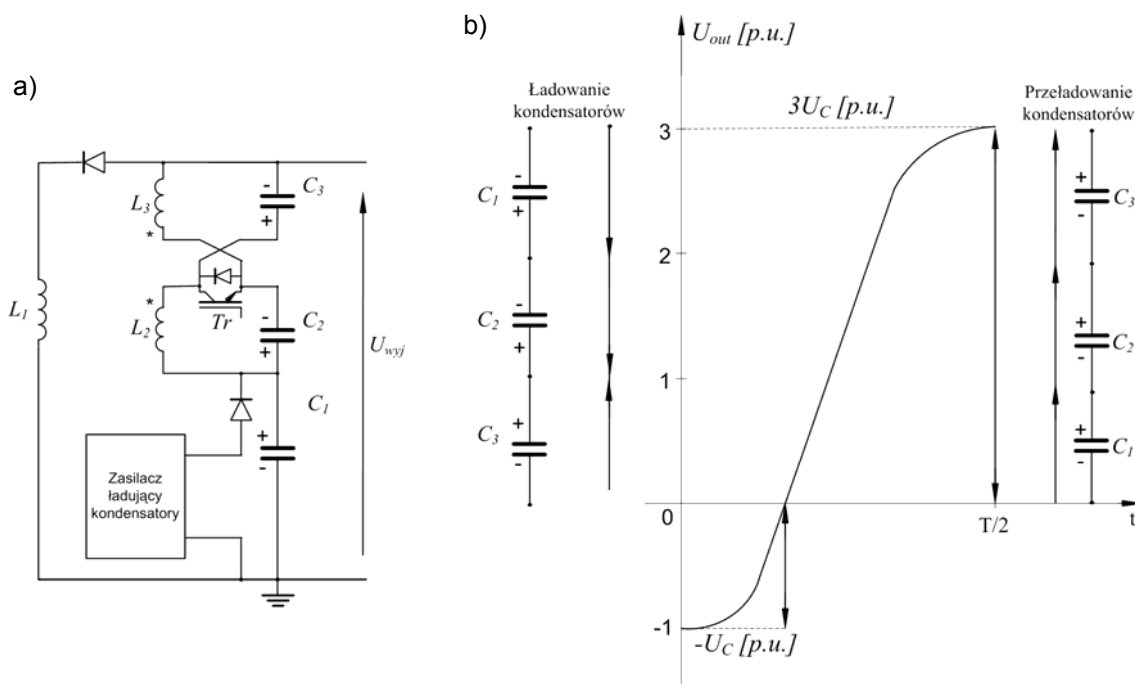
Katedra Elektroenergetyki i Napędów Elektrycznych
Zachodniopomorski Uniwersytet Technologiczny w Szczecinie

PRACE INSTYTUTU ELEKTROTECHNIKI, zeszyt 246, 2010

1. WPROWADZENIE

W laboratorium przekształtników energoelektronicznych podjęto próbę zbudowania zasilacza impulsowego, generującego bardzo krótkie impulsy wysokiego napięcia. Zasilacz ma służyć do zasilania reaktorów homogenicznej plazmy nietermicznej, co stawia wysokie wymagania w zakresie sprawności przekształtnika oraz kształtu i amplitudy generowanego napięcia. Stromość narastania napięcia nie powinna być niższa niż 100 V/ns , długość trwania impulsu nie powinna przekraczać 100 ns , natomiast wartość szczytowa generowanego napięcia powinna wynosić ok. 3 kV . Budowany zasilacz ma pracować w trybie ciągłym przez okres kilku lat, zatem jego sprawność nie powinna być niższa niż 80% . Powyższe wymagania powinien spełniać układ KPS (Kicker Power Supply), którego schemat opublikowano w [2, 3], a który jest modyfikacją generatora Fitcha. Schemat KPS przedstawiono na rysunku 1a, natomiast zasadę działania obrazuje rysunek 1b. W przypadku zastosowań dla układu do generacji plazmy nietermicznej, istotne są następujące parametry, takie jak wysokość uzyskanego napięcia, stromość narastania napięcia i czas trwania impulsu. Dwa istotne parametry to amplituda napięcia wyjściowego oraz stromość narastania napięcia, które są głównie odpowiedzialne za inicjację plazmy. Natomiast czas trwania impulsu jest ważny z dwóch powodów: prowadzi on do dodatkowych strat na przewodzenie w plazmie, które nie są pożądane dla plazmy nietermicznej i prowadzi do wyładowania łukowego, które jest niekorzystne ze względu na niszczenie elektrod.

Kiedy tranzystor Tr nie jest wysterowany, kondensatory $C1$, $C2$, $C3$ są ładowane stałym napięciem, zgodnie z polaryzacją zaznaczoną na rysunku 1a znakami $+$ i $-$ oraz odpowiednim zwrotem strzałek wskazujących wyższy potencjał. Kondensatory $C2$ i $C3$ ładują się za pośrednictwem diody dołączonej równolegle do tranzystora oraz cewek $L1$, oraz odpowiednio $L3$ i $L2$. W chwili wysterowania tranzystora Tr napięcia na wszystkich kondensatorach dodają się do siebie dając łącznie wartość pojedynczego napięcia zasilania ze znakiem ujemnym. Następnie układy LC złożone z elementów $C2$ i $L2$ oraz $C3$ i $L3$ tworzą niezależne obwody rezonansowe, zmieniając polaryzację napięcia na kondensatorach $C2$ i $C3$. W tym momencie napięcia na kondensatorach $C1$, $C2$ i $C3$ dodają się do siebie dając łącznie napięcie trzy razy wyższe, niż napięcie zasilające przetwornicę. Przebieg zmian napięcia na zaciskach wyjściowych przetwornicy, będącego sumą napięć występujących na kondensatorach $C1..C3$ przedstawia rysunek 1b.



Rys. 1.

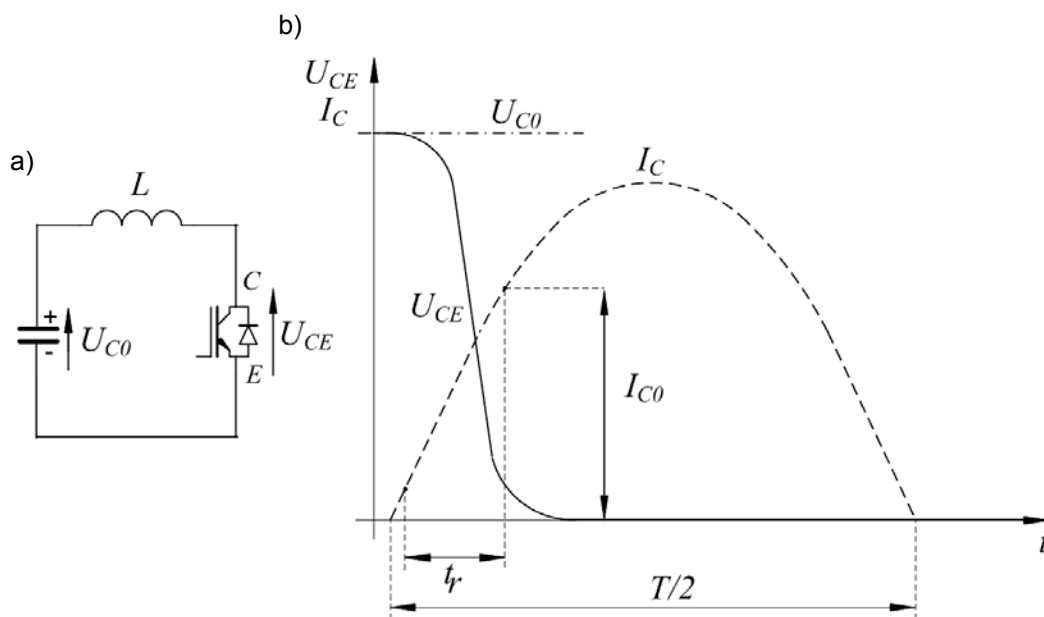
a) Schemat pojedynczego modułu KPS oraz b) teoretyczny przebieg napięcia wyjściowego U_{wyj} po wysterowaniu tranzystora Tr z zaznaczonymi napięciami na kondensatorach C_1 , C_2 i C_3

Przetwornica typu KPS pozwala na uzyskanie wysokich stromości napięcia i krótkich czasów trwania impulsu, dając w efekcie napięcie trzykrotnie większe niż napięcie zasilające bez stosowania transformatora podwyższającego. Łącząc ze sobą n modułów można uzyskać maksymalne napięcie $3 \cdot n$ razy wyższe od napięcia zasilającego. Wadą zastosowanego rozwiązania jest duża wartość prądu przepływającego przez tranzystor Tr , będąca sumą dwóch prądów przeładowujących kondensatory C_2 i C_3 .

Użycie półprzewodnikowych elementów mocy stwarza problemy w przypadku konieczności generowania bardzo krótkich impulsów wysokiego napięcia w sytuacji, gdy wymagany czas trwania impulsu jest tej samej wielkości, co czasy przełączania półprzewodnikowych elementów mocy. Pomimo stosunkowo dobrych parametrów dotyczących czasu przełączania elementów półprzewodnikowych takich jak IGBT, deklarowanych przez producentów, okazuje się, że całkowite załączenie tranzystora trwa kilkakrotnie dłużej niż definiowany czas t_r . Jest to wynikiem tego, że czas załączania t_r jest definiowany jako różnica czasu pomiędzy wartościami 0,1 a 0,9 prądu nominalnego, a tymczasem czas pomiędzy 0 a 1 prądu nominalnego może być kilkakrotnie dłuższy niż t_r . Takie zachowanie tranzystora IGBT znacznie limituje sprawność wypadkową układu generacji impulsów wysokiego napięcia i prowadzi do braku możliwości generacji bardzo krótkich impulsów z wysoką sprawnością. Oczywiście tranzystory MOS-FET posiadają lepsze właściwości dynamiczne niż tranzystory

IGBT, lecz tranzystory IGBT mają zdecydowaną przewagę, jeśli chodzi o zakres napięciowy i prądowy, a w szczególności dopuszczalną dużą wartość iloczynu $U_{MAX} * I_{MAX}$, co jest istotne z punktu widzenia uzyskiwanych energii impulsów wysokonapięciowych. Ponieważ z zasady działania przyjętej topologii układów impulsowych wysokiego napięcia mamy do czynienia z rezonansowym przeładowaniem półfalowym, przebieg prądu płynącego przez półprzewodnikowy element mocy ma kształt półfali sinusoidy.

Kształt prądu przepływającego przez tranzystor Tr przedstawiony jest na rysunku 2b.



Rys. 2.

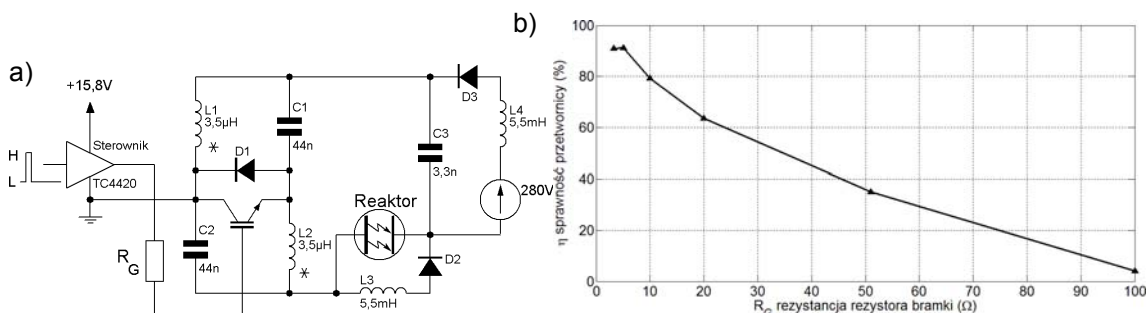
a) Schemat pojedynczego układu rezonansowego oraz b) teoretyczny przebieg prądu tranzystora I_C oraz napięcia na tranzystorze U_{CE}

W celu poprawy właściwości dynamicznych omawianego układu zaproponowano koncepcję równoległej pracy dwóch elementów półprzewodnikowych – tranzystora IGBT i tranzystora MOS-FET. Ponieważ w pierwszej chwili przeładowania prąd nie ma dużej wartości, stąd przewodzenie przejmuje tranzystor MOS-FET, natomiast w pozostałym czasie przewodzenia główne obciążenie przejmuje tranzystor IGBT.

2. STEROWANIE TRANZYSTOREM

Aby tranzystor mógł być szybko przełączany, należy w jak najkrótszym czasie dostarczyć do bramki odpowiednią ilość ładunku, która wprowadzi

tranzystor w stan przewodzenia, przy czym należy mieć świadomość, że zbyt duża wartość prądu I_G lub napięcia U_{GS} bramki może nieodwracalnie zniszczyć tranzystor.



Rys. 3.

a) Schemat przekształtnika wykorzystywanego w publikacji [2, 3] oraz b) zależność sprawności tego przekształtnika od wartości rezystancji R_G

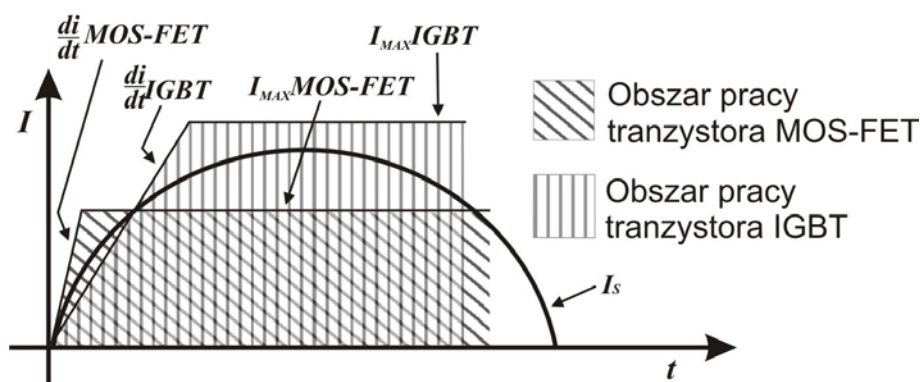
Istotny wpływ na szybkość załączania tranzystora ma wartość rezystancji pomiędzy sterownikiem a bramką tranzystora. Zadaniem tej rezystancji jest ograniczenie prądu przeładowującego pojemność bramki tranzystora do takiej wartości, aby nie uszkodzić wewnętrznych połączeń oraz by ograniczyć zaburzenia EMI do akceptowalnego poziomu [5]. Dodatkowo rezystancja ta tłumí oscylacje prądu, powstające pomiędzy sterownikiem a bramką tranzystora. Z tych powodów nie powinno się dobierać zbyt małej wartości rezystancji R_G , lecz jednocześnie rezystancja ta nie powinna być zbyt duża, ponieważ może ona przyczynić się do znacznego spowolnienia czasu załączania tranzystora. Na rysunku 3b przedstawiono zależność sprawności przekształtnika o podobnej topologii jak przedstawiona na rysunku 1. w funkcji wartości rezystancji R_G , przy czym sprawność jest rozumiana jako stosunek energii zgromadzonej w kondensatorach po połowie okresu zadrgania do energii zgromadzonej w kondensatorach przed załączeniem tranzystora. Dane do przedstawionej zależności pochodzą z publikacji [3].

Rysunek 3b. ilustruje, że przy niskiej wartości rezystancji bramki, nie ma ona już większego wpływu na czas załączania tranzystora. Dalsze zmniejszanie tej rezystancji nie powoduje już wzrostu sprawności przetwornicy, zatem należy szukać innych metod na obniżenie strat w przekształtnikach.

3. PRACA RÓWNOLEGŁA TRANZYSTORÓW RÓŻNYCH TYPÓW

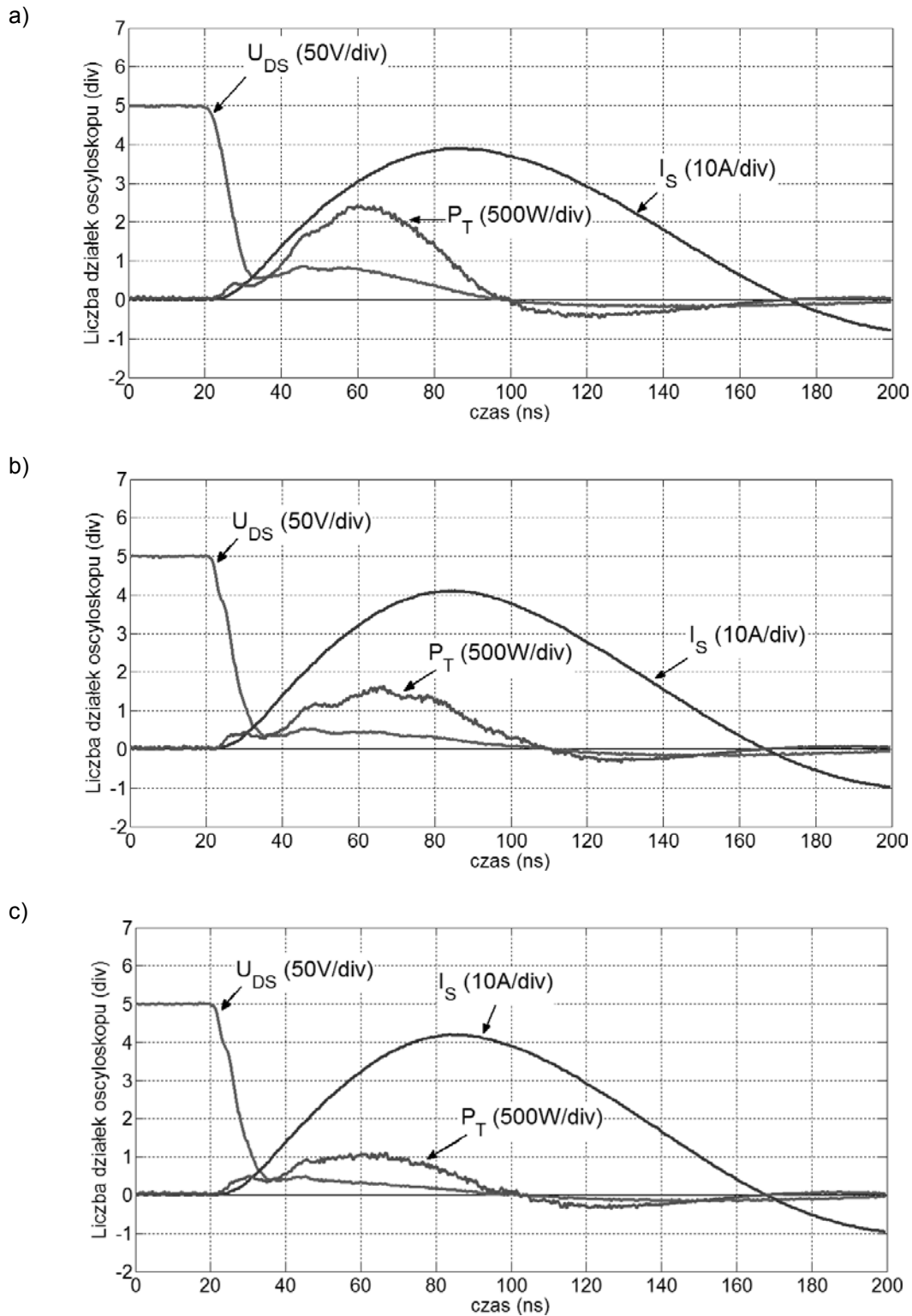
Ograniczenie strat zarówno podczas załączania tranzystora jak i jego pracy ciągłej zależy w dużej mierze od samego tranzystora. Tranzystory MOS-

FET są stosunkowo szybkie i posiadają zwykle wysoką wartość maksymalnej stromości prądu di/dt podczas załączania, zatem umożliwiają uzyskanie wysokich stromości prądu przy stosunkowo niewielkich stratach na załączanie. Niestety rezystancja Dren-Źródło (R_{DS}) wysterowanego tranzystora MOS-FET powoduje generowanie strat mocy podczas ciągłego przewodzenia, proporcjonalnych do kwadratu przepływającego przez tranzystor prądu. Quasi-liniową zależność strat mocy od prądu przepływającego przez tranzystor posiadają tranzystory IGBT. Spadek napięcia na tranzystorze IGBT nieznacznie tylko zależy od przepływającego przez ten przyrząd prądu, dlatego przy dużych prądach występują na nich znacznie niższe straty mocy, niż na tranzystorach MOS-FET. Niestety są one stosunkowo wolne i dopuszczają mniejsze stromości prądu (di/dt) niż tranzystory MOS-FET. Zasadne staje się zatem równoległe połączenie obu tych typów tranzystorów tak, aby połączyć ich zalety. Rysunek 4 obrazuje możliwe obszary pracy tranzystorów IGBT oraz MOS-FET, z jednoczesnym naniesieniem przebiegu prądu przeładowującego kondensatory. Dzięki zastosowaniu tranzystora MOS-FET możliwe jest uzyskanie wysokiej stromości prądu di/dt . Jednocześnie tranzystor MOS-FET będzie miał mniejszą wartość prądu dopuszczalnego, od prądu występującego w przekształtniku, ponieważ prąd ten jest stopniowo przejmowany przez tranzystor IGBT, który posiada zwykle mniejsze spadki napięcia podczas przewodzenia prądów nominalnych.

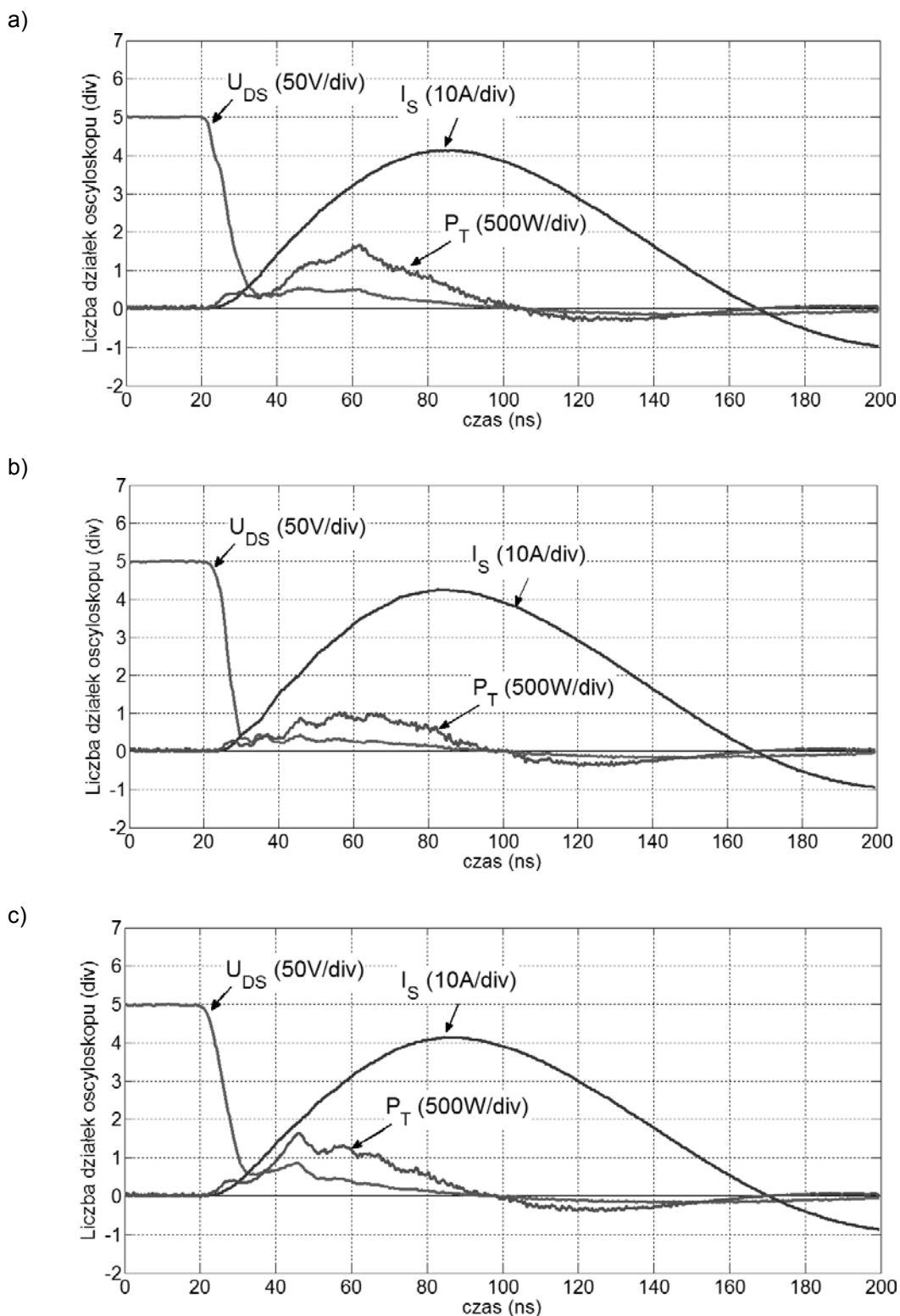


Rys. 4. Teoretyczny przebieg prądu płynącego przez tranzystory w przetwornicy typu KPS z zaznaczonymi obszarami pracy zastosowanych tranzystorów MOS-FET i IGBT

Podczas równoległej pracy wymienionych tranzystorów zaobserwowano znaczący wzrost sprawności w stosunku do pracy z pojedynczym tranzystorem. Schemat układu pomiarowego przedstawiono na rysunku 5, natomiast przebiegi



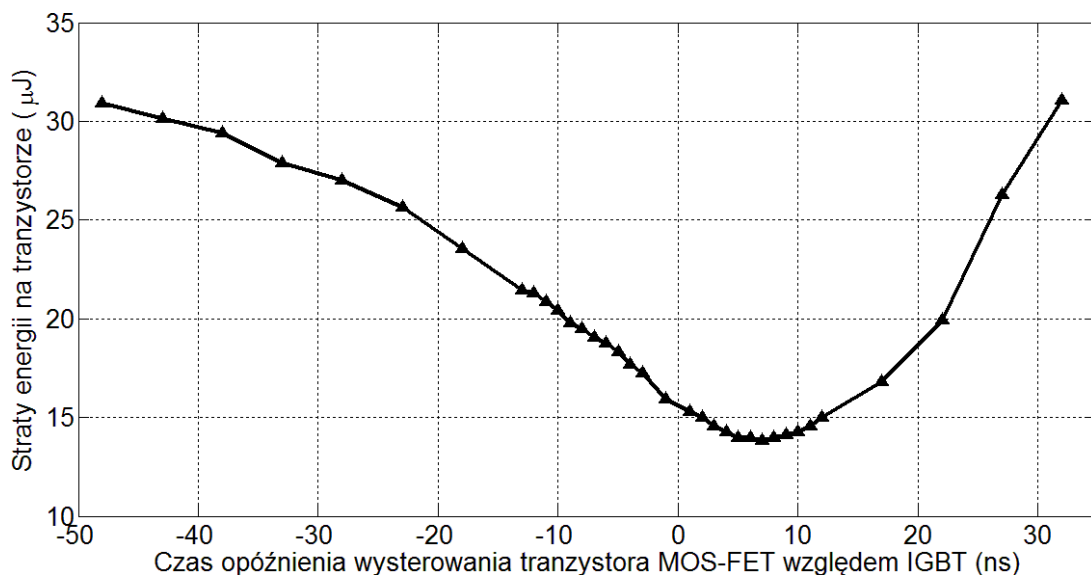
Rys. 6. Zarejestrowane przebiegi napięcia na tranzystorach U_{DS} , prądu tranzystorów I_S oraz mocy wydzielanej na tranzystorach P_T , jakie występowały na: a) pracującym samym tranzystorze IGBT, b) pracującym samym tranzystorze MOS-FET oraz c) jakie występowały na pracującej parze tranzystorów IGBT i MOS-FET,ysterowanych w tym samym momencie



Rys. 7. Zarejestrowane przebiegi napięcia na tranzystorach U_{DS} , prądu tranzystorów I_S oraz mocy wydzielanej na tranzystorach P_T , jakie występowały na pracującej parze tranzystorów IGBT i MOS-FET, przy czym tranzystor MOS-FET został wystawiony a) 23 ns przed tranzystorem IGBT, b) 7 ns po tranzystorze IGBT, c) 22 ns po tranzystorze IGBT

Powyższe przebiegi obrazują nie tylko wielkość strat mocy podczas pracy tranzystorów, ale również ukazują moment powstawania tych strat. Przy nadmiernym opóźnieniu wysterowania tranzystora IGBT, największe straty występują po pewnym czasie od załączenia, kiedy przez tranzystor MOS-FET zaczyna płynąć stosunkowo duży prąd. W przypadku nadmiernego opóźnienia wysterowania tranzystora MOS-FET, największe straty mocy występują jeszcze na etapie początkowym, kiedy prąd stromo narasta.

Przeprowadzono dodatkowe badania mające na celu zilustrowanie zależności strat mocy na tranzystorach od opóźnienia sterowania tranzystorem MOS-FET w stosunku do sterowania tranzystorem IGBT. Wynik tych badań przedstawiono na rysunku 8. Straty energii na tranzystorze zostały obliczone jako całka z mocy wydzielanej na tranzystorach w czasie półokresu prądu I_S .

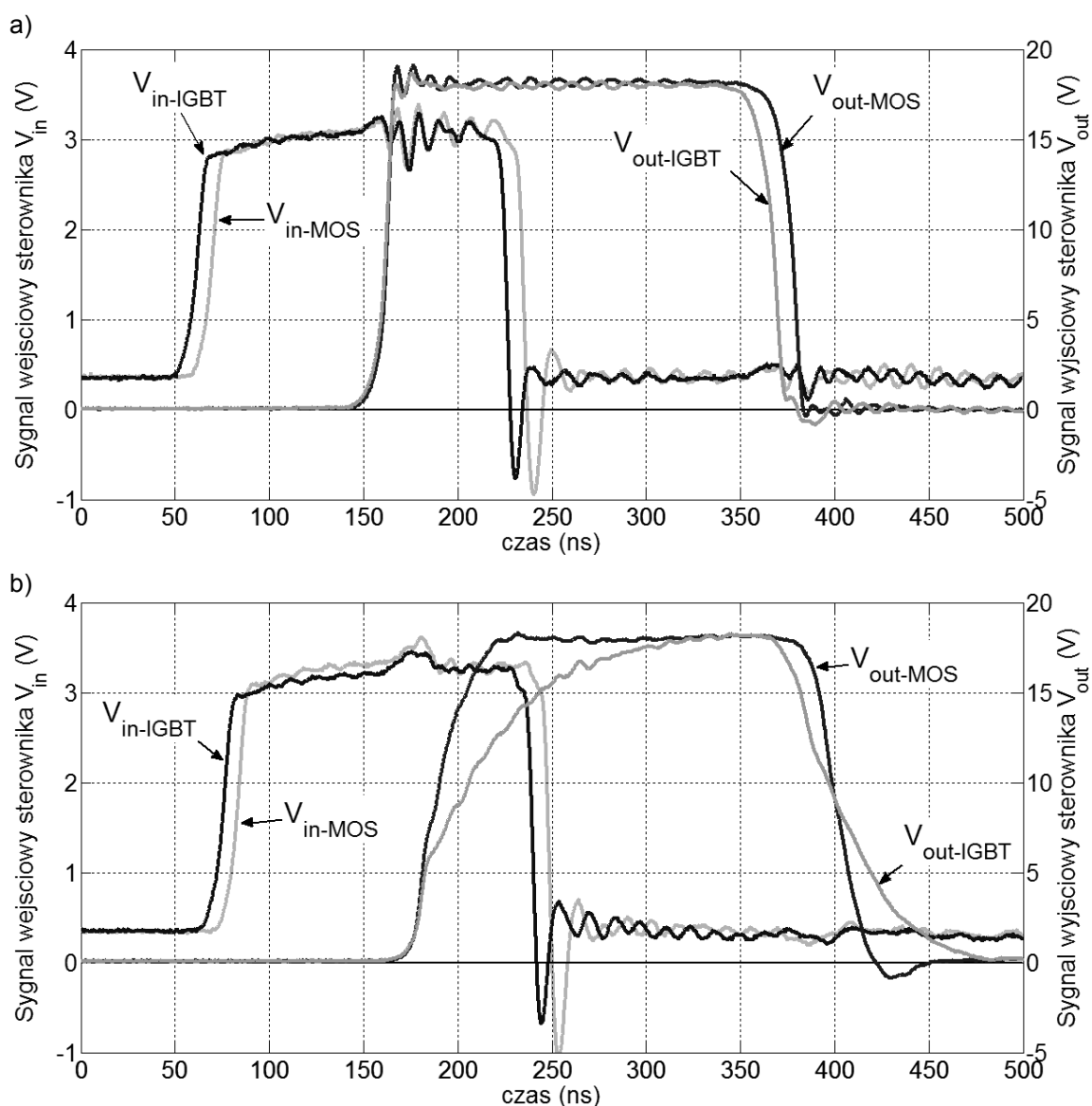


Rys. 8. Straty energii na tranzystorach w zależności od opóźnienia impulsu załączającego tranzystor MOS-FET względem impulsu załączającego tranzystor IGBT

Obserwacja przebiegów sygnałów sterujących poszczególnymi tranzystorami ukazuje wpływ pojemności wejściowej bramki na kształt napięcia sterującego tranzystorem. Tranzystor IGBT, zastosowany w tych badaniach, posiada pojemność wejściową blisko 3 razy większą niż porównywany tranzystor MOS-FET. Różnice pojemności bramek tych typów tranzystorów powinny zostać uwzględnione podczas projektowania układu sterującego tranzystorami pracującymi równolegle.

Należy zwrócić uwagę na czasy opóźnień wprowadzone przez sterownik. W badaniach wykorzystano dwa takie same modele sterowników, ale pochodzące z różnych partii. Okazało się, że o ile czasy opóźnienia wyłączania dla

obu sterowników były zbliżone, to czasy opóźnienia załączania różniły się między nimi aż o 8 ns. Ta różnica czasów sprawiała, że przy jednakowych impulsach wyzwalających sterownik, tranzystor MOS-FET był o 8 ns wcześniej wyzwalany niż tranzystor IGBT. Uwzględniając tę różnicę, aby uzyskać maksymalną sprawność, należało opóźnić impuls wyzwalający sterownikiem tranzystora MOS-FET aż o 15 ns względem impulsu do sterownika tranzystora IGBT. Różnice w czasach opóźnień widoczne są na rysunku 9.



Rys. 9. Przebiegi napięć występujących na wejściu U_{in} i wyjściu U_{out} sterowników
a) nieobciążonych tranzystorami ($R_G = \infty$) oraz b) obciążonych tranzystorami ($R_G = 1 \Omega$)

W celach porównawczych w tabeli 1, zestawiono wyniki pomiarów strat energii na tranzystorach podczas pojedynczego cyklu pracy przetwornicy typu

KPS, której schemat znajduje się na rysunku 5. Straty energii wyznaczono poprzez całkowanie iloczynu napięcia i prądu występujących na tranzystorach podczas jednego półokresu zadrgania obwodu LC. Zestawiono również sprawność procesu załączania tranzystorów obliczoną na podstawie ilorazu różnicy energii zmagazynowanej w kondensatorach przed ich przeładowaniem i energii strat na tranzystorach do energii zmagazynowanej w kondensatorach przez ich przeładowaniem. Dzięki temu pomija się w obliczeniach straty w diodzie dołączonej równolegle przeciwsobnie do tranzystorów, w rdzeniu, indukcyjności oraz rezystancji połączeń.

TABELA 1

Porównanie strat energii dla pojedynczego półokresu pracy przekształtnika przy zastosowaniu pojedynczych tranzystorów i pary tranzystorów (IGBT i MOS-FET) sterowanych niezależnie

Opis	Straty energii na tranzystorach (μJ)	Sprawność załączania (%)
Praca tylko tranzystora IGBT (IRG4PC50FD)	39,32	80,94
Praca tylko tranzystora MOSFET (STW20NB50)	32,12	84,43
Jednoczesne wyzwalenie sterowników obu tranzystorów	19,51	90,54
Jednoczesne wysterowanie obu tranzystorów	15,01	92,72
Opóźnienie wysterowania tranzystora MOS-FET o 7ns względem tranzystora IGBT	13,81	93,31

W tabeli 2. zestawiono wybrane parametry tranzystorów zastosowanych do badań w omawianym układzie. Do wykonania pomiarów strat energii w tranzystorze wykorzystano oscyloskop Tektronix DPO 7054 (500 MHz, 2,5 GSa/s), sondę prądową Tektronix TCP0030 (30 A, 120 MHz), oraz sondy napięciowe LeCroy PPE 4 kV (100:1, 400 MHz, 50 M Ω). Do rejestracji przebiegów sygnałów sterujących tranzystorami wykorzystano oscyloskop Tektronix DPO 7054 (500 MHz, 2,5 GSa/s) oraz cztery sondy Tektronix P2220 (10:1, 200 MHz, 10 M Ω).

TABELA 2

Typowe, podstawowe parametry porównywanych tranzystorów

Parametr	Jednostka	MOS-FET	IGBT
Model	-	STW20NB50	IRG4PC50FD
V_{DS}/V_{CSE} (Maksymalne napięcie pracy)	V	550	600
I_D/I_C (Maksymalny prąd ciągły)	A	20	39
$R_{DS(on)}$ (Rezystancja D-S w stanie nasycenia)	Ω	0,20	-
$U_{CE(on)typ}$ (Napięcie przewodzenia w st. nasycenia)	V	20 A-0,2 Ω =4 V	1,3 (typ. 1,45)
$V_{GS(max)}$ (Maksymalne napięcie sterujące)	V	± 30	± 20
t_R (Czas narastania prądu)	ns	16	25
$t_{d(on)}$ (Opóźnienie czasu załączenia)	ns	24	55
C_{iss} (Pojemność wejściowa)	pF	1480	4100

4. PODSUMOWANIE

Przeprowadzone badania wykazały, że przez odpowiedni dobór tranzystora mocy, sterownika oraz rezystora bramki można znacząco obniżyć straty mocy na załączanie tranzystora. Bardzo dobre efekty uzyskuje się poprzez równoległe połączenie dwóch różnych tranzystorów mocy (IGBT i MOSFET), wyzwalanych osobnymi sterownikami. Należy jednak zwrócić uwagę na ewentualne niejednakowe opóźnienia wprowadzane przez sterowniki.

Najwyższą sprawność przekształtnika używanego w badaniach uzyskano przy równoległym połączeniu tranzystorów IGBT i MOS-FET wyzwalanych oddzielnymi sterownikami, przy czym tranzystor IGBT należy wysterować z niewielkim wyprzedzeniem. Rezystory ograniczające prądy bramek tranzystorów powinny mieć dopuszczalnie niską wartość oraz powinny charakteryzować się małą indukcyjnością własną.

PODZIĘKOWANIA

Autor niniejszej publikacji pragnie gorąco podziękować dr. inż. Stanisławowi Kalisiakowi oraz dr. inż. Marcinowi Hołubowi za udzieloną pomoc i wsparcie.

Praca naukowa współfinansowana przez Unię Europejską w ramach Europejskiego Funduszu Społecznego i Budżetu Państwa, *Programu Operacyjnego Kapitał Ludzki Priorytetu VIII, Działanie 8.2 Transfer wiedzy Poddziałanie 8.2.2 „Regionalne Strategie Innowacji”*, projektu systemowego realizowanego przez Wojewódzki Urząd Pracy w Szczecinie „*Inwestycja w wiedzę motorem rozwoju innowacyjności w regionie*”.

LITERATURA

1. Frisch M., Ernö T., „Innovative Topologies for High Efficient Solar Applications”, Power Electronics Europe, 03/2009, str. 32-33
2. Kalisiak S., Hołub M., „Modified Fitch generator topology for non-thermal plasma applications”, Przegląd Elektrotechniczny 2009, nr 7, str. 134-137
3. Kalisiak S., M. Hołub, „Modified multistage semiconductor-Fitch generator topology with magnetic compression”, EPE-PEMC 2008, 1-3 Sept. Poznań, Poland
4. Tareilus G. H., „Der Auxiliary Resonant Commutated Pole Inverter im Umfeld schaltverlustreduzierter IGBT-Pulswechselrichter“, rozprawa doktorska, ISBN 3-89720-638-2, der Technischen Universität Carolo-Wilhelmina zu Braunschweig, 2002, str. 21-31
5. „Projektowanie niskonapięciowych układów sterowania silnikami”, miesięcznik „Elektronik” nr 2/2010, str. 62-63.

Rękopis dostarczono dnia 11.05.2010 r.

Opiniował: doc. dr hab. inż. Krzysztof Zymmer

ANALYSIS OF POWER LOSSES DURING TURNING
ON PAIR OF POWER TRANSISTORS MOS-FET
AND IGBT WORKING IN RESONANT INVERTER

Michał BALCERAK

ABSTRACT *Paper presents topology of resonant inverter which is used to generate very short, high-power pulses. Advisability of parallel connecting two kinds of transistors: MOS-FET and IGBT, working as keys in resonant inverters in Kicker Power Supply (KPS) were discussed. Influence of unsimultaneity of turning on transistors to efficiency of inverter and the power losses on these transistors was presented. Paper discussed also the delays added by the drivers of power transistors and the influence of value of resistance connecting driver with power transistor on efficiency of resonant inverter.*



Mgr inż. Michał BALCERAK, w roku 2003 ukończył Zespołu Szkół Elektryczno Elektronicznych im. M. T. Hubera w Szczecinie. W roku 2008 ukończył Wydział Elektryczny Politechniki Szczecińskiej oraz rozpoczął studia doktoranckie w Zachodniopomorskim Uniwersytecie Technologicznym w Szczecinie w dyscyplinie Elektrotechnika.