

Leszek DĘBOWSKI

SYSTEM STEROWANIA CYFROWEGO DLH Z PROCESORAMI DSP I UKŁADAMI CPLD/FPGA- - NOWE MODUŁY JEDNOSTEK CENTRALNYCH

STRESZCZENIE *Przedstawiono architekturę elastycznego systemu sterowania DLH przeznaczonego do współczesnych urządzeń energoelektronicznych i pomiarowych. Omówiono własności nowych generacji procesorów DSP. Przedstawiono nowe rozwiązania szybkich modułów jednostek centralnych z procesorami sygnałowymi i układami programowalnymi CPLD/FPGA. Podano przykłady zastosowań zaproponowanych rozwiązań.*

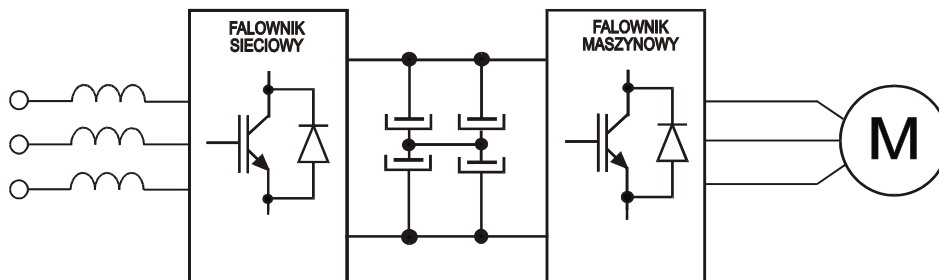
1. WSTĘP

W wyniku prac projektowych prowadzonych w Oddziale Gdańskim Instytutu Elektrotechniki (IEL-OG) opracowana została rodzina elastycznych kart sterujących DLH przeznaczona do sterowania przekształtników energoelektronicznych. Zasadniczymi elementami funkcjonalnymi, które zostały wykorzystane w systemie sterowania DLH są szybkie procesory DSP (16- i 32-bitowe, stało- i zmiennoprzecinkowe), złożone programowalne układy logiczne

mgr inż. Leszek DĘBOWSKI
e-mail: leszek.debowski@iel.gda.pl
Instytut Elektrotechniki, Oddział w Gdańsku

CPLD/FPGA oraz specjalizowane koprocесory napędowe ADMC200/201. Pośród wielu struktur przekształtnikowych, których sterowanie może zostać zrealizowane z wykorzystaniem systemu DLH można wymienić kilka mających największe znaczenie praktyczne:

- przekształtniki do precyzyjnych napędów z różnymi rodzajami silników,
- złożony przekształtnik AC-DC-AC (rys. 1),
- przekształtnik matrycowy,
- przekształtniki wielopoziomowe,
- filtry aktywne, kompensatory i kondycjonery energii,
- układy zasilania bezprzerwowego,
- prostowniki sterowane.



Rys. 1. Schemat blokowy przekształtnika AC-DC-AC

W zaprojektowanych układach wykorzystano elementy firm Altera, Analog Devices, Motorola, Texas Instruments i Xilinx. Zakres aplikacji poszczególnych elementów systemu sterowania DLH jest bardzo szeroki i oprócz różnych topologii przekształtników energoelektronicznych obejmuje także zaawansowane układy sterowania, pomiarów i monitoringu, a także stanowiska dydaktyczne.

2. KONCEPCJA ARCHITEKTURY SYSTEMU DLH

Prace badawcze i aplikacyjne z wykorzystaniem procesorów sygnałowych i układów programowalnych podjęte zostały w IEL-OG już na początku lat dziewięćdziesiątych. W oparciu o różne platformy sprzętowe opracowano liczne algorytmy sterujące i pomiarowe. Przeprowadzono szereg pionierskich eksperymentów z wykorzystaniem stało- i zmiennoprzecinkowych kart sterujących rezydujących w środowisku komputera PC lub pracujących w trybie autonomicznym.

Aby sprostać wymaganiom stawianym przez różne struktury przekształtników energoelektronicznych i inne zaawansowane aplikacje zaistniała potrzeba opracowania elastycznego systemu sterowania cyfrowego posiadającego odpowiednio dużą moc obliczeniową, wejścia/wyjścia analogowe i cyfrowe, rozbudowany zestaw interfejsów komunikacyjnych i diagnostycznych oraz blok dialogu z operatorem.

W oparciu o wieloletnie doświadczenia aplikacyjne zaproponowane zostało elastyczne rozwiązanie nowoczesnej platformy sprzętowej, w której skład wchodzi następujące elementy składowe:

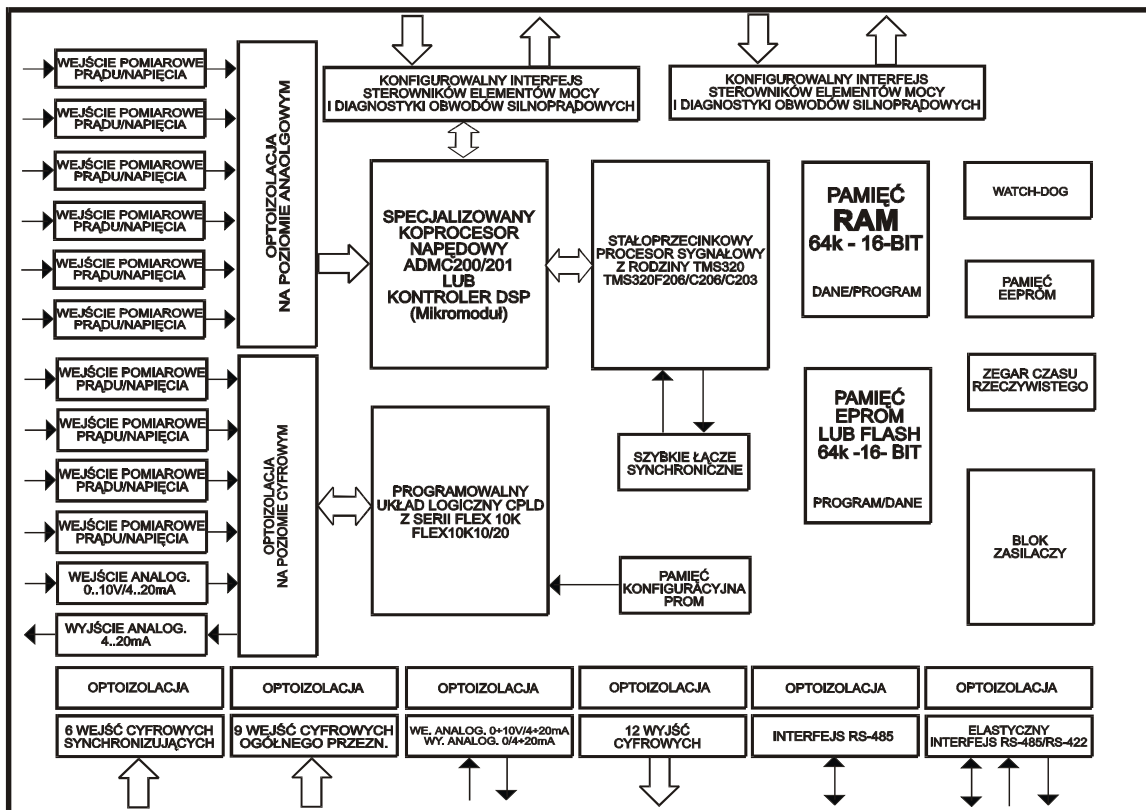
- autonomiczna karta sterująca DLH-01,
- elastyczna karta bazowa DLH-02,
- zestaw modułów jednostek centralnych z procesorami DSP,
- zestaw mikromodułów μ DLH z kontrolerami DSP,
- moduły symulacyjne i zadające,
- konwertery standardów transmisyjnych RS-232/RS-422/RS-485,
- elastyczny panel operatorski.

Dobór optymalnej konfiguracji systemu sterowania dokonywany jest z uwzględnieniem wymagań sprzętowych dla określonej konfiguracji przekształtnika, algorytmów przewidzianych do implementacji, posiadanych przez użytkownika narzędzi programowo-sprzętowych oraz doświadczeń w zakresie programowania procesorów sygnałowych i projektowania struktur układów programowalnych.

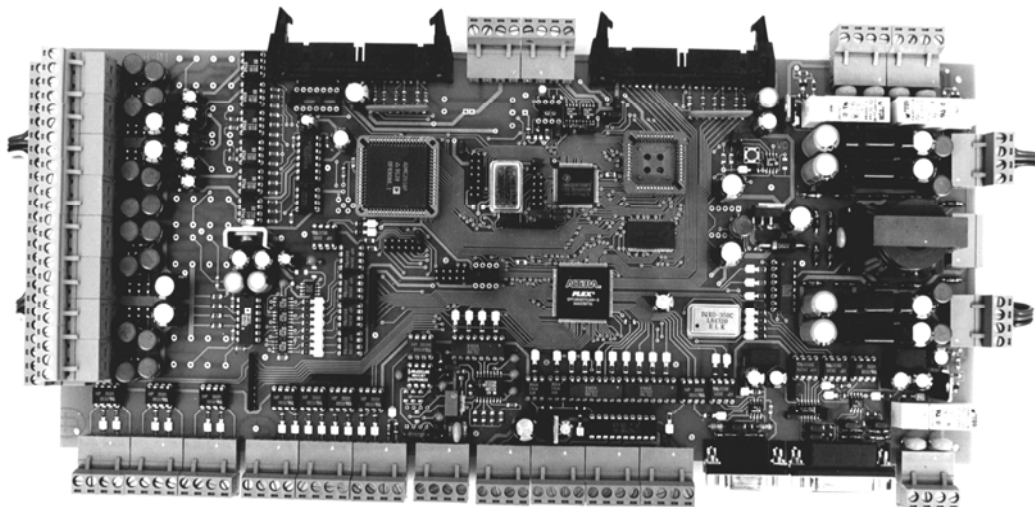
2.1. Autonomiczna karta sterująca DLH-01

Autonomiczna karta sterująca DLH-01 (rys. 2 i 3) zaprojektowana została z wykorzystaniem stałoprzecinkowych 16-bitowych procesorów TMS320F206/C206/C203 o mocy obliczeniowej 40÷80 MIPS i napięciu zasilającym 5 V. Procesor sygnałowy TMS320F206 posiada wewnętrzną pamięć programu typu FLASH o pojemności 32 K × 16 bit. Niezależnie od tego może on również współpracować z zewnętrzną pamięcią programu (64 K × 16 bit) typu EPROM lub FLASH. Pozostałe dwa modele procesorów (C206/C203) pozbawione są wewnętrznej pamięci FLASH. Zestawienie najważniejszych parametrów karty DLH-01 obejmuje następujące elementy i bloki funkcjonalne:

- procesor główny TMS320F206/C206/C203 (Texas Instruments) z wewnętrzną pamięcią RAM (64K×16bit) i FLASH (64 K × 16 bit),
- parametryczny koprocesor napędowy ADMC200/201 lub w pełni programowalny kontroler DSP (TMS320F241, ADMC331, TMS320LF2403) na płycie mikromodułu serii μ DLH,



Rys. 2. Schemat blokowy autonomicznej karty sterującej DLH-01

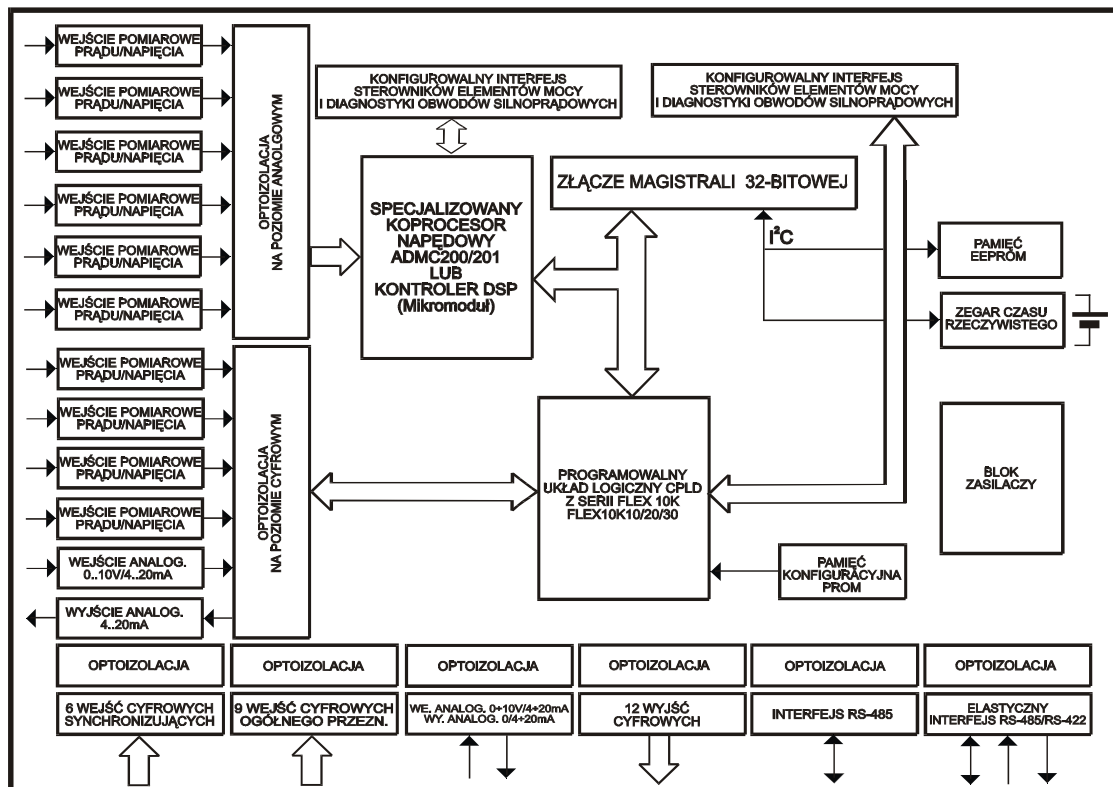


Rys. 3. Autonomiczna karta sterująca DLH-01

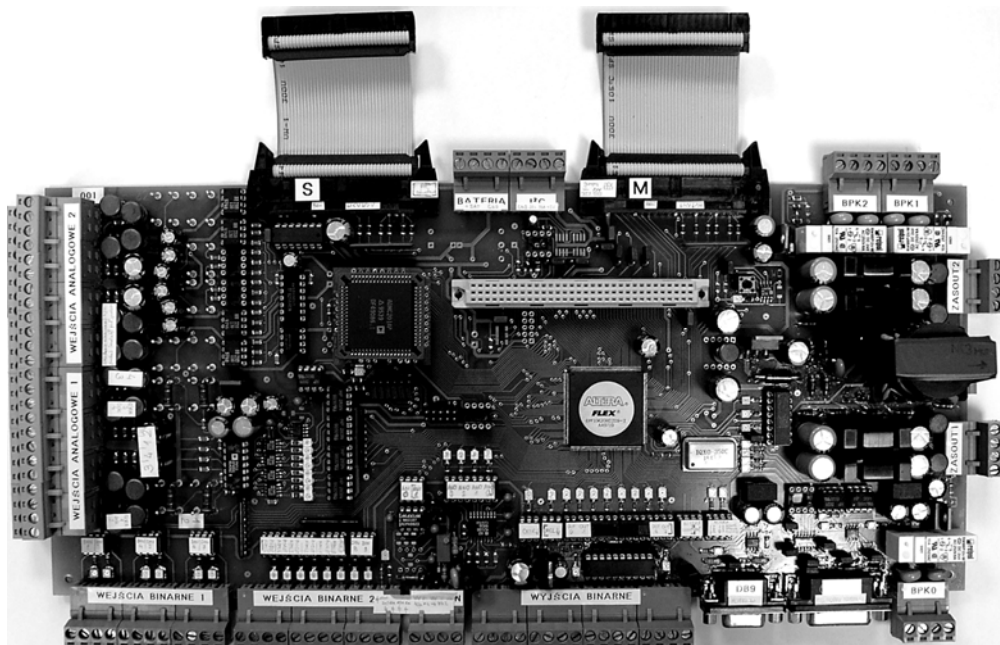
- programowalny układ logiczny FPGA serii FLEK 10 K (Altera) o dużej pojemności logicznej (dziesięć lub dwadzieścia tys. bramek),
- dwa elastyczne, konfigurowalne interfejsy sterowników elementów mocy i diagnostyki obwodów silnoprądowych, w podstawowej konfiguracji każdy z interfejsów obsługuje sześć linii sterujących i sześć linii diagnostycznych „ERROR”,
- dziesięć wejść pomiarowych zgrupowanych w dwa bloki (4/6) i przystosowanych do współpracy z przetwornikami prądu i napięcia typu LEM; wejścia pomiarowe posiadają separację galwaniczną i wyposażone są w przetworniki analogowo-cyfrowe 12-/14-bitowe,
- piętnaście wejść binarnych z separacją galwaniczną,
- osiem wyjść binarnych (max. 35 V_{DC}/150 mA) z zabezpieczeniem zwarciowym i separacją galwaniczną,
- trzy wyjścia przekaźnikowe (styki przełączalne 250 V_{AC}/8 A),
- trzy elastyczne interfejsy komunikacyjne w standardzie RS-485/RS-422 z separacją galwaniczną (dogodna możliwość konwersji na standard RS-232)
- nieulotna pamięć parametrów FRAM lub E²PROM (I²C) o pojemności max. 256 kB,
- zegar czasu rzeczywistego z magistralą I²C i podtrzymaniem bateryjnym,
- wejście analogowe 0 ÷ 10 V / 4÷20 mA, wyjście analogowe 0/4 ÷ 20 mA z optoizolacją.

2.2. Elastyczna karta bazowa DLH-02

Postępujące zmiany w technologii mikroelektronicznej oraz pojawiające się nowe rodziny procesorów sygnałowych i układów programowalnych spowodowały konieczność wprowadzenia modyfikacji, które zwiększyłyby elastyczność systemu sterowania, rozumianą jako łatwość przystosowania do zmieniających się wymagań użytkownika. Zaproponowano rozwiązanie złożone z karty bazowej DLH-02 (rys. 4 i 5) z elastyczną magistralą sprzęgającą oraz modułów jednostek centralnych zbudowanych w oparciu o modele procesorów DSP o różnych właściwościach i parametrach. Z punktu widzenia topologii i właściwości funkcjonalnych poszczególnych złącz interfejsów zewnętrznych, karty DLH-01 i DLH-02 tylko nieznacznie różnią się między sobą. Pewne rozbieżności dotyczą jedynie kilku linii przede wszystkim na złączach interfejsów elementów mocy. Elastyczna magistrala sprzęgająca umożliwia współpracę karty bazowej z nakładanym modułem CPU lub innym systemem mikroprocesorowym o szynie danych do 32 bitów. Złożony układ programowalny serii FLEX10K o pojemności 10/20/30 tys. bramek pozwala na szybkie dopasowanie struktury logicznej interfejsu do wybranego modułu jednostki centralnej.



Rys. 4. Schemat blokowy elastycznej kart bazowej DLH-02

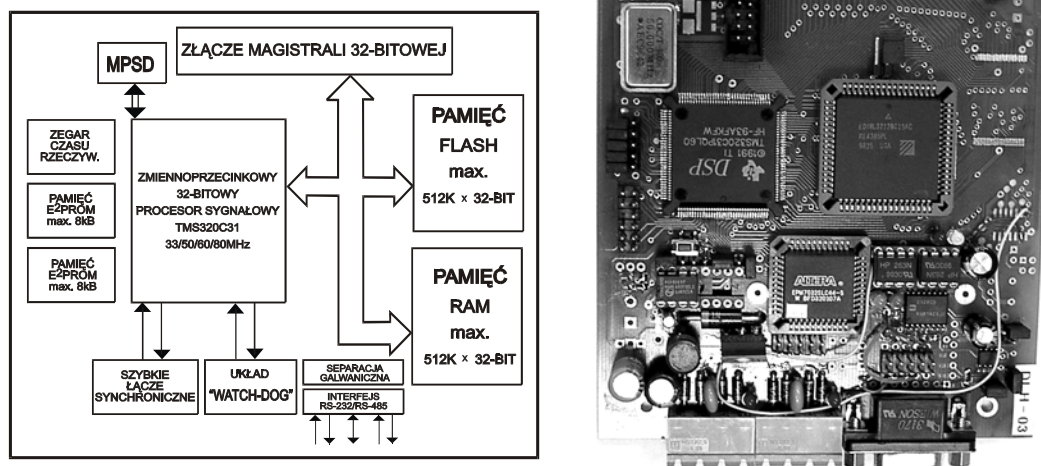


Rys. 5. Elastyczna karta bazowa DLH-02

2.3. Moduły jednostek centralnych

Moduły jednostek centralnych posiadają zunifikowane złącze magistrali systemowej (linie danych, adresowe, sterujące oraz zasilania i masy), konstrukcję mechaniczną (topologia złącz) oraz wymiary kompatybilne z kartą bazową DLH-02. Dotychczas opracowano moduły jednostek centralnych z następującymi modelami procesorów DSP:

- DLH-03 (rys. 6) z 32-bitowym zmiennoprzecinkowym procesorem sygnałowym TMS320C31 (Texas Instruments),
- DLH-04 z 16-bitowym stałoprzecinkowym procesorem sygnałowym TMS320C50 (Texas Instruments),
- DLH-05 z 24-bitowym stałoprzecinkowym procesorem sygnałowym DSP56002 (Motorola),
- DLH-06 z 24-/16-bitowym stałoprzecinkowym procesorem sygnałowym ADSP-2181 (Analog Devices).



Rys. 6. Moduł jednostki centralnej DLH-03

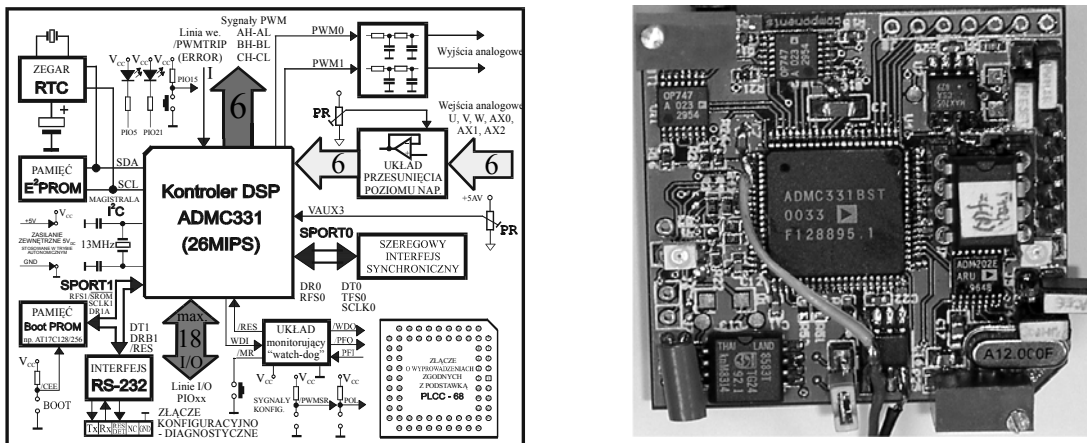
Na przestrzeni ostatnich dwóch lat opracowano dwa nowe moduły jednostek centralnych wyposażone w szybkie procesory DSP, rozbudowane bloki pamięci RAM/FLASH/EPROM/EEPROM/FRAM i interfejsy komunikacyjne:

- DLH-07 z 32-bitowym stało-/zmiennoprzecinkowym procesorem sygnałowym TMS320C6211/6711 (Texas Instruments),
- DLH-08 z 32-bitowym zmiennoprzecinkowym procesorem sygnałowym TMS320VC50 (Texas Instruments).

Wspomniane wyżej moduły DLH-07 i DLH-08 będą szczegółowo omówione w kolejnych rozdziałach. Jako przykładowe modele innych najnowszych procesorów DSP, które mogą zostać wykorzystane do konstrukcji kolejnych modułów jednostek centralnych można wymienić: TMS320LF2407, TMS320F2812 (Texas Instruments), DSP56F805 (Motorola).

2.4. Mikromoduły μ DLH z kontrolerami DSP

Zastosowanie parametrycznego koprocesora napędowego ADMC200/201 przy projektowaniu prototypowych wersji kart DLH-01 i DLH-02 dało możliwość realizacji zintegrowanego bloku funkcjonalnego obsługującego m. in. jeden z interfejsów elementów mocy (sześć linii sterujących łącznikami półprzewodnikowymi), sześć kanałów pomiarowych prądu lub napięcia oraz posiadającego wbudowane mechanizmy sprzętowe transformacji wektorowych (Clarka, Parka) co pozwala w niektórych przypadkach na przejęcie części zadań obliczeniowych od procesora głównego. W celu zastąpienia mało elastycznego specjalizowanego koprocesora ADMC200/201 w pełni programowalnym układem mikroprocesorowym o odpowiednio dużej mocy obliczeniowej zaproponowano nowe, elastyczne rozwiązanie sprzętowe w postaci mikromodułów serii μ DLH z kontrolerami DSP. Mikromoduł wykonywany jest w postaci płytki drukowanej o wymiarach nie przekraczających 45mm \times 45mm, na której znajduje się kontroler DSP z niezbędnymi elementami zewnętrznymi, złącze o ustandaryzowanej topologii, układy peryferyjne oraz elementy pomocnicze. Opracowane dotychczas mikromoduły μ DLH-F241 i μ DLH-C331 (rys.7) zawierają kontrolery DSP typu TMS320F241 (Texas Instruments) i ADMC331 (Analog Devices), w fazie projektowania znajduje się mikromoduł μ DLH-LF2403A z kontrolerem TMS320LF2403A.



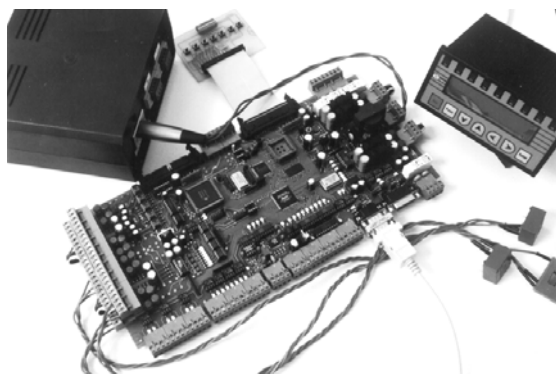
Rys. 7. Mikromoduł μ DLH-C331

2.5. Akcesoria i moduły opcjonalne systemu DLH

W skład elastycznego systemu sterowania DLH wchodzi również rozbudowany zestaw elementów opcjonalnych pozwalających na bardziej precyzyjne dostosowanie struktury systemu do wymagań użytkownika i znaczące ułatwienia w pracach uruchomieniowych. Zestaw obejmuje:

- elastyczny panel operatorski z wyświetlaczem alfanumerycznym LCD (2×16 znaków) lub numerycznym LED (2×4 cyfry z indywidualnie sterowanymi segmentami), diodami LED i przyciskami funkcyjnymi,
- moduł monitorująco-symulacyjny interfejsu elementów mocy zrealizowany w oparciu o tradycyjne układy TTL (DLHINVTA),
- moduł monitorująco-symulacyjny interfejsu elementów mocy z układem programowalnym CPLD (DLHINVPA),
- moduły symulacyjne wejść binarnych DLHINPA (6-wejściowy) i DLHINPB (9-wejściowy), które mogą być stosowane oddzielnie lub stanowić jeden zintegrowany moduł,
- moduł monitorujący wyjść binarnych DLHOUTA (9-wyjściowy) z możliwością zastosowania w ośmiu kanałach przekaźników ze stykami zwiernymi przystosowanymi do pracy przy napięciu 230 V,
- konwertery standardów transmisyjnych RS-232/RS-422/RS-485/IrDA,
- interfejs sprzęgający modemu GSM (moduł KMS-02).

Kompletny system sterowania złożony z karty DLH-01 z procesorem sygnałowym TMS320F206 i koprocesorem napędowym ADMC201, przetwornicy zasilającej, prototypowej wersji modułu monitorująco-symulacyjnego, panelu operatorskiego oraz przetworników prądu i napięcia typu LEM przedstawiony jest na rys. 8. Złącze kabla transmisyjnego zawiera układ konwertera standardów RS-485/RS-232.



Rys. 8. Kompletny system sterowania z autonomiczną kartą DLH-01

3. MODUŁ DLH-07 Z PROCESOREM TMS320C6211/6711

Szybki moduł jednostki centralnej DLH-07 został zaprojektowany z myślą o wykorzystaniu dużej mocy obliczeniowej procesorów DSP należących do nowej generacji układów wchodzących w skład rodziny TMS320C6000. Dzięki zastosowaniu nowych rozwiązań w postaci zaawansowanej architektury VLIW (ang. Very Long Instruction Word) i kilku bloków funkcjonalnych (jednostki arytmetyczno-logiczne, bloki mnożące) pracujących równolegle osiągnięto wydajności rzędu 1333MIPS i 900MFLOPS.

W przypadku procesorów TMS320C6211/C6711 pojedyncze słowo programu może zawierać instrukcje aktywujące do 8 bloków funkcjonalnych. W każdym cyklu zegarowym procesor pobiera złożone słowo rozkazu o długości 256 bitów zawierające 32-bitowe rozkazy dla każdego z bloków. W ramach architektury VLIW zaimplementowane zostały mechanizmy, które umożliwiają pobieranie instrukcji w danym cyklu zegarowym jedynie przez te bloki, które są aktualnie gotowe do ich wykonania. Instrukcje grupowane są w pakiety wykonawcze o zmiennej długości, co pozwala na bardzo efektywne wykorzystanie pamięci i jest jedną z charakterystycznych cech procesorów TMS320C6211 i C6711. Jednostka centralna złożona jest z dwóch bliźniaczych zestawów bloków funkcjonalnych (strona A i B). Każda ze stron zawiera po cztery bloki oraz plik 16 rejestrów 32-bitowych. Zmiennoprzecinkowy procesor sygnałowy TMS320C6711 wyposażony jest w jednostkę centralną wykonującą wszystkie instrukcje odmiany stałoprzecinkowej (TMS320C6211), a dodatkowo sześć spośród ośmiu bloków funkcjonalnych wykonuje instrukcje zmiennoprzecinkowe. Inną ważną właściwością architektury omawianych procesorów jest operowanie tylko i wyłącznie na danych umieszczonych rejestrach w odróżnieniu od operowania na danych w pamięci (architektura load/store). Za transfery danych pomiędzy rejestrami a pamięcią są odpowiedzialne dwa wydzielone bloki funkcjonalne. Dostępnych jest szereg trybów adresowania pośredniego, w tym adresowanie liniowe lub kołowe. Wszystkie instrukcje są warunkowe, większość pozwala na bezpośredni dostęp do każdego z rejestrów. Wybrane rejestry są wykorzystywane do realizacji specyficznych trybów adresowania, a także przechowywania warunku wykonania instrukcji. Odpowiednie bloki funkcjonalne dedykowane są do wykonywania operacji mnożenia i innych operacji arytmetycznych oraz logicznych, a także obsługi skoków warunkowych. Każda z wymienionych operacji wykonywana jest w jednym cyklu zegarowym.

Struktura pamięci wewnętrznej RAM procesorów TMS320C6211/C6711 jest dwupoziomowa (poziomy L1 i L2). Poziom L1 złożony jest z dedykowanych

bloków podręcznych pamięci programu (L1P, 4 kB) oraz danych (L1D, 4 kB), Poziom L2 (64 kB) może służyć do przechowywania programu lub danych, jako pamięć podręczna (cache) lub standardowy RAM. Interfejs pamięci zewnętrznej (EMIF) złożony jest z 32-bitowej magistrali danych, 20-bitowej magistrali adresowej i zestawu linii sterujących z wyodrębnionymi czterema sygnałami selekcyjnymi CE. Oprócz interfejsu EMIF procesory TMS320C6211/6711 wyposażone są w port sprzęgający dla urządzenia nadrzędnego (HPI), dwa wielokanałowe buforowane porty szeregowo (McBSP), dwa 16-bitowe liczniki ogólnego przeznaczenia oraz cztery linie przerwań zewnętrznych. W tabeli 1 zestawiono najważniejsze własności i parametry funkcjonalne omawianych procesorów DSP.

TABELA 1

Zestawienie podstawowych parametrów procesorów sygnałowych TMS320C6211 i C6711.

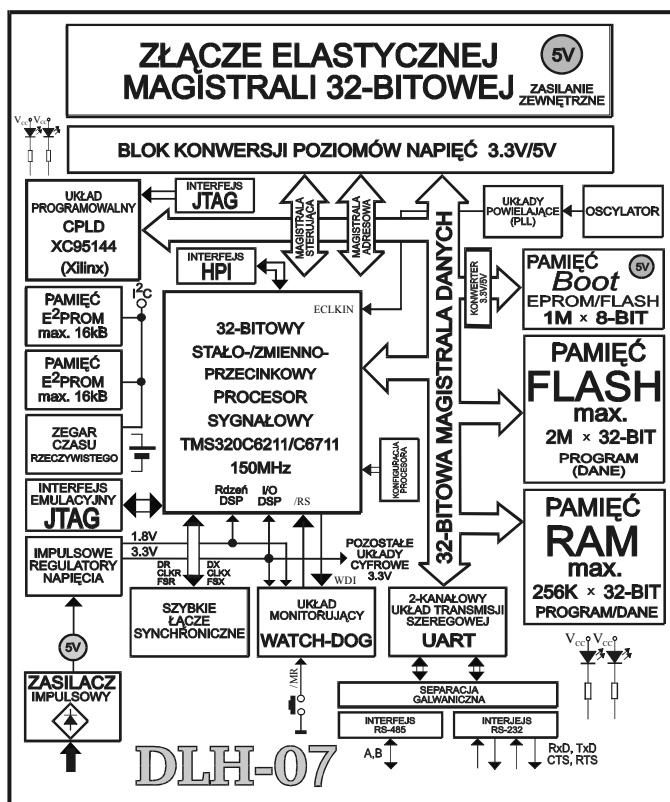
Parametr	TMS320C6211	TMS320C6711
Jednostki ALU	6 stałoprzecinkowych	4 zmiennoprzecinkowe, 2 stałoprzecinkowe
Jednostki mnożące (16×16, wynik 32-bitowy)	2 stałoprzecinkowe	2 zmiennoprzecinkowe
Częstotliwość taktowania	150 MHz, 167 MHz	100 MHz, 150 MHz
Czas cyklu	6.7 ns, 6 ns	10 ns, 6.7 ns
Wydajność obliczeniowa	1200, 1333 MIPS	600, 900 MFLOPS
Przetwarzanie równoległe	do 8 instrukcji/cykl	do 8 instrukcji/cykl
32-bitowe rejestry ogólnego przeznaczenia	32	32
Wewnętrzna pamięć programu (L1P Cache)	4 kB	4 kB
Wewnętrzna pamięć danych (L1D Cache)	4 kB	4 kB
Wewnętrzna pamięć programu /danych (L2)	64 kB	64 kB
Zewnętrzna przestrzeń adresowa (32-bit)	512 MB	512 MB
Interfejs HPI (Host Port Interface)	16-bit	16-bit
Opcje bootowania	HPI, 8/16/32-bit BootROM	HPI, 8/16/32-bit BootROM
Blok DMA	16 kanałów	16 kanałów
Wielokanałowe buforowane porty szeregowo	2 × 256 kanałów (SPI)	2 × 256 kanałów (SPI)
Układy czasowe (timery) ogólnego przezn.	2	2
Interfejs emulacyjny	JTAG	JTAG
Napięcia zasilające	3.3 V(I/O), 1.8 V (core)	3.3 V(I/O), 1.8 V (core)
Obudowa	256-pin BGA	256-pin BGA

Przedstawione wyżej modele procesorów sygnałowych wykorzystano do konstrukcji modułu DLH-07 zarówno ze względu dużą moc obliczeniową

(nadrzędne kryterium projektowe), jak też z powodu kompatybilności kodu oraz wyprowadzeń jednostki stało- (TMS320C6211) i zmiennoprzecinkowej (TMS320C6711). Obudowy BGA (ang. Ball Grid Array), w których produkowane są procesory spowodowały konieczność opanowania odpowiednich technik projektowania i montażu. Ze względu na wysoki stopień złożoności projektu zrealizowano go na płycie 4-warstwowej.

Zastosowanie w module DLH-07 procesorów DSP nowej generacji wymagających podwójnego napięcia zasilającego (1.8/3.3 V) oraz zachowanie kompatybilności z elementami zasilanymi napięciem 5 V wymagało opracowania nowych rozwiązań układów zasilających i monitorujących m.in. zapewniających odpowiednią sekwencję załączenia napięć. Zaistniała także konieczność zastosowania jedno- i dwukierunkowych translatorów poziomów dla standardów napięciowych TTL/LVTTL.

Moduł jednostki centralnej DLH-07 został zaprojektowany w oparciu o koncepcję architektury DLH zgodną z poprzednimi rozwiązaniami: DLH-03 (TMS320C31), DLH-04 (TMS320C50), DLH-05 (DSP56002) oraz DLH-06 (ADSP-2181). Posiada magistralę systemową zgodną ze standardem DLH oraz zunifikowane wymiary (120×105 mm) i konstrukcję mechaniczną. Schemat blokowy modułu DLH-07 przedstawiono na rys. 9.

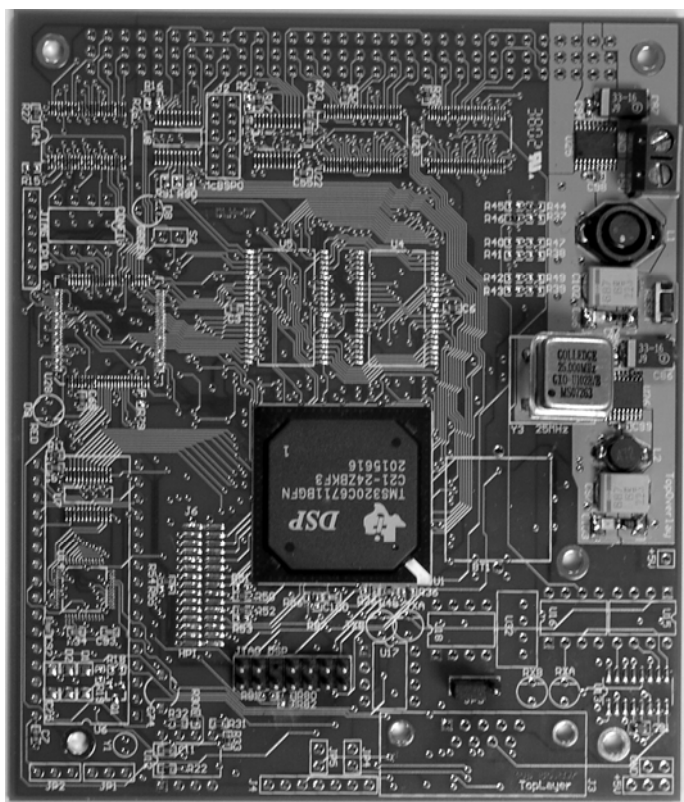


Rys. 9. Schemat blokowy modułu jednostki centralnej DLH-07

W skład struktury modułu DLH-07 wchodzi następujące zasadnicze bloki funkcjonalne:

- 32-bitowy stałoprzecinkowy – TMS320C6211 lub zmiennoprzecinkowy procesor DSP – TMS320C6711,
- 8-bitowa pamięć EPROM/FLASH/EEPROM,
- 32-bitowa pamięć RAM (2 układy 16-bitowe),
- 32-bitowa pamięć FLASH (2 układy 16-bitowe),
- układ programowalny CPLD firmy Xilinx programowany w systemie (ISP),
- dwukanałowy układ transmisji szeregowej UART z odseparowanym galwanicznie blokiem interfejsów RS-232 i RS-485,
- interfejsy szybkich łącz synchronicznych (McBSP) oraz HPI,
- translatory poziomów napięć 3.3V/5 V,
- dwie pamięci szeregowe E²PROM/FRAM oraz zegar czasu rzeczywistego (RTC) z magistralą I²C,
- układy zasilające: impulsowe regulatory napięcia, przetwornica DC-DC,
- układ nadzorująco-monitorujący „watch-dog”.

Moduł DLH-07 z procesorem TMS320C6711 przedstawiony jest na rys. 10.

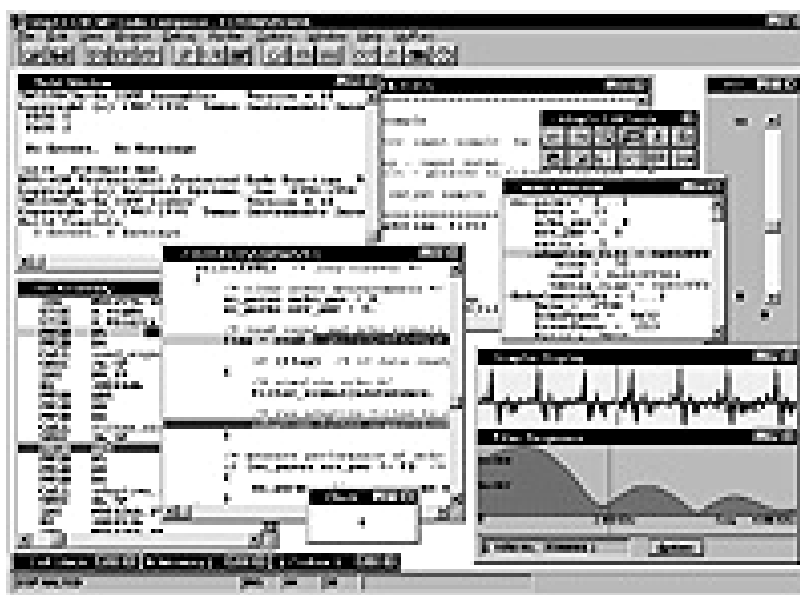


Rys. 10. Moduł jednostki centralnej DLH-07 z procesorem TMS320C6711

W układzie programowalnym CPLD powinny zostać zaimplementowane struktury logiczne przeznaczone do sprzętowej obsługi magistrali I²C oraz definiowania trybu „bootowania” procesora DSP. Wykorzystanie pozostałych wolnych zasobów układu zależy od potrzeb i inwencji użytkownika. Definiowanie struktury układu CPLD wymaga odpowiednich narzędzi programowych (np. pakiet ISE Foundation firmy Xilinx) i sprzętowych (np. moduł interfejsu ładujący współpracujący z portem LPT komputera PC). Programowanie układu CPLD odbywa się poprzez złącze dedykowanego interfejsu JTAG.

Odrębny interfejs JTAG procesora DSP umożliwia podłączenie odpowiedniego emulatora sprzętowego przystosowanego do współpracy z procesorami rodziny TMS320 o napięciu zasilania 3.3 V (np. XDS510/PP+/USB). Do prowadzenia prac uruchomieniowych przeznaczone jest zintegrowane środowisko programistyczne Code Composer Studio (CCS) dla rodziny TMS320C6000. CCS wspomaga kolejne etapy procesu opracowania oprogramowania: projekt koncepcyjny, tworzenie kodu źródłowego, uruchamianie i testowanie oprogramowania wraz z zaawansowaną analizą podczas pracy w układzie rzeczywistym. Podstawowe moduły wchodzące w skład pakietu CCS:

- narzędzia generacji kodu (kompilator języka C, assembler, optymalizator, linker),
- zintegrowane środowisko programistyczne (API) z zaawansowanymi narzędziami monitoringu zasobów procesora i wizualizacji pracy aplikacji,
- dedykowany system operacyjny DSP/BIOS,
- RTDX – mechanizmy wymiany danych w czasie rzeczywistym,
- moduły programowe innych producentów.



Rys. 11. Zintegrowane środowisko programistyczne Code Composer Studio C6000

4. MODUŁ DLH-08 Z PROCESOREM TMS320VC33

Moduł jednostki centralnej DLH-08 wyposażony został w szybki 32-bitowy zmiennoprzecinkowy procesor sygnałowy TMS320VC33. Jego konstrukcja wywodzi się z poprzedzających go modeli z rodziny TMS320C3x:

- TMS320C30,
- TMS320C31,
- TMS320C32.

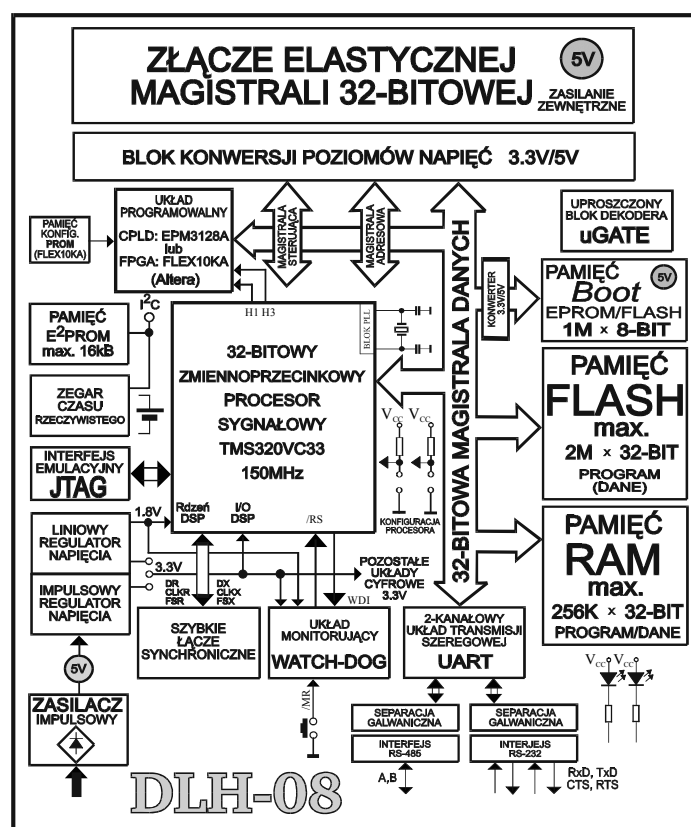
Wszystkie wymienione procesory DSP wyposażone są w identyczny rdzeń funkcjonalny (C3x), najistotniejsze różnice wiążą się z wydajnością obliczeniową i częstotliwością sygnału zegarowego, strukturą magistrali, wielkością oraz konfiguracją pamięci wewnętrznej i zewnętrznej, mechanizmami programu ładującego (Bootloadera), liczbą portów komunikacyjnych i wielkością poboru mocy. Szczegółowe informacje znaleźć można w materiałach katalogowych. Największy stopień kompatybilności zachodzi pomiędzy procesorem TMS320C31 (zastosowanym w module CPU DLH-03) a TMS320VC33. Układ TMS320VC33 jest znacząco udoskonaloną odmianą bardzo popularnego procesora DSP TMS320C31 często stosowanego w zaawansowanych aplikacjach układów sterowania.

W stosunku do swojego poprzednika układ TMS320VC33 charakteryzuje się większą mocą obliczeniową, znacznie zwiększonym rozmiarem wewnętrznej pamięci RAM, mniejszym poborem mocy (podwójne napięcie zasilania 3.3 V/1.8 V), ulepszonym systemem przerwań, standardowym interfejsem emulacyjnym JTAG oraz szeregiem mniej znaczących udogodnień. Podstawowe parametry procesora TMS320VC33 są następujące:

- wydajność obliczeniowa 150MFLOPS/75MIPS dla 150M Hz, czas cyklu 13 ns,
- wewnętrzna pamięć RAM o rozmiarach 34 K × 32-bity (bloki 2 × 16 K i 2 × 1 K),
- przestrzeń adresowa pamięci zewnętrznej do 16 M × 32-bity ($A_0 \div A_{23}$),
- niski pobór mocy <200 mW dla maksymalnej prędkości przetwarzania, dwa napięcia zasilające: 3.3 V (I/O), 1.8 V (rdzeń),
- operacje na liczbach stało- (16-/32-bity) i zmiennoprzecinkowych (32-/40-bitów) wykonywane w trakcie pojedynczego cyklu,
- boot-loader rezydujący w wewnętrznej pamięci ROM,
- szeregowy port synchroniczny,
- dwa liczniki/timery 32-bitowe,

- mechanizm przerwań (przerwania sprzętowe i programowe),
- mechanizm bezpośredniego dostępu do pamięci (DMA),
- dwa tryby pracy z obniżonym poborem mocy,
- interfejs emulacyjny JTAG,
- obudowa LQFP-144.

Moduł jednostki centralnej DLH-08 został wykonany w oparciu o koncepcję architektury zgodną z rozwiązaniami zastosowanymi w poprzednich projektach: DLH-03 (procesor TMS320C31), DLH-04 (TMS320C50), DLH-05 (DSP56002), DSP-06 (ADSP-2181) oraz DLH-07 (TMS320C6211/C6711). Moduł posiada magistralę systemową kompatybilną ze standardem DLH oraz zuniifikowane wymiary (120×105mm) i konstrukcję mechaniczną. Schemat blokowy modułu jednostki centralnej DLH-08 przedstawiono na rys. 12.



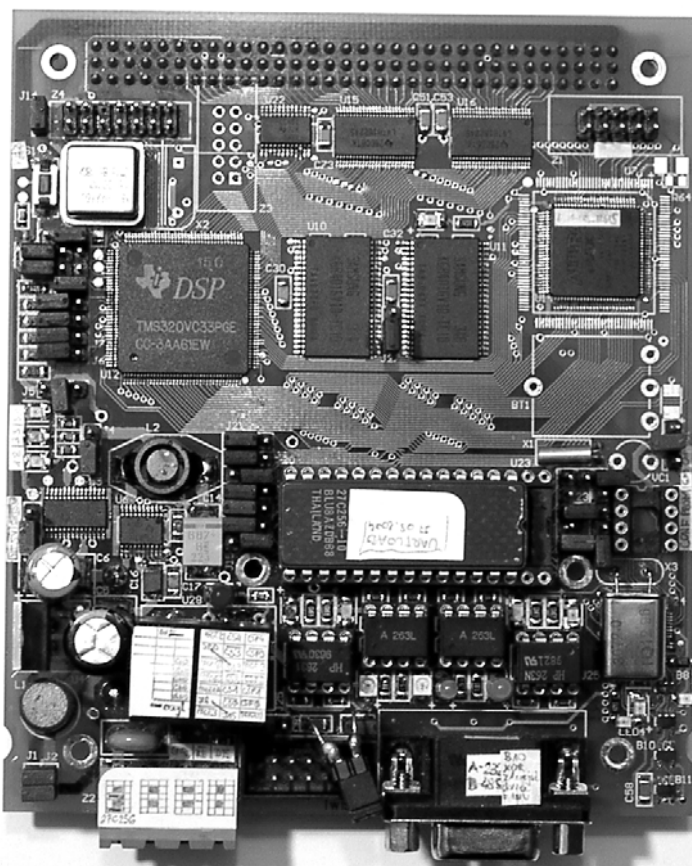
Rys. 12. Schemat blokowy modułu jednostki centralnej DLH-08

W skład struktury modułu DLH-08 wchodzi następujące bloki funkcjonalne:

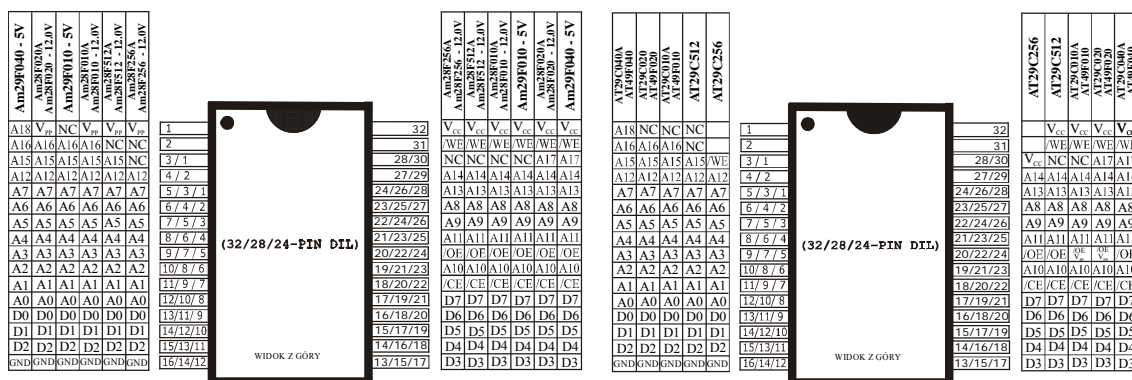
- 32-bitowy zmiennoprzecinkowy procesor sygnałowy TMS320VC33,
- 8-bitowa pamięć EPROM/FLASH/EEPROM (5 V),

- 32-bitowa pamięć RAM (dwa układy 16-bitowe),
- 32-bitowa pamięć FLASH (dwa układy 16-bitowe),
- dwukanałowy układ transmisji szeregowej UART z separowanymi galvanicznie interfejsami RS-232 i RS-485,
- układ programowalny CPLD (ISP) serii MAX3000A lub FPGA serii FLEX10K z pamięcią konfiguracyjną PROM,
- translatory poziomów napięć 3.3 V / 5 V umieszczone na magistrali systemowej oraz sprzęgające magistralę danych ($D_0 \div D_7$) procesora DSP z 8-bitową pamięcią EPROM/FLASH/EEPROM (5 V),
- pamięć E²PROM/FRAM i zegar czasu rzeczywistego (RTC) z magistralą I²C,
- blok układów zasilających: impulsowe i liniowe regulatory napięć, przetwornice DC-DC.

Gotowy moduł DLH-08 z układem programowalnym CPLD przedstawia rys. 13.



Rys. 13. Moduł jednostki centralnej DLH-08 z układem programowalnym MAX3000A



Rys. 15. Topologie wyprowadzeń 8-bitowych pamięci FLASH

Kształtowanie mapy pamięci DLH-08 może być dokonywane w bardzo elastyczny sposób z wykorzystaniem odpowiednich zwor konfiguracyjnych i dekodera zrealizowanego według jednego z wybranych wariantów:

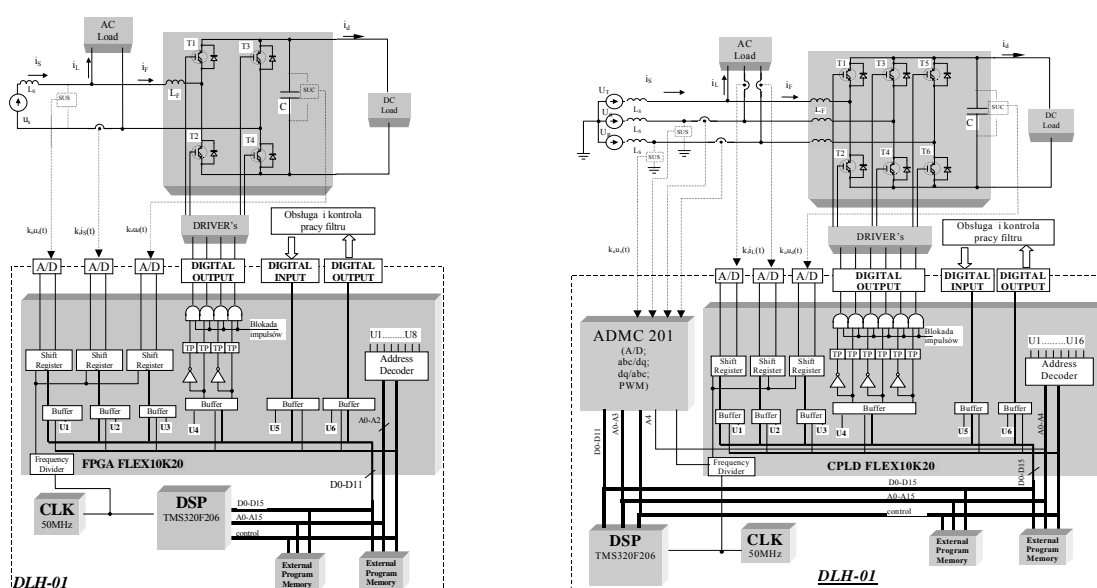
- prosty dekodery wykonany w oparciu o jednofunktorowe bramki logiczne,
- elastyczny dekodery zrealizowany w strukturze układu programowalnego CPLD serii MAX3000A,
- dekodery elastyczny zrealizowany w złożonym układzie programowalnym FPGA serii FLEX10KA/E.

Zastosowanie układu programowalnego CPLD serii MAX3000A lub FPGA serii FLEX10KA/E pozwala na implementację bloków dekodujących dających możliwość elastycznego kształtowania, a także dynamicznej zmiany mapy pamięci modułu DLH-08. Wówczas ładowanie programu użytkownika może następować z jednego z czterech dostępnych źródeł, a odpowiednia konfiguracja układu programowalnego daje możliwość późniejszego efektywnego wykorzystania linii przerwania, która wskazywała na źródło „bootowania”. Elastyczne rozwiązanie sprzętowe pozwala, aby wspomnianym źródłem był nie tylko opisany wcześniej skalowalny układ pamięci 8-bitowej EPROM/FLASH/EEPROM, ale także szeregowy port synchroniczny lub zewnętrzna pamięć typu FLASH.

Programowanie układu CPLD lub konfigurowanie elementu FPGA odbywa się poprzez złącze dedykowanego interfejsu JTAG. Oddzielny interfejs JTAG procesora DSP umożliwia połączenie odpowiedniego emulatora sprzętowego przystosowanego do współpracy z procesorami rodziny TMS320 o napięciu zasilania 3.3 V (np. XDS510/PP+/USB). Prowadzenie prac uruchomieniowych wspomagane jest przez zintegrowane środowisko programistyczne Code Composer (CC) dla procesorów TMS320C3x/C4x.

5. PRZYKŁADY APLIKACJI SYSTEMU DLH

Duża elastyczność konfiguracji systemu sterowania DLH stwarza możliwości zastosowania go w pracach badawczych z zakresu energoelektroniki i zaawansowanej techniki pomiarowej. Przedstawione zostaną dwie wybrane aplikacje systemu – o wysokim stopniu zaawansowania i w stadium realizacji.



Rys. 16. Struktury filtrów aktywnych z układami sterowania opartymi o system DLH

Wzrastającą liczbą przyłączanych do sieci elektroenergetycznych odbiorników nieliniowych zawierających różne odmiany przekształtników energoelektronicznych powoduje, że ich negatywne oddziaływanie systematycznie wzrasta. Spowodowało to wzrost zainteresowania odbiorców nowoczesnymi urządzeniami kompensującymi. Filtracja pasywna wielokrotnie nie przynosi już pożądanych efektów, gdyż wymagane są nowoczesne urządzenia kompensujące na bieżąco śledzące zmiany i szybko korygujące parametry – energoelektroniczne filtry aktywne. W Katedrze Automatyki Napędu Akademii Górniczo-Hutniczej w Krakowie prowadzone są prace badawcze z tego zakresu. Do prac eksperymentalnych wykorzystywany jest system sterowania DLH. W odpowiednio skonfigurowanym zestawie z kartą DLH-01 z powodzeniem zaimplementowano i przetestowano liczne algorytmy sterowania filtrem aktywnym jednofazowym i trójfazowym (rys.16). Wykorzystano możliwości rozdzielania zadań algorytmicznych pomiędzy trzy inteligentne elementy przetwarzające istniejące w zestawie: procesor DSP, złożony programowalny układ logiczny FPGA i ko-procesor napędowy. Wyniki przeprowadzonych eksperymentów zamieszczone

zostały w rozprawie doktorskiej oraz referatach prezentowanych na konferencjach krajowych i zagranicznych. Elastyczny system sterowania DLH jest stale wykorzystywany do celów badawczych oraz dydaktycznych w laboratorium studenckim.

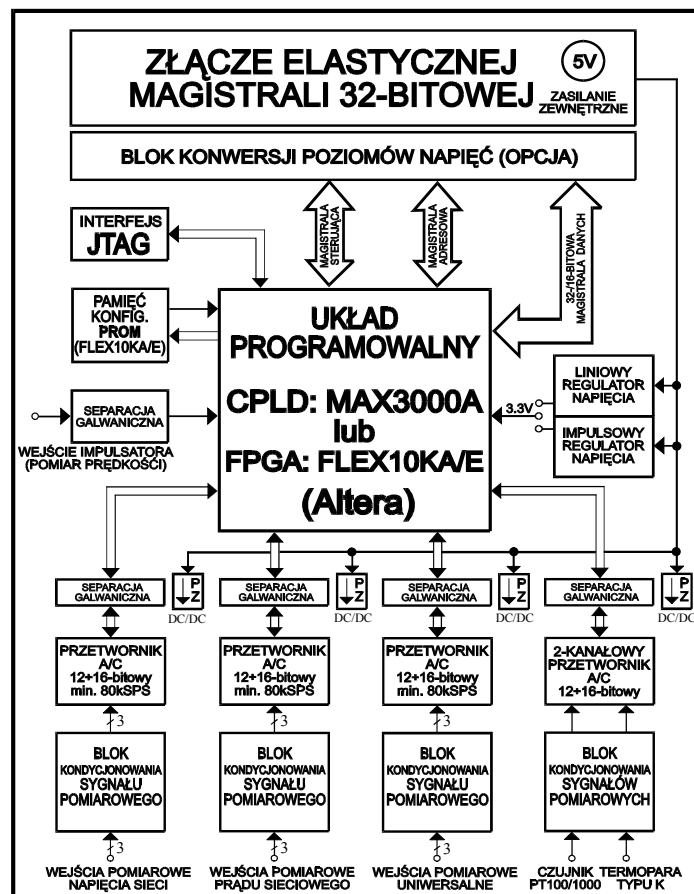
Diagnostyka stanu i szybka identyfikacja uszkodzeń systemu elektroenergetycznego jest bardzo istotnym problemem związanym z eksploatacją okrętu. Elektrownie okrętowe, określane także jako zestawy zasilania elektrycznego zbudowane są zazwyczaj z niezależnych spalinowych zespołów prądotwórczych. Ze względu na szereg zalet na współczesnych okrętach stosowane są powszechnie elektrownie prądu przemiennego trójfazowego. Oprócz systemu z prądnicą wałową, w pozostałych rozwiązaniach do napędu prądnic okrętowych wykorzystywane są oddzielne silniki – pomocnicze silniki spalinowe lub turbiny. Do napędu prądnic elektrowni głównych stosowane są obecnie najczęściej silniki spalinowe wysokoprężne.

Nowa koncepcja prowadzenia diagnostyki układu napędowego oraz prądnicy w oparciu o zaawansowaną analizę przebiegów napięć i prądów wyjściowych wymaga opracowania wielokanałowego systemu pomiarowego przeznaczonego dla okrętowych układów elektromaszynowych. System ten powinien wykonywać pomiary i rejestrację parametrów eksploatacyjnych i diagnostycznych w stanach statycznych i dynamicznych. Określone wstępnie wymagania wobec części sprzętowej systemu i jej parametrów są następujące:

- 12 kanałów pomiarowych, o rozdzielczości min. 12-bitów i częstotliwości próbkowania min. 80 kHz/kanał,
- wejścia pogrupowane w bloki: pomiary prądów, pomiary napięć, wejścia uniwersalne,
- możliwość pracy wejść w konfiguracji w pełni izolowanej, jak również przy wspólnym potencjale odniesienia,
- 2 kanały pomiarowe dla sygnałów wolnozmiennych – pomiary temperatury,
- wejście binarne do podłączenia impulsatora – pomiar prędkości,
- całkowita dokładność systemu 0.1%,
- system powinien być wyposażony w 32-bitowy procesor sygnałowy realizujący w czasie rzeczywistym złożone algorytmy pomiarowe i diagnostyczne,
- współpraca z układem nadrzędnym lub komputerem PC za pomocą interfejsów RS-232/RS-485/USB,
- spełnienie wymagań związanych z bezpieczeństwem i poprawnością pracy urządzeń pomiarowych na jednostkach pływających.

W wyniku przeprowadzonych analiz zaproponowane zostało rozwiązanie, w którym wykorzystano przedstawiony w niniejszym referacie szybki mo-

duł jednostki centralnej DLH-08 z procesorem sygnałowym TMS320VC33. Moduł powinien współpracować z kartą pomiarową posiadającą zestaw wejść analogowych i cyfrowych o odpowiednich standardach i parametrach, której schemat blokowy przedstawiono na rys. 17. We wszystkich kanałach pomiarowych karty przewidziano przetworniki analogowo-cyfrowe z wyjściem szeregowym oraz odpowiednią separację galwaniczną. Procesem akwizycji danych steruje układ programowalny CPLD/FPGA. Architektura karty pozwala na uzyskanie synchronicznego próbkowania w kanałach przeznaczonych dla sygnałów szybkozmiennych oraz na programową zmianę jego częstotliwości. Wstępna obróbka sygnałów pomiarowych może zostać zrealizowana poprzez implementację w układzie programowalnym odpowiednich funkcji (skalowanie, filtracja).



Rys. 17. Schemat blokowy wielokanałowej karty pomiarowej

Zakres zastosowań zaproponowanej karty pomiarowej nie ogranicza się jedynie do diagnostyki okrętowego zestawu zasilania elektrycznego. Wykonanie specjalizowanego modułu pomiarowego rozszerza możliwości prowadzenia

eksperymentów w zakresie tematyki związanej z rejestracją i analizą złożonych parametrów jakościowych energii. Przedstawione rozwiązanie może znaleźć zastosowanie w nowych projektach badawczych, a także posłużyć do unowocześnienia istniejących w stanowisk laboratoryjnych, które wymagają coraz bardziej precyzyjnej aparatury do pomiaru napięć i prądów.

6. PODSUMOWANIE

Elastyczny system sterowania DLH znalazł szereg zastosowań w eksperymentach badawczych i działalności dydaktycznej związanej z szeroko rozumianą energoelektroniką. Architektura systemu, wykorzystująca procesory i kontrolery DSP oraz układy programowalne CPLD i FPGA spełniła wymagania stawiane przez różnorodne układy przekształtników energoelektronicznych. Zaproponowane rozwiązania nowych modułów jednostek centralnych wyposażonych w szybkie 32-bitowe procesory DSP, zróżnicowane układy pamięci o dużych pojemnościach i rozbudowane zestawy peryferiów rozszerzają zakres potencjalnych zastosowań systemu na złożone układy pomiarowe i diagnostyczne.

LITERATURA

1. Dębowski L., Hartman M.: A New Flexible Architecture of Control Systems Based on DSP and CPLD Technology for Power Conversions Applications, Proceedings of Power Conversion, Intelligent Motion and Power Quality Conf. (PCIM), Nuremberg, Germany, 2000.
2. Dębowski L., Hartman M.: DSP Based Flexible Digital Control Systems for Advanced Power Electronics, Motion Control and Industrial Automation Applications, Proceedings of 3rd European Education and Research Conference, Paris, France, 2000.
3. Penczek A., Dębowski L., Mondzik A.: Sterowanie strukturami energoelektronicznych filtrów aktywnych z wykorzystaniem elastycznego systemu z procesorem DSP i złożonym reprogramowalnym układem logicznym, Materiały V Konferencji Naukowej Sterowanie w Energoelektronice i Napędzie Elektrycznym, Łódź-Arturówek, 2001.

Rękopis dostarczono, dnia 14.10.2004 r.

Opiniował: prof. dr hab. inż. Marian P. Kaźmierkowski

NEW CPU MODULES FOR DIGITAL CONTROL SYSTEM DLH
BASED ON DIGITAL SIGNAL PROCESSORS
AND PROGRAMMABLE LOGIC

Leszek Dębowski

ABSTRACT *The paper presents an overview of the flexible digital control system DLH. The system is dedicated for advanced power electronics and industrial measurement applications. The basic features of high-performance 32-bit digital signal processors are summarized. New designs of fast CPU modules based on DSPs and CPLDs/FPGAs with some application examples of the DLH system are presented.*



Mgr inż. Leszek Dębowski urodzony w 1966 r. w Gdańsku, w 1990 r. ukończył studia na Wydziale Elektroniki Politechniki Gdańskiej na kierunku Elektronika, specjalność Automatyka. W 1992 r. rozpoczął pracę w Instytucie Elektrotechniki w Oddziale w Gdańsku. Specjalizował się w projektowaniu i oprogramowaniu systemów mikroprocesorowych. Od połowy lat dziewięćdziesiątych zajmuje się projektowaniem złożonych systemów cyfrowych procesorami sygnałowymi i układami programowalnymi. Opracował szereg rozwiązań przeznaczonych dla obszaru aplikacji obejmującego energoelektronikę i technikę pomiarową. Elementy elastycznego systemu DLH znalazły także zastosowania dydaktyczne. Autor i współautor kilkunastu publikacji z zakresu układów sterowania przekształtników energoelektronicznych i systemów pomiarowych.