

## ELASTYCZNY SYSTEM CYFROWY Z ELEMENTAMI DSP/ARM/CPLD/FPGA DO MODELOWANIA W CZASIE RZECZYWISTYM PROCESÓW ZACHODZĄCYCH W SIECIACH ENERGETYCZNYCH I TESTOWANIA OFF-LINE URZĄDZEŃ ZABEZPIECZENIOWO-REGULACYJNYCH

Leszek DĘBOWSKI

1. Instytut Elektrotechniki Oddział w Gdańsku, 80-557 Gdańsk ul. Narwicka 1  
tel: (58) 3431291 fax: (58) 3431295 e-mail: leszek.debowski@iel.gda.pl

**Streszczenie:** W referacie przedstawiono koncepcję i aktualny stan realizacji rozwojowej architektury elastycznego systemu cyfrowego, przeznaczonego do programowo-sprzętowej implementacji modeli procesów dynamicznych pracujących w czasie rzeczywistym. Przedstawiono rozwiązania sprzętowe umożliwiające wykorzystanie systemu do prac badawczo-testowych związanych z infrastrukturą zabezpieczeniowo-regulacyjną sieci energetycznych. Wskazano kierunki dalszych prac projektowych.

**Słowa kluczowe:** specjalizowany system cyfrowy, modelowanie.

### 1. WPROWADZENIE

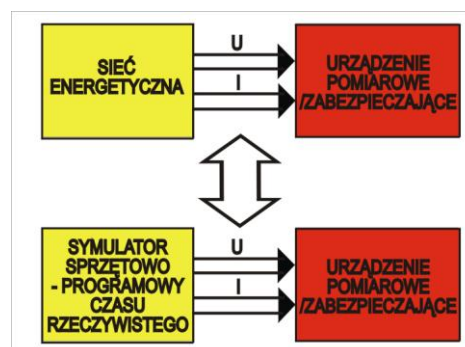
W wyniku tendencji występujących we współczesnej energetyce rośnie liczba przyłączanych do sieci niskich i średnich napięć nowych źródeł i odbiorników energii, często charakteryzujących się niekorzystnymi właściwościami w zakresie różnych parametrów jakości energii generowanej, bądź pobieranej. Systematycznie zwiększa się liczba punktów generacji energii pozyskiwanej ze źródeł odnawialnych. Rośnie także liczba nieliniowych odbiorników energii – od przekształtników energoelektronicznych dużej mocy do miniaturowych przetwornic impulsowych, zasilających sprzęt powszechnego użytku. Jest to przyczyną szeregu niekorzystnych zjawisk (m.in. wyższe harmoniczne, rezonanse), negatywnie wpływających na pracę elementów infrastruktury przesyłowej i odbiorczej [1] [2].

Wspomniane wyżej procesy skutkują również pojawieniem się problemu poprawności pracy aparatury zabezpieczeniowo-sterującej starszych generacji, która była projektowana bez uwzględniania nowych zjawisk. Analiza danego węzła sieci energetycznej może być dokonywana na drodze w pełni symulacyjnej z wykorzystaniem dostępnych parametrów projektowych i eksploatacyjnych oraz specjalistycznego oprogramowania dla platformy PC. Ta metoda wyklucza jednak prowadzenie badań na obiekcie rzeczywistym i nie daje możliwości szybkiej praktycznej weryfikacji wyników. Z kolei ingerowanie w strukturę, aparaturę i pracę eksploatowanych węzłów sieci nie jest dopuszczalne. Do analizy można wykorzystywać jedynie zarejestrowane przebiegi.

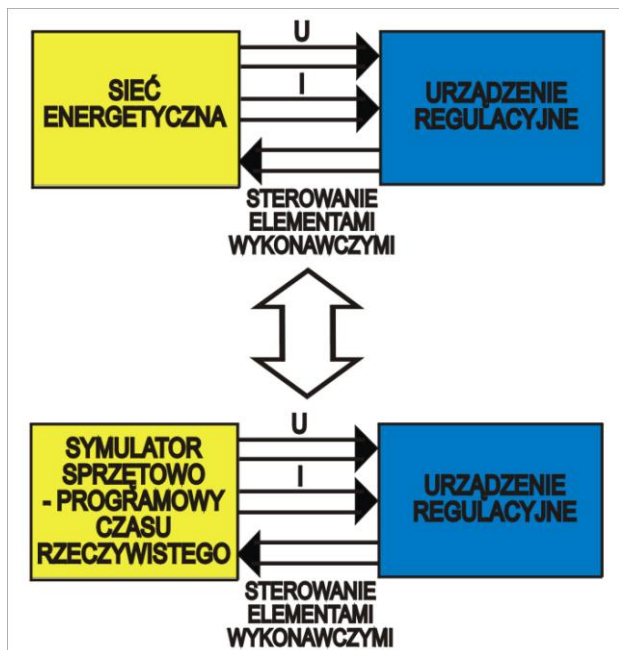
Dynamiczny rozwój mikroelektroniki, a w szczególności rozwój układów analogowych mocy oraz systematyczny wzrost efektywności obliczeniowej współczesnych układów cyfrowych (DSP/ARM/FPGA) stworzył realne perspektywy dla opracowań nowych rozwiązań programowo-sprzętowych ułatwiających analizę i diagnostykę zjawisk zachodzących w sieciach energetycznych oraz testowanie aparatury zabezpieczeniowo-sterującej.

### 2. KONCEPCJA ELASTYCZNEGO SYSTEMU BADAWCZO-TESTOWEGO

Projekty badawcze związane z modelowaniem i identyfikacją elementów systemu elektroenergetycznego zaowocowały powstaniem rozbudowanych bibliotek oprogramowania na platformę komputerów PC. W celu kontynuacji prac badawczych oraz praktycznego wykorzystania ich wyników, należało opracować nowe rozwiązanie sprzętowe, umożliwiające implementację modeli pracujących w czasie rzeczywistym oraz dające możliwość współpracy z rzeczywistymi układami zabezpieczeniowo-regulacyjnymi stosowanymi w energetyce (rys. 1, 2).

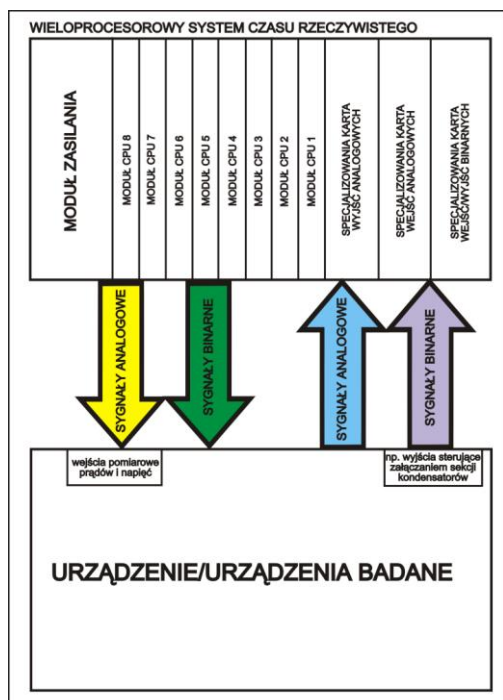


Rys. 1. Koncepcja symulatora współpracującego z rzeczywistymi urządzeniami pomiarowymi i zabezpieczającymi.



Rys. 2. Koncepcja symulatora współpracującego z rzeczywistymi urządzeniami regulacyjnymi stosowanymi w energetyce

Praktyczna realizacja zaproponowanego podejścia polega na implementacji struktury i własności dynamicznych węzła sieci energetycznej w formie programu działającego na cyfrowej platformie sprzętowej (z opcją wieloprocesorową), wyposażonej w odpowiedni zestaw specjalistycznych kart wejścia-wyjścia. W szczególności karty te powinny umożliwić sprzężenie procesorowego rdzenia z rzeczywistymi urządzeniami pomiarowymi i sterującymi [3]. Do współpracujących z systemem badawczo-testowym urządzeń (zabezpieczenia, kompensatory mocy biernej) powinny dochodzić sygnały o parametrach zgodnych ze standardami występującymi na obiektach rzeczywistych, np. sygnały z przekładników prądowych i napięciowych (rys. 3).



Rys. 3. Koncepcja realizacji sprzętowej symulatora

### 3. ARCHITEKTURA SPRZĘTOWA SYSTEMU

W trakcie definiowania architektury systemu należało uwzględnić szereg kryteriów i uwarunkowań, m.in.:

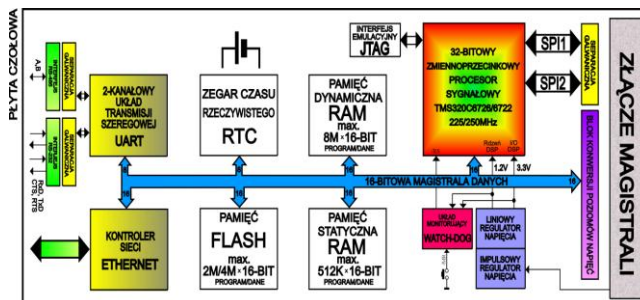
- bieżące wymagania funkcjonalne,
- możliwość rozbudowy i szybkiego zestawiania nowych konfiguracji sprzętowych,
- dynamikę rozwojową współczesnych elementów mikroelektronicznych analogowych i cyfrowych, wymuszającą częste korekty rozwiązań układowych,
- koszty procesu projektowania i uruchamiania nowych modułów.

W wyniku przeprowadzonej analizy zdecydowano się na zastosowanie rozwiązania modułowego, opartego o system kasetowy w standardzie EURO. W procesie projektowania uwzględniono możliwość wykorzystania dotychczas wykonanych opracowań, wchodzących w skład elastycznego systemu pomiarowo-sterującego [4] [5].

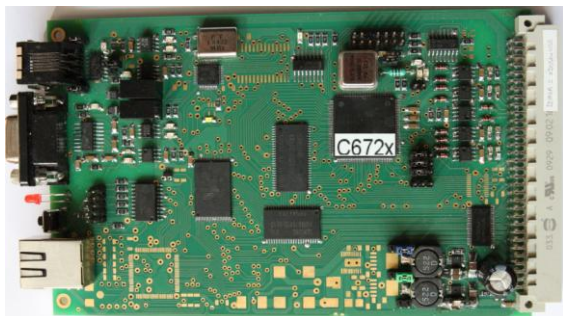
Wysokie wymagania w stosunku do mocy obliczeniowej systemu spowodowały konieczność zastosowania wydajnych jednostek arytmetycznych, zawierających zmiennoprzecinkowe procesory sygnałowe (DSP), procesory ARM, bądź układy programowalne FPGA. Należało uwzględnić mechanizmy umożliwiające zestawianie konfiguracji wieloprocesorowych. Przyjęto założenie, że system będzie mógł zawierać maksymalnie do 8 modułów jednostek centralnych (CPU). Inne istotne elementy systemu, to specjalizowane karty z przetwornikami analogowo-cyfrowymi (A/C) i cyfrowo-analogowymi (C/A). W kolejnych podrozdziałach w sposób syntetyczny omówiono opracowane dotychczas rozwiązania sprzętowe.

#### 3.1. Moduł jednostki centralnej z procesorem DSP

Moduł szybkiej jednostki centralnej (rys. 4, 5) zawiera zmiennoprzecinkowy procesor sygnałowy z rodziny C6000 (TMS320C672x), o dużej wydajności obliczeniowej (2400MIPS/1800MFLOPS). Wyposażony został w buforowaną 16-bitową magistralę równoległą oraz dwie separowane galwanicznie magistrale szeregowe SPI. Magistrale te pozwalają na dołączenie do systemu m.in. wejść/wyjść analogowych z wykorzystaniem przetworników A/C i C/A umieszczonych na oddzielnych kartach oraz stanowią jedną opcję, pozwalającą na budowę systemów wieloprocesorowych. Moduł wyposażony jest w pamięci DRAM/SRAM/FLASH o dużych pojemnościach. Zawiera dwukanałowy układ asynchronicznej transmisji szeregowej UART, obsługujący kanały komunikacyjne RS-232/RS-422/RS-485 oraz układ interfejsu sieci Ethernet.



Rys. 4. Schemat blokowy szybkiego modułu jednostki centralnej ze zmiennoprzecinkowym procesorem DSP

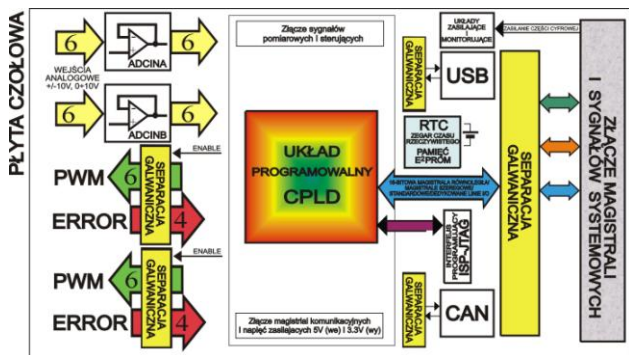


Rys. 5. Moduł szybkiej jednostki centralnej z procesorem DSP

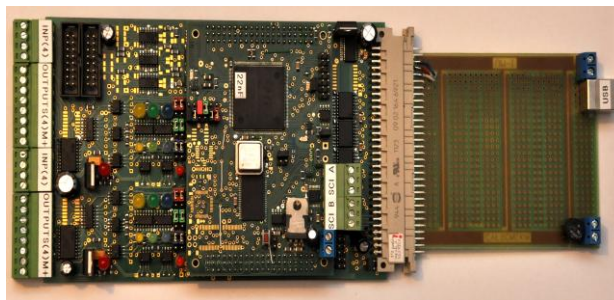
### 3.2. Elastyczna karta bazowa

Elastyczna karta bazowa (rys. 6, 7) łączy w sobie funkcje przetwarzające, jako platforma umożliwiająca osadzenie wybranego modułu CPU oraz sprzęgające, dzięki możliwości wykorzystania rozbudowanego zestawu wejść/wyjść analogowych i cyfrowych. Wyposażona jest w 12 kanałów analogowych, zawierających bloki filtracji i dopasowania poziomów napięciowych. Kanały analogowe można elastycznie dostosować do różnych standardów napięć wejściowych unipolarnych i bipolarnych. Sygnały wyjściowe PWM mogą zostać zakończone buforami logicznymi TTL-OC, matrycami tranzystorowymi (50V/500mA) lub końcówkami mocy (50V/2A). Za pomocą odpowiedniej struktury logicznej, zaimplementowanej w układzie CPLD, użytkownik może definiować magistrale sprzęgające szeregowo i równoległe, umożliwiające budowę kompletnych rozwiązań systemowych z wieloma kartami I/O oraz systemów wieloprocesorowych. Wybranym liniom sygnałowym można przypisać również funkcje specjalizowane (np. interfejs enkodera inkrementacyjnego, dodatkowe kanały PWM) albo wykorzystać je jako standardowe linie I/O. Nie ma ograniczeń w wyborze kierunku sygnałów (wejście lub wyjście), można również tworzyć magistrale dwukierunkowe. Do dyspozycji użytkownika na złączu magistrali i sygnałów systemowych są łącznie 24 linie wyposażone w separację galwaniczną.

W planowanej pilotażowej aplikacji z kompensatorem mocy biernej karta bazowa pełnić będzie jedynie funkcję modułu wejść binarnych odpowiedzialnego za detekcję stanów linii sterujących załączeniem sekcji kondensatorów kompensujących. Karta może zostać wykorzystana również jako autonomiczny moduł pomiarowy lub sterujący w szczególności w zastosowaniach związanych z energoelektroniką.



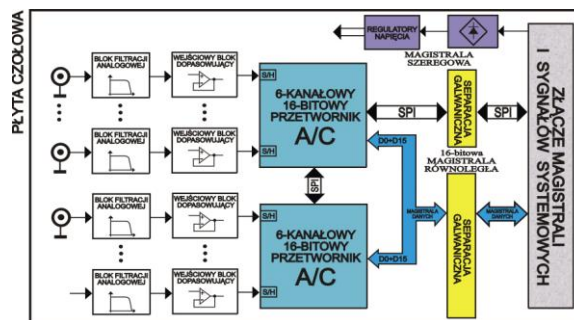
Rys. 6. Schemat blokowy elastycznej karty bazowej



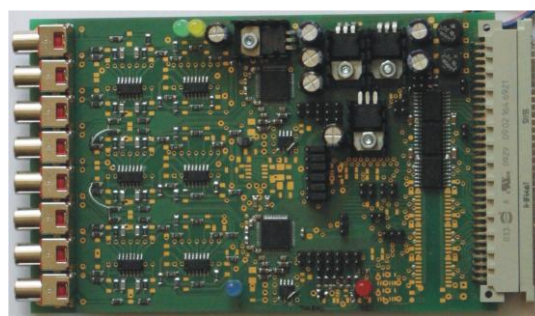
Rys. 7. Elastyczna karta bazowa z płytą prototypową dołączoną do złącza magistrali

### 3.3. Wielokanałowa karta wejść analogowych

Wielokanałowa karta wejść analogowych z przetwornikami A/C (rys. 8, 9) może być podłączona do systemu poprzez 16-bitową magistralę równoległą, bądź przez szeregową magistralę SPI. W celu minimalizacji wpływu zakłóceń pochodzących od części cyfrowej, zastosowano separację galwaniczną, zarówno na magistrali równoległej jak i szeregowej. Karta wyposażona jest w dwa identyczne 6-wejściowe 16-bitowe przetworniki analogowo-cyfrowe, które mogą być przypisane do magistrali równoległej lub SPI w sposób niezależny, zdefiniowany przez użytkownika za pomocą zestawu zwor. Przetworniki A/C zawierają układy próbkująco-pamiętające (S/H) na każdym z wejść, co umożliwia jednoczesne próbkowanie sygnałów we wszystkich 12 kanałach. Na wejściu każdego z kanałów znajdują się bloki filtrująco-dopasowujące, zrealizowane w oparciu o topologie Butterwortha 2-giego rzędu. Wejścia analogowe mogą zostać skonfigurowane w tryb uni- lub bipolarny (maksymalny zakres napięcia +/-10V). Maksymalna częstotliwość próbkowania zależy od liczby wykorzystywanych kanałów oraz od konfiguracji magistrali i waha się w granicach 450÷630kSPS.



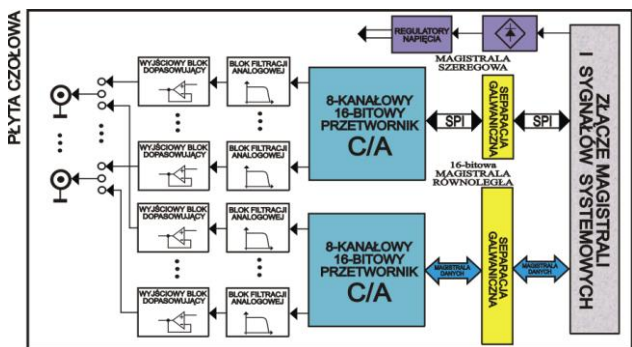
Rys. 8. Schemat blokowy wielokanałowej karty wejść analogowych



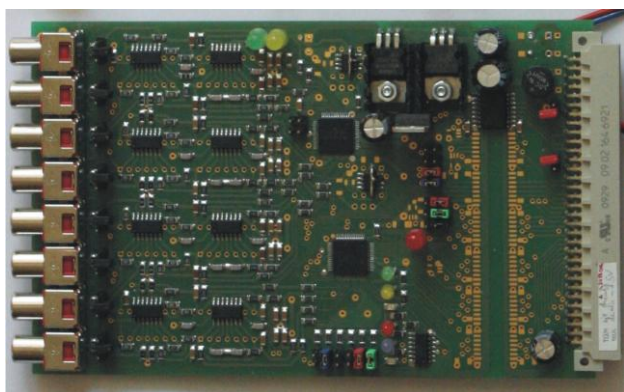
Rys. 9. Wielokanałowa karta wejść analogowych

### 3.4. Wielokanałowa karta wyjść analogowych

Karta 8/16 wyjść analogowych z przetwornikami C/A (rys. 10, 11) posiada możliwość podłączenia do systemu poprzez 16-bitową magistralę równoległą, bądź szeregową SPI. Oba kanały sprzęgające wyposażone są w separację galwaniczną. Poprzez zmianę typu złącz, można uzyskać konfigurację z 16 wyjściami analogowymi, z których 8 będzie obsługiwanych przez przetwornik C/A z 16-bitową magistralą równoległą, a pozostałe 8 przez bliźniaczy układ z magistralą szeregową SPI.



Rys. 10. Schemat blokowy wielokanałowej karty wyjść analogowych



Rys. 11. Wielokanałowa karta wyjść analogowych

### 3.5. Moduł zasilacza i sprzęgu magistrali JTAG

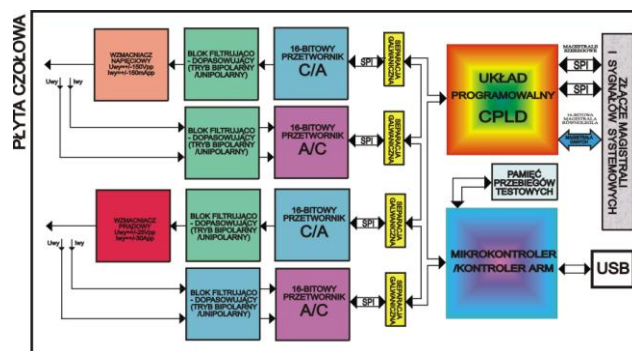
Zasilacz złożony jest z 8 identycznych separowanych galwanicznie bloków z przetwornicami impulsowymi ( $U_{we}=6\div 35VDC$ ,  $U_{wy}=3.3\div 5VDC/2.5A$ ) oraz dwóch transformatorów sieciowych przeznaczonych do zasilania bloków analogowych modułów A/C i C/A. Na panelu czołowym umieszczony jest podwójny konwerter JTAG dla systemów wieloprocessorowych.

## 4. SPECJALIZOWANE KARTY I/O

Opracowane dotychczas moduły, które zostały przedstawione w poprzednim rozdziale, mają charakter uniwersalny i mogą być wykorzystywane w różnych obszarach aplikacyjnych. Przystosowanie systemu do wymagań stawianych przez planowane zastosowania związane badaniami i techniką pomiarową w dziedzinie sieci elektroenergetycznych, wymaga opracowania zestawu kart wyposażonych w specjalizowane peryferia. W trakcie projektowania znajdują się obecnie dwa moduły:

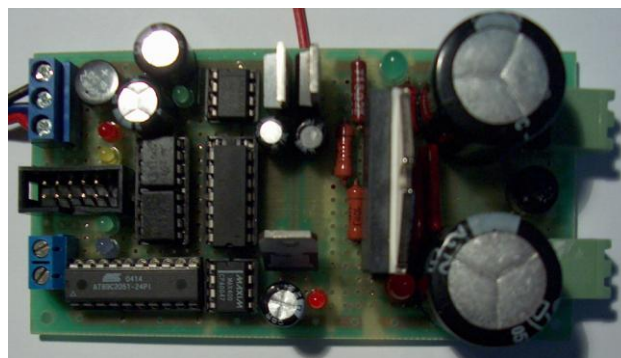
- specjalizowana karta cyfrowo-analogowa z wyjściem napięciowym  $\pm 150V_{pp}$  i prądowym  $\pm 30A_{pp}$  (rys. 12),
- wielokanałowa karta analogowo-cyfrowa z pełną separacją galwaniczną pomiędzy poszczególnymi analogowymi kanałami wejściowymi, jak również pomiędzy kanałami analogowymi i częścią cyfrową (rys. 14).

Pierwsze z rozwiązań stanowić będzie interfejs symulujący wyjścia pary przekładników pomiarowych – napięciowego i prądowego. Tor prądowy wyposażony będzie w lokalną pętlę sprzężenia zwrotnego, odpowiedzialną za kształtowanie przebiegu prądu wyjściowego na podstawie danych zadawanych z systemu nadrzędnego. Oba tory wyjściowe wyposażone zostaną w szybkie 16-bitowe przetworniki C/A oraz pełną separację galwaniczną względem siebie, jak również części cyfrowej. Opracowanie i uruchomienie tej karty pozwoli na rozpoczęcie pilotażowych prac badawczo-eksperymentalnych z wykorzystaniem systemu symulacyjnego i układu przemysłowego kompensatora mocy biernej, stosowanego w sieciach średniego napięcia. Dla określonej konfiguracji badawczo-testowej, dobierana będzie odpowiednia liczba kart, które poprzez szybką magistralę komunikacyjną współpracować będą z systemem nadrzędnym, wyposażonym w rdzeń obliczeniowy złożony z elementów DSP/ARM/FPGA.



Rys. 12. Schemat blokowy specjalizowanej karty cyfrowo-analogowej

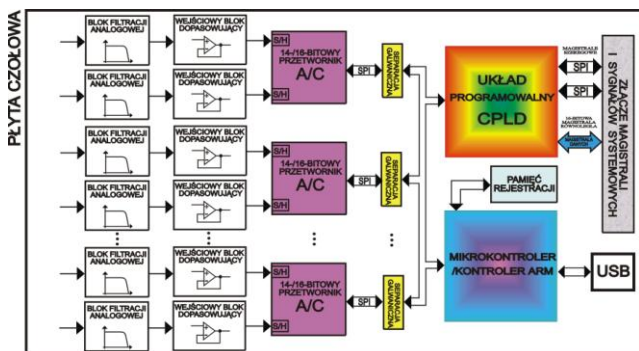
W trakcie prowadzonych prac projektowych wykonano i uruchomiono wersję prototypową głównego fragmentu toru napięciowego  $\pm 150V_{pp}$ , złożoną ze wzmacniacza wysokonapięciowego, 16-bitowego przetwornika C/A i prostego mikrokontrolera (rys. 13).



Rys. 13. Wersja prototypowa wyjścia napięciowego  $\pm 150V_{pp}$

Przeprowadzone badania zweryfikowały poprawność pracy zaproponowanego rozwiązania układowego. Wyznaczona eksperymentalnie maksymalna wartość chwilowa prądu wyjściowego toru wysokonapięciowego wynosi 150mA. Ze względu na większy stopień komplikacji toru prądowego nie zdecydowano się na budowę egzemplarza prototypowego i skoncentrowano się na opracowaniu kompletnego prototypu wersji docelowej.

Drugie z aktualnie opracowywanych rozwiązań – wielokanałowa karta analogowo-cyfrowa z pełną separacją, przeznaczona będzie do sprzężenia systemu z różnymi odmianami przetworników pomiarowych napięcia i prądu stosowanymi powszechnie w elektroenergetyce i energoelektronice (przekładniki prądowe i napięciowe, cewki Rogowskiego, przetworniki hallotronowe).



Rys. 14. Wielokanałowa karta pomiarowa z pełną separacją galwaniczną

W dalszej perspektywie planowane jest opracowanie wielokanałowego modułu wyjść analogowych z dodatkową międzykanałową separacją galwaniczną, umożliwiającą podłączenie zewnętrznych wzmacniaczy napięciowych lub prądowych, pracujących na różnych potencjałach oraz modułu komunikacyjnego, pozwalającego na sprzężenie systemu z różnymi standardami sieci transmisyjnych i współpracę z oprogramowaniem do akwizycji danych pomiarowych.

## 5. PRZYKŁADOWA KONFIGURACJA SYSTEMU

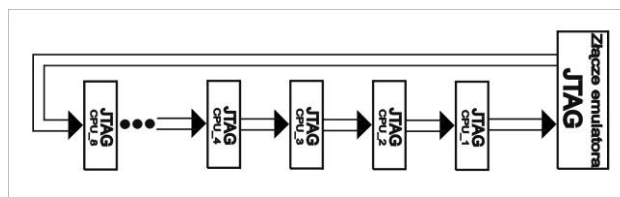
Na rys. 15 przedstawiono uruchomioną pilotażową konfigurację systemu, złożoną z wieloprocessorowego zestawu ośmiu modułów CPU z procesorami sygnałowymi TMS320C672x, kart A/C i C/A, oraz zasilacza i dwóch konwerterów magistrali JTAG dla systemów wieloprocessorowych.



Rys. 15. Pilotażowa konfiguracja systemu

W trakcie prac uruchomieniowych przeprowadzono szereg eksperymentów, m.in. związanych z obsługą magistrali JTAG w trybie wieloprocessorowym oraz współpracą jednostek centralnych z kartami A/C i C/A. Przetestowano dostępne emulatory JTAG pod kątem określenia

maksymalnej liczby obsługiwanych procesorów DSP połączonych w łańcuch magistralowy (rys. 16). Podczas testów wykorzystywano zintegrowane oprogramowanie narzędziowe Code Composer Studio z uaktywnioną opcją Parallel Debug Manager.



Rys. 16. Struktura wieloprocessorowej wersji magistrali JTAG

Najbardziej zaawansowany emulator XDS560USB z powodzeniem współpracował z konfiguracją złożoną z ośmiu modułów CPU, natomiast prosty model XDS510PP obsługiwał zestawy zawierające do czterech jednostek centralnych. Stwierdzono, że ograniczenie związane jest z dłuższymi czasami propagacji, występującymi w układach cyfrowych sondy emulacji XDS510PP.

## 6. PODSUMOWANIE I WNIOSKI

W artykule przedstawiono stan zaawansowania prac nad elastycznym systemem cyfrowym czasu rzeczywistego do modelowania obiektów dynamicznych. Omówiono nowe rozwiązania sprzętowe, przystosowujące system do modelowania procesów zachodzących w sieciach elektroenergetycznych oraz testowania off-line urządzeń zabezpieczeniowo-regulacyjnych.

Zaproponowana architektura ma charakter elastyczny, otwarty i rozwojowy. Można ją stosunkowo prosto dostosować do aktualnych rozwiązań układowych (DSP/ARM/FPGA), pochodzących od różnych producentów. Bardzo szerokie możliwości w tym zakresie zapewnia elastyczna karta bazowa, która oprócz złącza przeznaczonego do osadzenia modułu CPU z wybranym kontrolerem, procesorem czy układem programowalnym, wyposażona jest w bogaty zestaw peryferiów przydatnych w zastosowaniach związanych z pomiarami i sterowaniem. Projektowanie nowych elementów systemu może być wykonywane zarówno przez autora, jak też przez potencjalnych użytkowników. Możliwe jest również proste dostosowywanie dostępnych rozwiązań sprzętowych (zestawy ewaluacyjne, starter kity) różnych producentów poprzez wykonywanie odpowiednich przejśćówek.

Rosnąca systematycznie moc obliczeniowa kolejnych generacji układów mikroprocesorowych pozwoli w perspektywie na implementację modeli dynamicznych o coraz wyższym stopniu złożoności. Konieczne będzie jedynie zaprojektowanie nowych, szybszych jednostek centralnych.

Ważnym aspektem praktycznym, który należy brać pod uwagę w związku z koniecznością przyłączenia różnych elementów systemu do obwodów o dużych różnicach potencjałów, jest zapewnienie odpowiedniego poziomu izolacji. Na obecnym etapie prac zastosowano bariery separacyjne w merytorycznie uzasadnionych punktach. W prowadzonych pracach skoncentrowano się przede wszystkim na uzyskaniu pożądanej funkcjonalności. W aktualnie realizowanych projektach zastosowano ekonomiczne układy transoptorów oraz separatorów cyfrowych o sprzężeniu indukcyjnym i pojemnościowym o

roboczym napięciu separacji nie przekraczającym 2.5kV. Dostępne elementy pozwalają na podniesienie go do poziomu 5kV, bez wprowadzania zmian w projektach obwodów drukowanych. Dodatkowo konieczne będzie przeprowadzenie cyklu badań laboratoryjnych na zgodność z odpowiednimi normami. W celu podwyższenia stopnia bezpieczeństwa pracy użytkowników i ochrony stosowanego w pracach sprzętu komputerowego zaprojektowano serię konwerterów standardów transmisyjnych, zapewniających dodatkową separację galwaniczną, np. USB-USB, USB-RS232/485/422/IrDA. Wybrane rozwiązanie z tej grupy przedstawiono na rys. 17.



Rys. 17. Separator galwaniczny USB-USB

Prezentowane rozwiązanie lub wybrane jego elementy mogą zostać wykorzystane w dydaktyce, na różnych stopniach kształcenia, w pracach badawczych związanych z

zaawansowaną techniką pomiarową i sterowaniem (energoelektronika) oraz w aplikacjach przemysłowych.

## 7. BIBLIOGRAFIA

1. Cieślak S.: Problemy identyfikacji elementów systemu elektroenergetycznego powodujących wzrost wyższych harmonicznych napięcia, Sieci Elektroenergetyczne Nr 152, ISSN 0208-726.
2. Cieślak S., Zakrzewski S., Bieliński W., Drechny M.: Optymalizacja pracy jednostek wytwórczych w elektroenergetycznej sieci dystrybucyjnej z generacją rozproszoną, Wiadomości Elektrotechniczne 7'2010, ISSN 0043-5112.
3. Cieślak S., Dębowski L., Drechny M.: Koncepcja uwzględniania rzeczywistych charakterystyk regulatorów w symulacji układów elektroenergetycznych na przykładzie układu kompensacji mocy biernej, Przegląd Elektrotechniczny 12'2010, ISSN 0033-2097.
4. Dębowski L.: Elastyczny system sterowania przekształtników energoelektronicznych – architektura, wybrane zastosowania badawcze i dydaktyczne, Przegląd Elektrotechniczny 2'2010, ISSN 0033-2097.
5. Dębowski L.: Flexible Embedded Control System Architecture for Power Electronics Applications, Proceedings of the 2nd International Conference on Information Technology ICIT'2010, Gdansk, Poland.

## **FLEXIBLE DIGITAL SYSTEM BASED ON DSP/ARM/CPLD/FPGA ICs FOR REAL-TIME MODELING POWER GRIDS DYNAMICS AND OFF-LINE TESTING OF POWER ENGINEERING PROTECTION AND CONTROL EQUIPMENT**

**Key-words:** specialized digital system, real-time modelling

The paper presents the idea and current development advancement of flexible digital system architecture. The system is dedicated for real-time implementation of dynamic processes. Hardware solutions for real-time power grids simulation and protection/control equipment testing are presented in details. Future development work are proposed.