

XIV Seminarium
ZASTOSOWANIE KOMPUTERÓW W NAUCE I TECHNICIE' 2004
Oddział Gdański PTETiS

**ALGORYTM SZYBKIEGO PRZETWARZANIA
CZĘSTOTLIWOŚCIOWO-CYFROWEGO W STRUKTURZE PLD
DLA PRZETWORNIKÓW OBROTOWO-IMPULSOWYCH**

**Paweł SZCZEPANKOWSKI¹, Janusz NIEZNAŃSKI²,
Grzegorz GRABOWSKI³, Juliusz FRĄCKOWIAK⁴**

- | | | |
|--------------------|----------------|-------------------------------|
| 1. tel. 348-60-76, | fax: 341-08-80 | E-mail: pszczep@ely.pg.gda.pl |
| 2. tel. 347-16-75, | fax: 341-08-80 | E-mail: jniez@ely.pg.gda.pl |
| 3. tel. 348-60-75, | fax: 341-08-80 | E-mail: ggrab@ely.pg.gda.pl |
| 4. tel. 348-60-76, | fax: 341-08-80 | E-mail: julio@ely.pg.gda.pl |

W artykule przedstawiono metodę szybkiego przetwarzania częstotliwościowo-cyfrowego opartą na bezpośrednim porównaniu równoległym. Omówiono realizację praktyczną przetwornika częstotliwość-cyfra z wykorzystaniem programowalnego układu logicznego ACEX1K (CPLD) firmy ALTERA. Proponowana metoda może być wykorzystana, między innymi, do szybkiego pomiaru prędkości kątowej silników elektrycznych, jak również do realizacji szybkich przetworników częstotliwości na napięcie.

1. WSTĘP

Przetwarzanie częstotliwościowo-cyfrowe (f/C) jest operacją często spotykaną w układach sterowania i pomiarów. Wynika to z faktu, że częstotliwość przebiegów jest dość często wielkością podlegającą pomiarowi i sterowaniu, jak również z faktu, iż częstotliwość jest wygodną reprezentacją pośrednią dla wielu wielkości elektrycznych i nieelektrycznych. Wielkością, która bardzo często jest zamieniana przez przetwornik pierwotny (czujnik) na częstotliwość impulsów jest prędkość kątowa silników. Rolę czujnika spełnia w tym przypadku przetwornik obrotowo-impulsowy (POI).

W literaturze rozpatruje się zazwyczaj dwie standardowe metody przetwarzania f/C: metodę zliczania impulsów przebiegu wejściowego we wzorcowym przedziale czasu oraz metodę zliczania impulsów z generatora wzorcowego w przedziale czasu równym okresowi przebiegu wejściowego. Wadą pierwszej metody jest długi czas przetwarzania, natomiast druga z wymienionych metod prowadzi do wyniku proporcjonalnego do okresu, a nie częstotliwości przebiegu wejściowego; nie jest to więc, ściśle rzecz biorąc, metoda przetwarzania f/C. Ponieważ układy napędowe stawiają szczególnie wysokie wymagania dotyczące szybkości przetwarzania, propozycje rozwiązań szybkich przetworników f/C pozostają w ścisłym związku z problemem szybkiego pomiaru prędkości silnika za pomocą POI. Jedną z idei zmierzających do skrócenia czasu przetwarzania, wyrażonego liczbą

okresów przebiegu wejściowego, jest zastosowanie przetwornika odwrotnego (tj. cyfrowo-częstotliwościowego, C/f) i poszukiwanie liczby, dla której częstotliwość wyjściowa tego przetwornika jest równa, z założoną dokładnością, częstotliwości mierzonej. Jönsson i inni [2] zaproponowali szybkobieżną, iteracyjną metodę poszukiwania częstotliwości mierzonej. Czas poszukiwania jest zmienny, ale zazwyczaj wynosi jedynie kilka okresów częstotliwości mierzonej. Wadą tego rozwiązania jest bardzo ograniczony obszar zbieżności (równy górnej połowie zakresu przetwornika C/f). Habibullah i inni [1] przedstawili koncepcję opartą na tzw. arytmetyce impulsowej (ang. *pulse-rate arithmetic*), wykorzystując dwa kaskadowo połączone przetworniki C/f; czas przetwarzania zredukowano wprawdzie do jednego okresu częstotliwości mierzonej, jednak trudno jest określić dokładność tej metody (kilka najmłodszych bitów wyniku podlega ciągłym oscylacjom w stanie ustalonym). Nieznański [3] zaproponował adaptację metody kompensacji wagowej, szeroko stosowanej w przetwarzaniu analogowo-cyfrowym (A/C), do przetwarzania f/C. Metoda jest dobrze uwarunkowana i bezwzględnie zbieżna w czasie n okresów przetwarzanej częstotliwości, gdzie n jest równe liczbie bitów wynikowej reprezentacji cyfrowej. Rolę przetwornika C/f w wyżej wymienionych rozwiązaniach pełnił tzw. podzielnik częstotliwości (ang. *binary rate multiplier*). Dalsza penetracja możliwości przeniesienia metod stosowanych w przetwarzaniu A/C na grunt przetwarzania f/C zaowocowała propozycją przetwornika z bezpośrednim porównaniem równoległym (Nieznański [4]). Realizacja tej metody za pomocą technologii z połowy lat 80-tych wymagała bardzo dużej liczby układów scalonych średniej skali integracji. Poza tym sprzętowe algorytmy przetwarzania ogólnie ustępowały wówczas miejsca algorytmom programowym realizowanym za pomocą mikroprocesorów. W ostatnich latach obserwuje się jednak bardzo dynamiczny rozwój technologii programowalnych układów logicznych (PLD) i towarzyszącą mu tendencję do łączenia w jednym systemie sterowania układów mikroprocesorowych (zwłaszcza procesorów sygnałowych) i modułów PLD. Wydaje się, że w dzisiejszym kontekście technologicznym warto ponownie rozważyć algorytm przetwarzania f/C z bezpośrednim przetwarzaniem równoległym i temu zagadnieniu poświęcony jest niniejszy artykuł.

2. ZASADA DZIAŁANIA PRZETWORNIKA

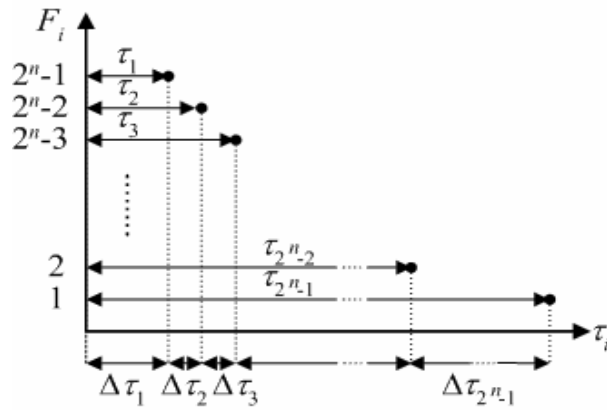
Idea prezentowanego przetwornika wywodzi się z zasady działania przetworników A/C z bezpośrednim porównaniem równoległym (ang. *flash A/D converters*). Bezpośrednie porównanie równoległe polega na jednoczesnym wygenerowaniu wszystkich możliwych wyników przetwarzania i porównaniu ich z wartością przetwarzaną. W przypadku przetwarzania f/C możliwe jest równoczesne rozpoczęcie generacji 2^n przedziałów czasu odpowiadających możliwym długościom okresu mierzonego przy kwantowaniu n -bitowym. Start generacji wzorcowych odcinków czasu powinien być wyzwalany aktywnym (dodatnim lub ujemnym) zboczem impulsu przebiegu wejściowego. Następne aktywne zbocze wyznacza koniec danego okresu (odstępu między kolejnymi impulsami), więc w chwili jego wystąpienia zapisuje się w rejestrze wynikowym liczbę przypisaną temu przedziałowi wzorcowemu, który jest najbliższy mierzonemu okresowi. Jednocześnie ponownie wyzwała się generację 2^n przedziałów wzorcowych. Każdy przedział wzorcowy (T_i) zawiera pewną liczbę (τ_i) okresów zegara (T_{clk}), czyli

$$T_i = \tau_i \cdot T_{\text{clk}} \quad (1)$$

Aby uzyskać liniową zależność między częstotliwością mierzoną (f_x) a liczbą wyjściową, przedziały wzorcowe powinny spełniać warunek

$$\tau_i = 2^p / F_i \quad (2)$$

gdzie F_i oznacza częstotliwość wzorcową odpowiadającą przedziałowi wzorcowemu τ_i , przy czym $F_i = 2^n - i$, $i=1,2,\dots, 2^n - 1$; p jest liczbą całkowitą, której wartość jest ustalana w sposób wyjaśniony w dalszej części rozdziału. Zależność między F_i i τ_i zilustrowano na rys.1, gdzie pokazano również, że przedziały wzorcowe τ_i można łatwo generować jako sumy przyrostów przedziałów wzorcowych $\Delta\tau_i$.

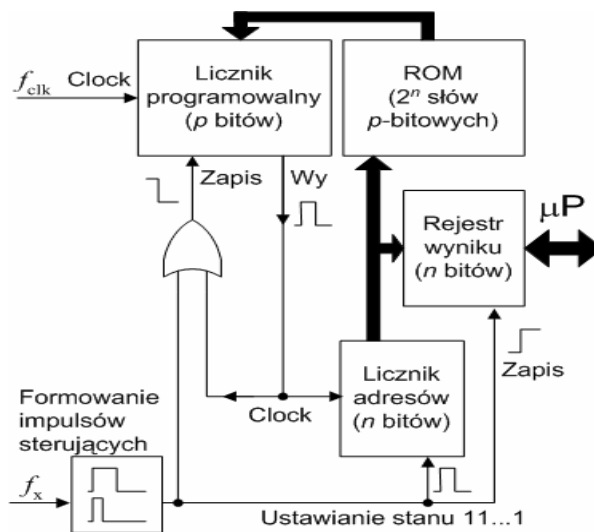


Rys. 1. Zależności pomiędzy wzorcowymi okresami τ_i i wzorcowymi przyrostami okresu $\Delta\tau_i$ a częstotliwościami wzorcowymi F_i .

$$\tau_i = \sum_{j=1}^i \Delta\tau_j \quad (3)$$

A zatem, chociaż generacja przedziałów wzorcowych jest z założenia równoległa (w tym sensie, że start generacji wszystkich przedziałów następuje w tej samej chwili czasu), może być zrealizowana w sposób szeregowy - jako generacja odpowiednich przyrostów czasu. Wystarczy w tym celu zastosować jeden licznik programowany zliczający w dół od wartości początkowych równych kolejno $\Delta\tau_1, \Delta\tau_2, \Delta\tau_3, \dots$ itd. Pożądaną zależność pomiędzy przedziałami wzorcowymi a liczbami wyjściowymi uzyskuje się przez przypisanie wartości F_i , jako częstotliwości wzorcowej, i -tej operacji ładowania licznika. W praktyce takie przypisanie można zrealizować za pomocą pamięci ROM, dla której F_i stanowi adres, zaś $\Delta\tau_i$ jest zawartością komórki o adresie F_i . Odpowiednią sekwencję czasową adresów (od najwyższego do najniższego) można uzyskać za pomocą licznika o pojemności 2^n zliczającego w dół. Porównanie okresu przebiegu wejściowego z przedziałami wzorcowymi sprowadza się do wyboru (zatrzaśnięcia w rejestrze wyniku) aktualnej wartości F_i przez kolejne aktywne zbrocze przebiegu wejściowego. Zatrzaśnięcie

danej wartości F_i wskazuje, że okres przebiegu wejściowego jest krótszy od τ_i , a dłuższy od τ_{i-1} . Schemat blokowy przetwornika działającego zgodnie z opisaną zasadą przedstawiono na rys. 2. Skwantowane wartości przedziałów $\Delta \tau_i$ są zapamiętane w kolejnych komórkach pamięci ROM (poczynając od najwyższego adresu). Dodatkowo zbocze każdego impulsu wejściowego ustawia stan początkowy licznika adresów równy 2^n-1 (czyli 11...1 binarnie). Wówczas do licznika programowalnego ładowana jest wartość $\Delta \tau_1$ i następuje odliczanie pierwszego przedziału wzorcowego. Początkowy stan licznika adresów jest zarazem najwyższą wartością kodu wyjściowy przetwornika; wartość ta staje się wynikiem przetwarzania wówczas, gdy okres częstotliwości mierzonej f_x nie przekracza 2^n-1 taktów zegara. Jeśli okres mierzony jest dłuższy, licznik programowalny generuje—po odliczeniu $\Delta \tau_1$ taktów zegara—impuls wyjściowy doprowadzony do wejścia zegarowego licznika adresowego, w związku z czym następuje zmniejszenie stanu licznika adresowego do wartości 2^n-2 . Wartość ta staje się wynikiem przetwarzania jeśli kolejne zbocze przebiegu mierzonego występuje przed odliczeniem przez licznik programowalny przedziału $\Delta \tau_2$. W przeciwnym razie na wyjściu licznika programowalnego pojawia się kolejny impuls i stan licznika adresowego zmniejsza się do wartości 2^n-3 . Innymi słowy, odliczanie kolejnych przyrostów przedziałów wzorcowych trwa do momentu wystąpienia kolejnego dodatniego zbocza przetwarzanego przebiegu.



Rys. 2. Schemat blokowy przetwornika

Wraz z wystąpieniem kolejnego zbocza następują—niemal równocześnie—trzy czynności: zapis stanu licznika adresowego do rejestru wyniku przetwarzania, ponowne ustawienie maksymalnej wartości licznika adresowego oraz załadowanie licznika programowalnego wartością $\Delta \tau_1$ z pamięci ROM. Przedziały $\Delta \tau_i$ mogą przyjmować jedynie wartości całkowite. Ponieważ tablicowanie tych wartości przebiega off-line, korzystnie jest zastosować raczej kwantowanie przez zaokrąglenie niż obcinanie. Takie też podejście przyjęto w niniejszej pracy. Aby uzyskać faktyczną rozdzielczość przetwarzania zgodną z założoną (tj. n bitów), wszystkie przedziały wzorcowe odpowiadające różnym indeksom i powinny mieć różne długości, także po zaokrągleniu. A zatem musi być spełniony warunek

$$\lceil \tau_i \rceil_{rounded} \neq \lceil \tau_j \rceil_{rounded} \quad \text{dla } i \neq j \quad (4)$$

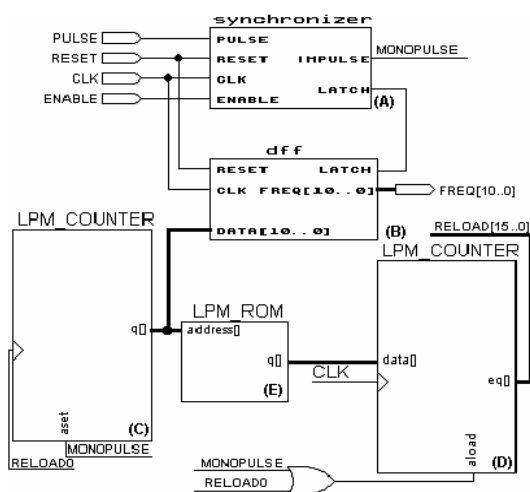
Powyższy warunek można też zapisać w następującej formie

$$|\tau_i - \tau_j| \geq 1 \quad \text{dla } i \neq j \quad (5)$$

Dla $n \geq 3$, a więc dla wszystkich przypadków mających znaczenie praktyczne, można łatwo pokazać, że warunek (5) jest spełniony jeśli $p \geq 2n$.

3. REALIZACJA PRZETWORNIKA W UKŁADZIE PLD

Na rys.3 przedstawiono schemat przetwornika zrealizowanego w module CPLD typu ACEX-1k firmy Altera.



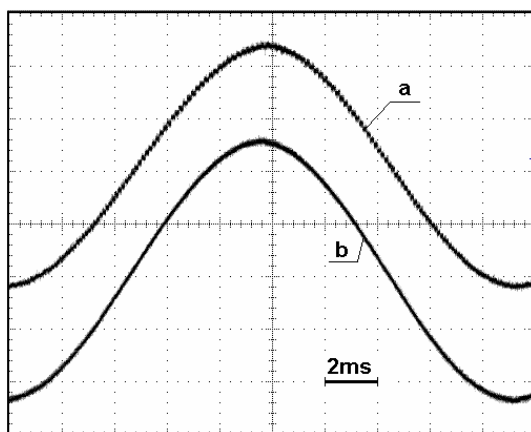
Rys. 3 . Schemat realizacji przetwornika f/C w module CPLD ACEX-1k; (A) układ formowania impulsów sterujących, (B) rejestr wyniku, (C) 11-bitowy licznik adresów, (D) 22-bitowy licznik programowalny, (E) tablica przyrostów przedziałów wzorcowych

Realizacja bloków (A) – (D) wymagała jedynie ok. 2% zasobów logicznych modułu. Natomiast blok (E), czyli tablicę przyrostów okresów wzorcowych (odpowiednik bloku ROM z rys.2), zrealizowano wykorzystując dostępne w module bloki pamięciowe EAB (w układzie ACEX-1k jest 12 bloków EAB, każdy o pojemności 4096 bitów). Realizacja przetwornika 11-bitowego w układzie ACEX-1k wymaga 91% tych zasobów, zaś w układzie CYCLONE tylko 15,2 % (składają rzadko wykorzystywanych do innych zastosowań). Większa rozdzielczość przetwornika wymaga jedynie większych zasobów pamięciowych. Należy jednak pamiętać, że zasoby pamięciowe (bloki SDRAM) tanich układów PLD są ograniczone. Górna częstotliwość sygnału wejściowego związana jest z parametrami czasowymi użytego układu PLD oraz rozdzielczością przetwornika. Projekt przetwornika z rys.3 zrealizowano w środowisku projektowym MAX+PLUSII.

Częstotliwość taktowania wynosi 25 MHz, co przy 11-bitowej rozdzielczości pozwala na pomiar częstotliwości w zakresie 0 - 12 kHz.

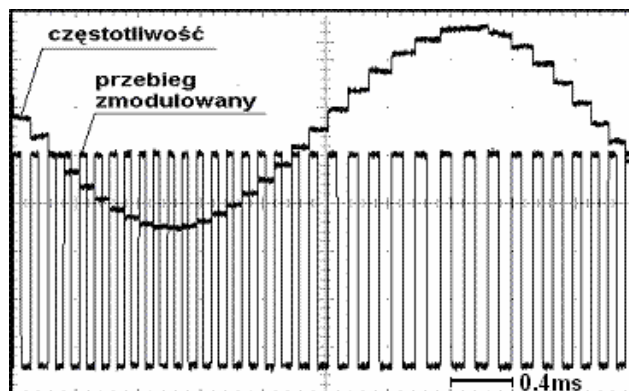
4. WYNIKI EKSPERYMENTALNE

Dla ułatwienia obserwacji i rejestracji oscyloskopowych, wyjścia przetwornika połączono z przetwornikiem cyfrowo-analogowym (C/A). Na rysunkach 4 – 6 przedstawiono przebiegi ilustrujące możliwości rozważanego przetwornika. Przetwarzane przebiegi prostokątne były modulowane częstotliwościowo dla uzyskania szybkich zmian mierzonej częstotliwości.



Rys. 4. Przebieg modulujący (b) i odpowiadająca mu rekonstrukcja (z przesunięciem w celu porównania) z przebiegu zmodulowanego (a)

Na rys.4 pokazano przebieg wyjściowy przetwornika f/C (obserwowany jako napięcie na wyjściu przetwornika C/A) dla przypadku, gdy sygnałem przetwarzanym był przebieg prostokątny o częstotliwości modulowanej przebiegiem sinusoidalnym. Innymi słowy, przebieg wyjściowy przetwornika f/C stanowi rekonstrukcję sygnału modulującego. Rys. 5 przedstawia przebieg prostokątny zmodulowany częstotliwościowo sygnałem sinusoidalnym. Dla większej przejrzystości ilustracji odpowiednio dobrano stosunki częstotliwości modulującej i modulowanej. Przetwornik jest szczególnie predestynowany do zastosowań napędowych (szybki pomiar prędkości za pomocą przetwornika obrotowo-impulsowego). Po uzupełnieniu o przetwornik C/A, może również pełnić funkcję szybkiego przetwornika częstotliwości na napięcie.



Rys. 5. Przebieg prostokątny zmodulowany częstotliwościowo sygnałem sinusoidalnym oraz wyjście przetwornika f/C

5. LITERATURA

- [1] Habibullah B., Singh H., Soo K.L., Ong L.C.: A new digital speed transducer. *IEEE Trans. Ind. Electron. Control Instrum.*, vol. 25, 1978, pp.339-342.
- [2] Jönsson K., Lockley R., Vallis J.: Digital speed control using ASEA's DS-8 system. *ASEA Journal*, vol. 49, 1976, pp.123-126.
- [3] Nieznański J.: Successive approximation frequency-to-digital converter for motor speed measurement. *Electronics Letters*, vol. 22, 1986, pp.794-795.
- [4] Nieznański J.: Fast frequency to digital converter. *International Journal of Electronics*, vol. 66, No. 1, 1989, pp.159-162.

ALGORYTM SZYBKIEGO PRZETWARZANIA CZĘSTOTLIWOŚCIOWO-CYFROWEGO W STRUKTURZE PLD DLA PRZETWORNIKÓW OBROTOWO-IMPULSOWYCH

A simple method for fast frequency-to-digital conversion is presented, capable of performing the conversion during a single period of the measured signal. A practical implementation of the converter is outlined, based on an ACEX-1K programmable logic device from Altera. The proposed method can be used, inter alia, in fast motor speed measurement and frequency-to-analog conversion.

