

PROJEKT UKŁADU ELEKTRONIKI FRONT-END DO ODCZYTU DETEKTORÓW PIKSELOWYCH OPARTY NA STRUKTURZE INWERTERA

Rafał Kleczek, Piotr Otfinowski

Akademia Górniczo-Hutnicza w Krakowie, Wydział Elektrotechniki Automatyki Informatyki i Elektroniki, Katedra Metrologii i Elektroniki

Streszczenie. Minimalizacja zajmowanej powierzchni krzemu przy jednoczesnym zachowaniu funkcjonalności układu oraz minimalizacja poziomu rozpraszanej mocy i szumów własnych to wymagania stawiane nowoczesnym systemom odczytowym elektroniki front-end. Prezentujemy elektronikę front-end dedykowaną do odczytu detektorów pikselowych zaimplementowaną w dwóch technologiach submikronowych (180 nm i 130 nm CMOS). Zaprojektowany układ charakteryzuje się niskim poziomem rozpraszanej mocy $P = 13 \mu W$, niskimi szumami własnymi $ENC = 59e^- rms$ oraz zajmuje niewielką powierzchnię krzemu $A = 850 \mu m^2$.

Słowa kluczowe: elektronika niskoszumna, układ CMOS elektroniki odczytu front-end

THE DESIGN OF READOUT FRONT-END ELECTRONICS FOR PIXEL DETECTOR BASED ON INVERTERS

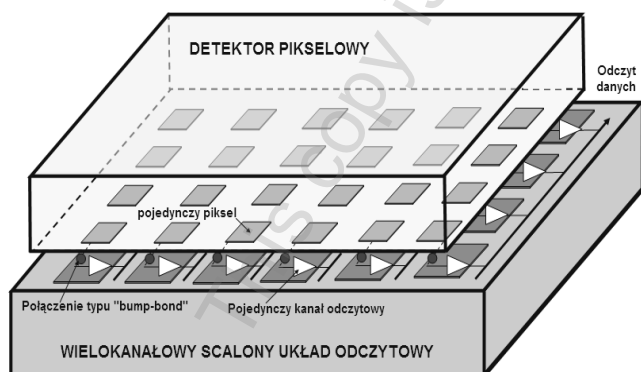
Abstract. Minimization of the silicon occupied area and maintenance both functionality and analog parameters of readout front-end electronics at desirable level at same time are very challenging in the modern pixel applications. We present the design of readout front-end electronics dedicated for pixel detectors based on an inverter amplifier implemented in two submicron technologies (130 nm and 180 nm CMOS). It is characterized by very low power dissipation level $P = 13 \mu W$, low noise performance $ENC = 59e^- rms$ and small occupied chip area $A = 850 \mu m^2$.

Keywords: low noise electronics, CMOS front-end readout

Wstęp

Promieniowanie X znajduje obecnie szerokie zastosowanie w medycynie, przemyśle i w eksperymentach naukowych. Począwszy od aplikacji gdzie informacja z pojedynczego detektora promieniowania była odbierana przez pojedynczy układ odczytowy, poprzez intensywny rozwój technologii wytwarzania układów scalonych VLSI (ang. *Very Large Scale Integration*) na przestrzeni ostatnich dekad, obecnie budowane są systemy gdzie sygnały wygenerowane w detektorze skonstruowanym z niewielkich rozmiarów elementów detekcyjnych są odbierane przez pojedyncze tory elektroniki odczytu zaimplementowane w wielokanałowych dedykowanych układach scalonych ASIC (ang. *Application Specific Integrated Circuit*). Nieustanny rozwój technologii VLSI pozwala również budować coraz to szybsze, o niższym poziomie rozpraszanej mocy i szumów własnych układy odczytowe.

Zastosowanie detektora pikselowego w technikach obrazowania opartych na promieniowaniu X, pozwala otrzymać dwuwymiarowy obraz informujący o rozkładzie przestrzennym padającego promieniowania X. Droga do pozyskiwania coraz wyższej rozdzielczości obrazu prowadzi poprzez zwiększanie ilości elementów detekcyjnych w danej objętości detektora, czyli poprzez zmniejszanie rozmiarów pojedynczego piksela. Z każdym pojedynczym pikselem półprzewodnikowego detektora skrajnym jest niezależny tor elektroniki odczytu, których rozmiary muszą być zgodne. Rys. 1 przedstawia ideę hybrydowej architektury pikselowego systemu odczytowego, gdzie połączenia pomiędzy elektrodami detektora a układem odczytu są wykonane techniką typu „bump-bond”.

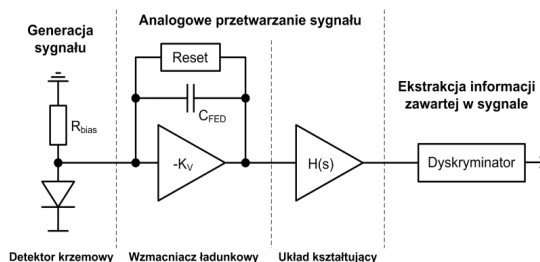


Rys. 1. Architektura hybrydowego pikselowego systemu odczytowego

Zatem, zmniejszając rozmiar pojedynczego piksela detektora należy zmniejszyć rozmiar pojedynczego kanału zawierającego jednocześnie utrzymanie wymaganego poziomu rozpraszanej mocy, wartości szumów własnych oraz rozrzutu parametrów analogowych pomiędzy kanałami projektowanego układu to wiodącym nurt w opisywanej gałęzi technik obrazowania cyfrowego opartych na promieniowaniu X [1, 3, 5-7].

1. Architektura toru elektroniki odczytu front-end

Architektura prezentowanego toru elektroniki front-end do odczytu sygnałów z detektora pikselowego została przedstawiona na rys. 2.

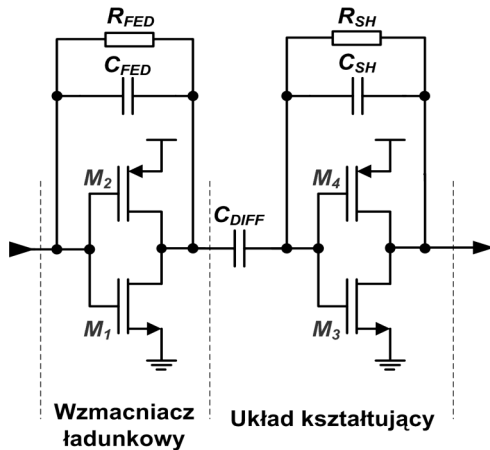


Rys. 2. Architektura prezentowanego toru elektroniki odczytu front-end

Padające fotony promieniowania X na spolaryzowaną w kierunku zaporowym diodę (detektor) deponują wskutek efektu fotoelektrycznego swoją energię w detektorze, generując prawie punktowo odpowiednią ilość par elektron-dziura. Wygenerowana ilość par elektron-dziura jest proporcjonalna do energii padających fotonów. Średni współczynnik konwersji wynosi 3,67 eV na powstanie jednej pary. Wygenerowany w ten sposób ładunek jest zbierany przez elektrody detektora: anoda przyciąga dziury, katoda elektronów, a następnie zostaje przetworzony przez stwarzyszony z detektorem tor elektroniki odczytu. W przypadku toru elektroniki front-end pracującego z prądem upływu detektora nie stosuje się pojemności sprzęgającej elektrodę detektora z wejściem układu odczytowego. Aby sygnał prądowy wygenerowany przez detektor wpłynął do wzmacniacza ładunkowego CSA (ang. *Charge Sensitive Amplifier*), pojemność widziana z jego wejścia musi być dużo większa niż pojemność krzemowego detektora C_{DET} . Pojemność detektora to jeden z kluczowych parametrów systemu. Wpływający do CSA sygnał prądowy jest całkowany przez pojemność sprzężenia zwrotnego C_F , w wyniku czego na wyjściu wzmacniacza ładunkowego otrzymywany jest skok napięcia. Zadaniem układu kształtującego (ang. *Pulse Shaping Amplifier*) jest uformowanie

wyjściowego przebiegu napięciowego, który z analogowo przetworzonego sygnału umożliwi z zadaną rozdzielczością ekstrakcję informacji o wykrytym promieniowaniu. Przetworzony sygnał analogowy może być bezpośrednio wysłany na zewnątrz układu scalonego lub przetworzony na postać cyfrową, zapamiętany w lokalnej pamięci RAM i wysłany do kolejnego układu systemu obrazowania cyfrowego. W zależności od wymaganej informacji (czas pojawienia się fotonów promieniowania X, ich natężenie oraz energia przez nie niesiona) napięciowy sygnał z wyjścia układu kształtującego może być podany na dyskryminator lub przetwornik analogowo-cyfrowy.

Niniejsza praca zawiera opis układu elektroniki odczytu front-end zaprojektowanego w dwóch technologiach submikronowych CMOS (CHRT 130 nm i UMC 180 nm). Mając na uwadze ograniczenie zajmowanej powierzchni krzemu przez analogową część układu odczytowego, należy zaprojektować takie rdzenie wzmacniaczy, które spełnią wymagania projektowe oraz bez przeszkód będą mogły być zastosowane do budowy poszczególnych stopni układu. Droga do spełnienia przedstawionych założeń jest zastosowanie wzmacniaczy opartych na strukturze inwerterów [1, 2, 4]. Schemat elektryczny toru odczytu zbudowanego przy pomocy inwerterów został przedstawiony na rys. 3. Prezentowany układ jest zbudowany ze wzmacniacza ładunkowego, układu kształtującego, którym jest filtr pseudo-gaussowski typu CR-RC oraz dyskryminatora.



Rys. 3. Schemat elektryczny prezentowanego toru elektroniki odczytu front-end

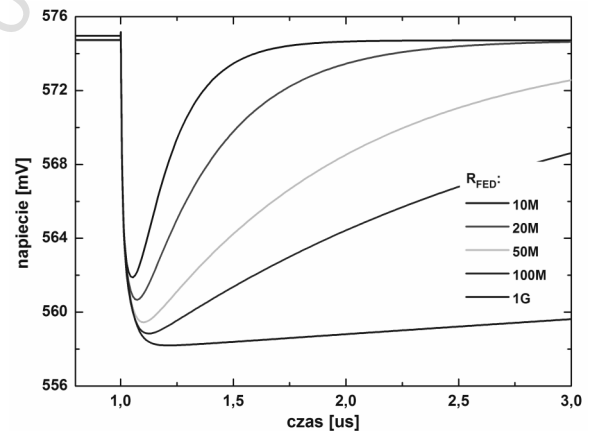
Kluczową kwestią przy realizacji projektu jest wymiarowanie tranzystorów zastosowanych w rdzeniu oraz dobór odpowiedniego napięcia zasilania V_{DD} . Zwiększając długość kanału tranzystora L oraz zmniejszając jego szerokość W , zmniejsza się natężenie prądu przepływającego przez inwerter, zatem mniejsza moc jest przez niego rozpraszana. Ze względu na rozrzuty wymiarów tranzystorów w trakcie procesu wytwarzania struktur scalonych nie jest wskazane stosowanie najmniejszych, dostępnych w danej technologii ich wymiarów. Dodatkowo należy otrzymać wystarczająco dużą wartość pola wzmocnienia GBW (ang. *gain-bandwidth produkt*) oraz wzmocnienia napięciowego inwertera K_V . Mając na uwadze powyższe ograniczenia wymiary zastosowanych w projekcie tranzystorów wynoszą: $W_{NMOS} = 2 \mu\text{m}$, $L_{NMOS} = L_{PMOS} = 1.5 \mu\text{m}$, $W_{PMOS} = 6 \mu\text{m}$, a napięcie zasilania $V_{DD} = 1.2 \text{ V}$.

Tabela 1. Parametry wzmacniacza opartego na inwerterze w funkcji napięcia zasilania V_{DD}

technologia	130 nm			180 nm		
	K_V [V/V]	GBW [GHz]	P_{DISS} [μW]	K_V [V/V]	GBW [GHz]	P_{DISS} [μW]
0.8	88.4	0.28	0.29	166	0.12	0.15
0.9	93.9	0.59	0.77	164	0.31	0.49
1.0	94	0.99	1.79	156	0.61	1.32
1.1	90.4	1.37	3.52	145	0.99	2.94
1.2	85.6	1.74	5.94	133	1.37	5.59
1.3	80.9	2.09	9.29	122	1.75	9.42
1.4	77.1	2.43	13.6	113	2.11	14.6
1.5	73.9	2.75	18.8	106	2.47	21.2

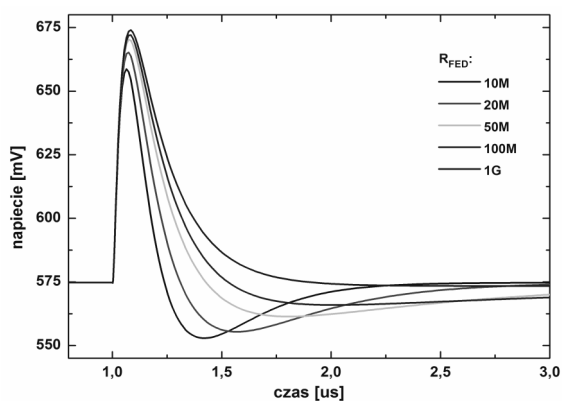
Tab. 1 przedstawia parametry projektowanych wzmacniaczy opartych na inwerterach w funkcji napięcia zasilania V_{DD} dla dwóch testowanych technologii CMOS. Dla wybranej wartości napięcia zasilania V_{DD} nie ma praktycznie żadnej różnicy w poziomach rozpraszanej mocy przez inwertery pomiędzy dwoma testowanymi technologiami CMOS. Występuje znaczna różnica pomiędzy wartościami wzmocnień napięciowych K_V rdzeni przy niewielkiej różnicy pól wzmocnień GBW. Wartość wzmocnienia napięciowego K_V odgrywa istotną rolę w efektywności zbierania ładunku wygenerowanego w detektorze przez elektronikę odczytu front-end. Im większa wartość pojemności wejściowej elektroniki odczytu (w przybliżeniu $C_{IN} = K_V \cdot C_{FED}$) od wartości pojemności własnej detektora C_{DET} , tym efektywniej zbierany jest wygenerowany ładunek.

Sprzężenie zwrotne oparte na inwerterze wzmacniacza ładunkowego zbudowane jest z pojemności C_{FED} oraz rezystancji R_{FED} . Rezystancja R_{FED} jest zrealizowana jako tranzystor MOS pracujący w obszarze liniowym, którego efektywna rezystancja jest kontrolowana potencjałem jego bramki i mieści się w zakresie od kilku $\text{M}\Omega$ do kilku $\text{G}\Omega$. Ze względu na rząd wartości stosowanej rezystancji R_{FED} budowa jej za pomocą rezystorów dostępnych w danej technologii jest wysoce niewskazana, ponieważ zajmowałyby one dużą powierzchnię krzemu. Aby wzmocnienie wzmacniacza ładunkowego było mniej wrażliwe na rozrzut efektywnych wymiarów inwertera oraz pojemność wejściowa elektroniki odczytu była odpowiednio duża dobrano pojemność $C_{FED} = 15 \text{ fF}$. Wpływ rezystancji R_{FED} na kształt wyjściowych przebiegów napięciowych wzmacniacza ładunkowego jest przedstawiony na rys. 4. Stosowanie małych wartości rezystancji R_{FED} powoduje szybsze rozładowanie pojemności C_{FED} (stała czasowa przebiegu $\tau = R_{FED} \cdot C_{FED}$), czyli możliwość pracy z częściej pojawiającymi się na wejściu ładunkami, a z drugiej strony szumy widziane na wyjściu elektroniki front-end są zależne od wartości rezystancji R_{FED} (im większa jej wartość tym mniejsze szumy). Tak ukształtowany na wyjściu wzmacniacza ładunkowego przebieg jest podawany na wejście układu kształtującego.



Rys. 4. Przebiegi na wyjściu wzmacniacza ładunkowego w zależności od wartości rezystancji sprzężenia zwrotnego R_{FED} dla ładunku wejściowego $q_{in} = 1/3 \text{ fC}$

Układem kształtującym zastosowanym w projekcie jest filtr pasmowo-przepustowy typu CR-RC, którego rola polega na: wzmocnieniu przetwarzanego sygnału, poprawie stosunku sygnału do szumu SNR (ang. *Signal-to-Noise Ratio*) (wzmocnienie sygnałów z zadanego pasma częstotliwości przy jednoczesnym odfiltrowaniu szumów o częstotliwościach nie należących do pasma przepustowego) oraz kształtowaniu przebiegu napięciowego, którego czas trwania jest zależny od rodzaju zastosowanego filtra i jego stałej czasowej. Rezystancja sprzężenia zwrotnego występująca w układzie kształtującym $R_{SH} = 10 \text{ M}\Omega$ (tranzystor MOS pracujący w obszarze liniowym), a pojemność $C_{SH} = 15 \text{ fF}$. Wzmocnienie napięciowe tego stopnia jest równe stosunkowi pojemności $C_{DIFF} = 165 \text{ fF}$ oraz C_{SH} i zostało dobrane tak, aby amplituda na wyjściu układu kształtującego wynosiła 100 mV dla ładunku wejściowego $q_{in} = 1/3 \text{ fC}$. Rys. 5 przedstawia przebiegi na wyjściu układu kształtującego w zależności od wartości rezystancji R_{FED} występującej w sprzężeniu zwrotnym wzmacniacza ładunkowego.



Rys. 5. Przebiegi na wyjściu układu kształtującego w zależności od wartości rezystancji sprzężenia zwrotnego RFED wzmacniacza ładunkowego

Z punktu widzenia parametrów czasowych (czas osiągnięcia wartości szczytowej t_p (ang. *peaking time*), czas trwania impulsu) oraz szumowych krytycznym elementem toru jest rezystancja R_{FED} występująca w sprzężeniu zwrotnym wzmacniacza ładunkowego. Poziom szumów własnych dla tego typu aplikacji określany jest jako ENC (ang. *Equivalent Noise Charge*). Parametr ten jest definiowany jako ilość ładunku wejściowego dla której stosunek sygnału do szumu SNR na wyjściu układu jest równy 1. Szumy własne układu stanowią o rozdzielczości pomiarowej całego systemu odczytowego, dlatego stanowią one bardzo ważne wymaganie projektowe. Szumy ENC elektroniki odczytu front-end mogą być wyrażone za pomocą trzech składowych:

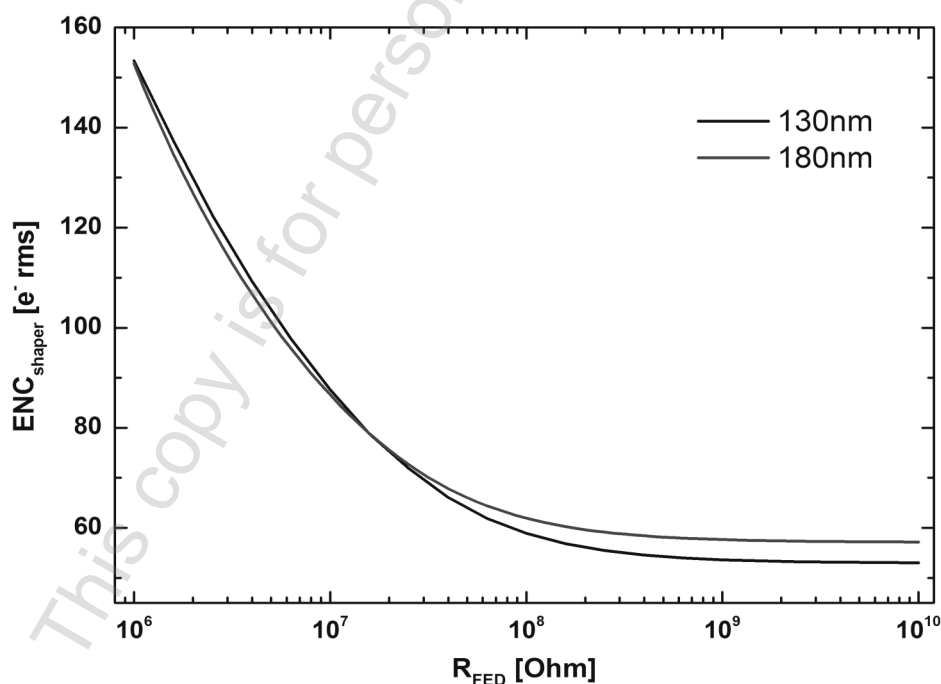
$$ENC^2 = ENC_i^2 + ENC_v^2 + ENC_f^2 \quad (1)$$

gdzie zależność na prądową równoległą składową szumową ENC_i^2 dla filtru typu CR-RC jest wyrażona jako:

$$ENC_i^2 = 0.92 \cdot t_p \cdot \left(2qI_{det} + \frac{4kT}{R_{FED}} \right) \quad (2)$$

gdzie: t_p – czas osiągnięcia wartości szczytowej, q – ładunek elementarny, I_{det} – prąd upływu detektora, k – stała Boltzmanna, T – temperatura.

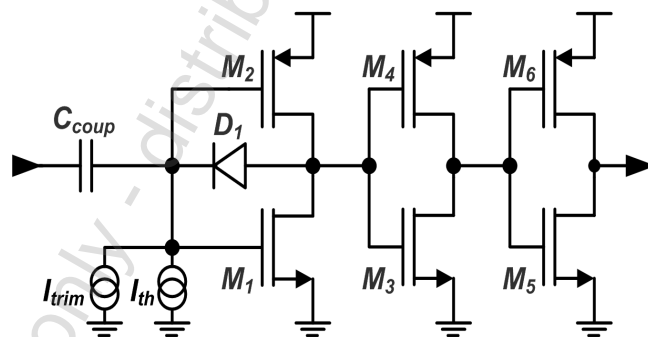
Rys. 6 przedstawia wpływ wartości rezystancji R_{FED} na poziom szumów własnych ENC elektroniki front-end na wyjściu układu kształtującego w zależności od zastosowanej technologii.



Rys. 6. Wartość ENC na wyjściu układu kształtującego w funkcji rezystancji RFED sprzężenia zwrotnego wzmacniacza ładunkowego

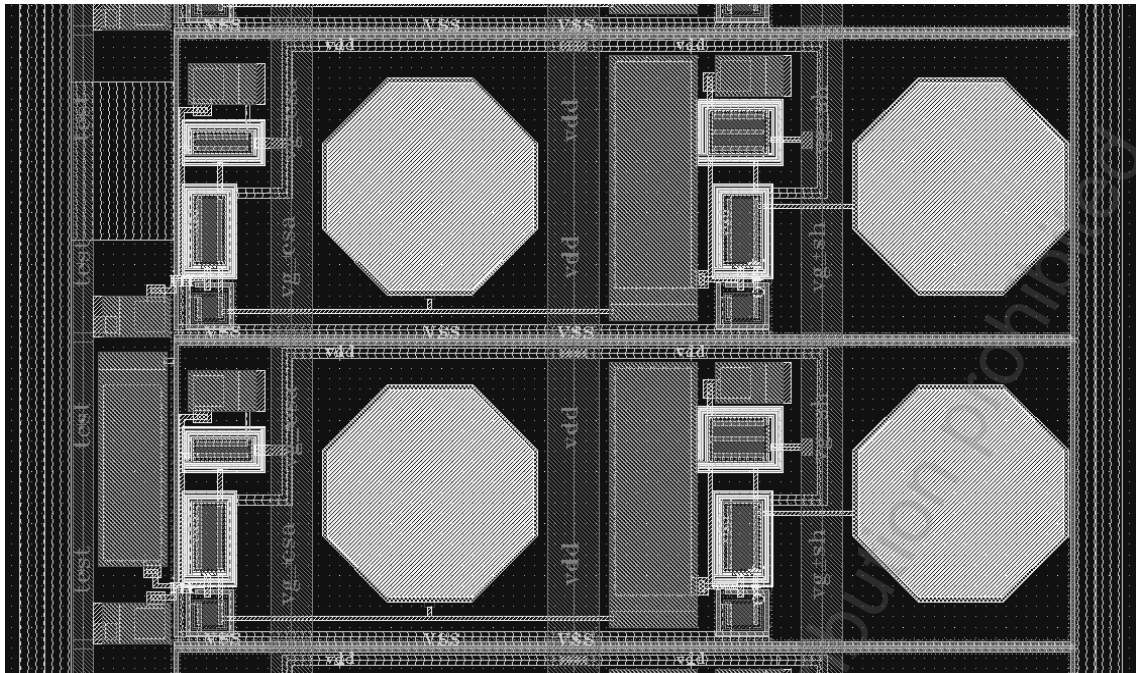
Praca z mniejszą częstotliwością impulsów wejściowych pozwala osiągać niższe wartości szumów ENC, ponieważ rezystor R_{FED} może przyjmować wtedy duże wartości. Zatem z punktu widzenia optymalizacji szumowej wskazane są wyższe wartości rezystancji R_{FED} , a z drugiej strony powodują one szybsze nasycenie wzmacniacza ładunkowego (dłuższa stała czasowa, czyli wolniejsze rozładowanie pojemności C_{FED}) dla pojawiających się z dużą częstotliwością ładunków wejściowych q_{in} . W przypadku pracy z dużą częstotliwością impulsów wejściowych przy jednoczesnym wymaganym niskim poziomie szumów własnych należy zastosować układ resetu w pętli sprzężenia zwrotnego wzmacniacza ładunkowego.

W celu przetworzenia informacji analogowej na postać cyfrową sygnał wyjściowy układu kształtującego jest podawany na wejście dyskryminatora, którego architektura jest przedstawiona na rys. 7. Dyskryminator jest sprzężony AC (pojemność C_{COUP}) z poprzedzającym go stopniem i generuje binarną informację o przekroczeniu przez sygnał zadanego progu. Próg dyskryminacji jest ustalany w pierwszym inwerterze jako napięcie przewodzenia diody D_1 . Napięcie to jest kontrolowane poprzez globalny prąd o wartości I_{th} oraz niezależnie regulowany w każdym kanale prąd I_{trim} , który pozwala eliminować rozrzut parametrów pomiędzy kanałami.



Rys. 7. Schemat elektryczny prezentowanego dyskryminatora

W wyniku porównania zaprojektowanych układów w dwóch różnych technologiach CMOS do implementacji wybrano proces UMC 180 nm. Zaimplementowany został 16-to kanałowy prototypowy układ scalony, którego dwa sąsiednie kanały zostały przedstawione na rys. 8.



Rys. 8. Plan mask prezentowanego toru elektroniki odczytu front-end

Pojedynczy kanał zawiera część analogową opisaną w tekście (wzmacniacz ładunkowy i układ kształtujący). Prototypowa struktura zawiera 5 padów łączących układ scalony ze światem zewnętrznym (masa – V_{SS} , napięcie zasilania – V_{DD} , impuls testowy – V_{TEST} oraz potencjały bramek tranzystorów w sprzężeniach zwrotnych wzmacniacza ładunkowego i układu kształtującego stosowane do ustawiania efektywnych rezystancji R_{FED} i $R_{SH} - V_{GCSA}$ i V_{GSH}). Wewnątrz każdego kanału wyjścia wzmacniacza ładunkowego i układu kształtującego są dostępne do pomiaru dla świata zewnętrznego za pomocą tzw. punktów testowych (ang. *Probe Point*), które są widoczne na omawianym rysunku jako ośmiokątne foremne, a co bardzo ważne z punktu widzenia pomiarów obciążają obserwowane węzły układu niewielką pojemnością rzędu 80 fF. Połowa kanałów zawiera w swojej strukturze kondensator o wartości 100 fF dołączony do wejścia wzmacniacza ładunkowego, który reprezentuje pojemność C_{DET} detektora pikselowego.

2. Wnioski

Minimalizacja powierzchni zajmowanej przez układ przy jednoczesnym zachowaniu jego funkcjonalności oraz minimalizowaniu rozpraszanej mocy i poziomu szumów własnych to wymagania stawiane nowoczesnym układom odczytowym. Artykuł przedstawia układ elektroniki front-end dedykowanego do odczytu półprzewodnikowych detektorów pikselowych zaimplementowany w dwóch różnych technologiach submikronowych (180 nm i 130 nm CMOS), a którego najważniejsze z punktu widzenia projektu parametry zostały przedstawione w tab. 2.

Tabela 2. Parametry części analogowej zaprojektowanego układu elektroniki odczytu front-end

technologia	130 nm	180 nm
rozpraszana moc [μ W]	11.9	11.2
powierzchnia układu [μ m ²]	600	630
czas t_p [ns]	80	60
ENC [e^- rms] (dla $C_{DET} = 100$ fF)	59	62

Fizyczną implementację układu wykonano w technologii UMC 180 nm CMOS. Zaprojektowany układ charakteryzuje się niskim poziomem rozpraszanej mocy $P = 13\mu$ W, niskimi szumami własnymi ENC = $59e^-$ rms oraz zajmuje niewielką powierzchnię krzemu $A = 850\mu$ m².

Literatura

- [1] Dinapoli R., et al.: *A new family of pixel detectors for high frame rate X-ray applications*, Nuclear Instruments and Methods in Physics Research Section A, vol. 617, 2010, p. 384-386.
- [2] Horisberger R., Pitzl D.: *A novel readout chip for silicon strip detectors with analog pipeline and digitally controlled analog signal processing*, Nuclear Instruments and Methods in Physics Research Section A, vol. 326, 1993, p. 92-99.
- [3] Kraft P., et al.: *Characterisation and calibration of Pilatus detectors*. IEEE Transactions on Nuclear Science, vol. 56, no. 3, 2009, p. 758-764.
- [4] Kraft P.: *Characterization of the readout chip for the Pilatus 6M Detector*. Diploma thesis, ETHZ-IPP Internal Report 03, 2005, Switzerland.
- [5] Llopert X., Campbell M., Dinapoli R., San Segundo D., Pernigotti E.: *Medipix2: a 64-k Pixel Readout Chip With 55- μ m Square Elements Working in Single Photon Counting Mode*. IEEE Transactions on Nuclear Science, vol. 49, no. 5, 2002, p. 2279 - 2283.
- [6] Maj P., Grybos P., Szczygiel R.: *Development of a Fast Readout Chip in Deep Submicron Technology for Pixel Hybrid Detectors*. Proceedings of the 20th European Conference on Circuit Theory and Design (ECCTD 2011), 29-31 August 2011, Linköping, Sweden, p. 409-412.
- [7] Pangaud P., et al.: *First Results of XPAD3, a New Photon Counting Chip for X-Ray CT-Scanner with Energy Discrimination*. IEEE NSS-MIC 2007 Conference Record, vol. 1, p. 14-18.

Mgr inż. Rafał Kleczek

e-mail: rafal.kleczek@agh.edu.pl

Ukończył Akademię Górniczo-Hutniczą w 2009, kierunek: Elektronika i Telekomunikacja, specjalność: Mikroelektronika i aparatura biomedyczna. Obecnie jest na trzecim roku Studiów Doktoranckich na Wydziale EAIiE, AGH. Pracuje jako asystent w Katedrze Metrologii, AGH. Jego głównym zainteresowaniem naukowym jest projektowanie scalonych wielokanałowych układów elektroniki front-end do odczytu półprzewodnikowych detektorów promieniowania X.



Mgr inż. Piotr Otfinowski

e-mail: piotr.otfinowski@agh.edu.pl

Ukończył Akademię Górniczo-Hutniczą w 2009, kierunek: Elektronika i Telekomunikacja, specjalność: Sensory i mikrosystemy. Obecnie jest na trzecim roku Studiów Doktoranckich na Wydziale EAIiE, AGH. Pracuje jako asystent w Katedrze Metrologii, AGH. Jego głównym tematem badań naukowych są układy scalonych przetworników analogowo-cyfrowych.

