

Teodora Dimitrova-Grekow, Walery Sołowiew¹

PROBLEMY MINIMALIZACJI MOCY POBIERANEJ PRZEZ UKŁADY LOGIKI PROGRAMOWALNEJ

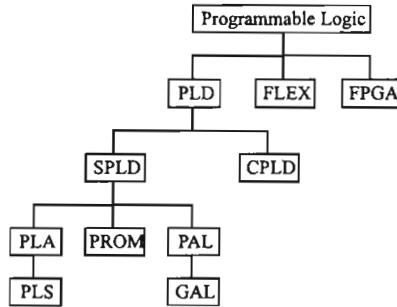
Streszczenie: Przedstawiona praca prezentuje problematykę energii w schematach logiki programowalnej. Pokazane są najpopularniejsze aspekty nowoczesnych metod minimalizacji mocy pobieranej przez schematy sekwencyjne. Analiza różnych metod pokazuje w najszerszej perspektywie możliwości badań dotyczących zarządzania energią pobieraną, konsumowaną i traconą.

Słowa kluczowe: energia konsumowana, utraty energii, ocena mocy, logika programowalna, kodowanie stanów, architektury energooszczędne

1. Wprowadzenie

Logika Programowalna znajduje coraz szersze zastosowanie w projektowaniu systemów elektronicznych i automatycznych. Przestrzeń jej zastosowania wzrasta w bardzo szybkim tempie. Trudno można odnaleźć współczesny system sterowania, w którym nie jest użyty chociażby jeden układ scalony typu PLD (Programmable Logic Device) albo FPGA (Field Programmable Gate Array).

¹ Wydział Informatyki, Politechnika Białostocka ul. Wiejska 45A, PL 15-300 Białystok, e-mail: teodora@ii.pb.bialystok.pl

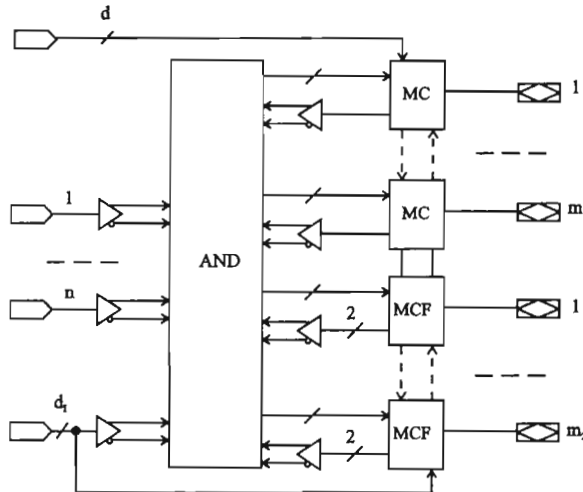


Rys. 1. Klasyfikacja układów logiki programowalnej

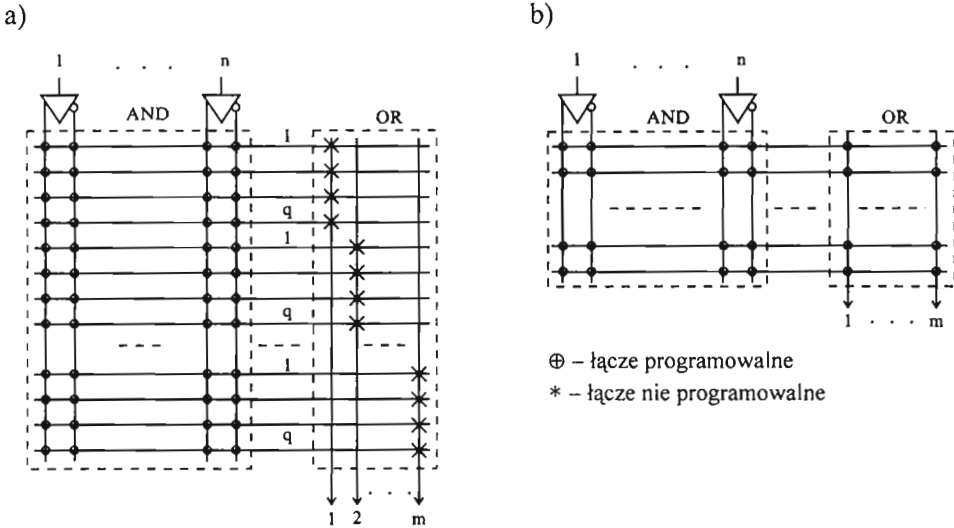
W rozwoju mikroelektroniki energia konsumowana spełniała zawsze bardzo istotną rolę. Równolegle z logiką programowalną rozwinęły się bardzo mocno metody, odwzorowujące pobieraną przez te układy energię. Specyfika większości opisanych w tym artykule metod jest ściśle związana ze strukturami układów.

Aby pokazać różnorodność typów układów logiki programowalnej, na rysunku 1 przedstawiono ich obowiązującą klasyfikację.

Rysunek 2 prezentuje przykładową strukturę układu PAL. Chociaż ten schemat nie odwzorowuje specyficznych charakterystyk innych struktur i podstruktur (patrz rys.1), można dzięki niemu zrozumieć niektóre przedstawione poniżej metody optymalizacji poboru i straty energii. Dokładna struktura wewnętrzna układów PLA i PAL (na poziome łącz elektrycznych) pokazana jest na rysunku 3.



Rys. 2. Schemat blokowy struktury układu PAL



Rys. 3. a) Struktura układów PAL; b) Struktura układów PLA

W niniejszym artykule rozpatrywane są metody z różnych poziomów technologicznych. Naszym celem jest usystematyzowanie najpopularniejszych znanych metod, aby pokazać perspektywy rozwoju dalszych badań naukowych w kierunku projektowania energooszczędnych i niezawodnych układów i urządzeń. Do opisu układów logiki programowalnej użyto, ze względu na przejrzystość, modelu automatu skończonego.

2. Analiza mocy na podstawie entropii [14], [22]

Metodą tą śledzi się procesy na poziomie bramek elektronicznych, by ocenić moc i wcześniej ostrzec o ewentualnych problemach związanych z energią. Jako miara średniej aktywności danego zaprogramowanego układu wykorzystywana jest entropia. Metoda ta została zaimplementowana i przetestowana na różnych standardowych przykładach.

Entropia sieci automatów skończonych równa się ich własnej informacji o komponentach sieci:

$$\begin{aligned}
 H(N) &= H(A^1, A^2, \dots, A^k) = I(A^1, A^2, \dots, A^k) = \\
 &= \sum I(A^i) - \sum I(A^i; A^j) + \sum I(A^i; A^j) + \dots + (-1)^{k-1} \sum I(A^i; A^j, \dots, A^k)
 \end{aligned}
 \tag{1}$$

Gdzie A^i jest i -tym komponentem automatu skończonego A , charakteryzującym się sieciami wejścia X^i , wyjścia Y^i , stanów wewnętrznych S^i , następnym stanów δ^i i funkcji wyjściowych λ^i ; przyjęte jest także $i < j < \dots < k$.

Jest to granica dolna entropii. Granica górna to:

$$H(N) = \sum_i I(A^i) = \sum_i H(A^i) \quad (2)$$

Na tej podstawie można rozróżnić dwa podejścia: pierwsze z nich bierze pod uwagę zbiorczą entropię osobnych komponentów przyjętych modeli. Drugie podejście uwzględnia również informację wymienioną między komponentami automatu skończonego i jest ono podejściem bardziej precyzyjnym. Ocena ta nie jest jednak pełna i wystarczająco dokładna, ponieważ nie odwzorowuje specyfiki technologicznego wykonania różnych układów scalonych. Nie jest brana również pod uwagę lokalizacja poszczególnych mikrokomórek, co ma duży wpływ na wydzielaną energię.

3. Metody oparte na strukturze logicznej

3.1. Kodowanie stanów

Metoda ta jest jednym z najpopularniejszych podejść. Celem jej jest zmniejszenie aktywności przełączeń poprzez zmniejszenie liczby przełączających się bramek. Definiowane są kodowania, żeby przedzielić kod binarny do każdego stanu symbolicznego.

Ze względu na różnorodność kodowania stanów można je podzielić według grup:

- Metody oparte na teorii grafów [3], [5], [11], [36]. Teoria grafów jest wykorzystywana do opisanie stanów i ich relacji. Na tej podstawie jest robiona ocena najkorzystniejszego kodowania stanów. Niektóre z pokazanych wyników są bardzo obiecujące, ale żadna z metod nie jest uniwersalna. Istnieją modyfikacje tego podejścia [17], [24], [25] które biorą pod uwagę grafy prawdopodobieństw przejścia przez dany stan, dzięki czemu osiągają lepsze wyniki. Mimo to można powiedzieć, że problem z wyborem kryterium oceny nie jest rozwiązany.
- Metody oparte na modelach Markova [4], [12], [21]. Autorzy próbują uzyskać optymalne kryteria oceny. W pracach tych pokazane są teoretyczne granice dla uśrednionej odległości Hamminga.
- Metody oparte na sieciach neuronowych [5]. Jest to propozycja kombinacji charakterystyk symulacji i sieci neuronowych Hopfielda. Graf automatu skończonego jest mapowany na sieć neuronową i sformułowana jest funkcja podziału energii. Wyniki eksperymentów są bardzo dobre.

- Metody oparte na algorytmach genetycznych [18]. Tu pojawia się równoległość algorytmów genetycznych, co znacznie wzbogaca rozwiązania zadań w wieloprocessorowym środowisku. Bardzo efektowne są także eksperymenty, korzystające ze specyficznych dla algorytmów genetycznych reprodukcji, skrzyżowań i mutacji.
- Multikodowanie [1], [2]. Każdemu stanowi może zostać przypisany więcej niż jeden kod. Zwiększa to możliwość wyboru liczby przełączających się równocześnie bramek, w zależności od kodu poprzedniego stanu. Takie podejście jednak prowadzi do zwiększenia liczby bitów, uczestniczących w każdym kodzie. Oprócz tego wymagana jest dodatkowa logika do zarządzania multikodami.

3.2. Mapowanie [6], [16], [23]

Często może się zdarzyć, że równocześnie aktywnych jest kilka stanów, zlokalizowanych w tym samym obszarze układu scalonego. Podobna sytuacja powoduje intensywne wydzielanie energii i może doprowadzić do spalenia układu. Mapowanie polega na znalezieniu optymalnego usytuowania każdego stanu albo pod-schematu automatu skończonego na układzie scalonym. Dodatkowym utrudnieniem pracy układu scalonego na poziomie sygnałów elektrycznych są niewykorzystane węzły (patrz rys. 2). Dodają one dodatkową pojemność pasożytniczą. Można to ominąć puszczając a priori sygnał aktywujący; potem optymalnie rekonfigurują się dane [16], [26]. Jednak pozostaje problem z wyborem sygnału wejściowego.

4. Metody oparte na strukturze fizycznej

4.1. Energooszczędne architektury [8], [9], [10], [15], [23], [26]

Metody te mają na celu zapewnienie niskiego pobierania mocy w VLSI. Wykorzystane są techniki z pipeline-architektury, pracujące nawet z obniżonym napięciem zasilania. Zaprojektowane są także architektury giętkie, projektowane do niskoenergetycznej pracy; opracowane są efektywne sposoby adresacji pamięci, aby uniknąć użycia tradycyjnych bramek, których konsumpcja energii jest bardzo duża. Pojawiły się nowe FPGA (Field Programmable Gate Array) – architektury z zaimplementowaną online arytmetyką Field Programmable On-line oPerators (FFOP). Ich przeznaczeniem jest jednocukładowa implementacja numerycznych algorytmów dla energooszczędnych procesów i aplikacji cyfrowego sterowania.

4.2. Wybór komponentów [7], [20]

Używane w strukturach bramki i tranzystory mają duży wpływ na pobór mocy. Niestety, wybór elementów jest zależny również od wielu faktorów. Dlatego też w tej dziedzinie jest jeszcze dużo do zrobienia.

4.3. Niskie zasilanie [8], [10], [19]

Niektóre projekty eksperymentują prawie krytyczne niskie zasilanie układów. Jest niewiele osiągnięć. Wyniki badań chociaż w niewielkim stopniu przemawiają pozytywnie za kontynuacją pracy.

5. Metody oparte na bezpośredniej kontroli układów w trakcie pracy

5.1. Selektywne taktowanie [1], [2]

Ponieważ w automatach skończonych oddzielne podstruktury nie zawsze pracują w tym samym czasie, często zdarzają się sytuacje, w których dany podschemat nie jest aktywny, ale jest cały czas taktowany. Te przypadki mają uregulować opisane w tym podpunkcie metody: włączanie i wyłączanie poszczególnych podschematów układu scalonego w zależności od tego, czy jest dany schemat w tej chwili potrzebny (czy ma być aktywny). Rozłączenie lokalnej linii taktowania oszczędza niemało energii. Jest przy tym, oczywiście, niezbędna dodatkowa logika sterowania, co obciąża dodatkowo system.

5.2. Selekcja sygnałów

Metoda ta jest podobna do poprzedniej, z tym że szczególną uwagę zwraca się na formę sygnału. Taktuje się nie typowym, ale dopasowanym do funkcji danego układu sygnałem. Analogicznie do poprzedniej metody potrzebna jest dodatkowa logika sterowania.

6. Zakończenie

Spróbowaliśmy pokazać współczesny stan techniki pod kątem oszczędzania energii i omijania problemów akumulowania niepotrzebnej mocy w układzie. Choć artykuł jest krótkim przeglądem zagadnienia, mamy nadzieję, że zainicjuje nowe pomysły i przyczyni się do rozwoju dziedzin zajmujących się zmniejszeniem

mocy pobieranej w układach LP. Jest to bardzo istotny punkt dla energooszczędności, jak również dla bezpiecznej pracy schematów przy podwyższonej prędkości taktowania.

Literatura

- [1] Xunwei Wu, Pedram M. Low power sequential circuit design using priority encoding and clock gating. Proceedings of ISLPED'00: ACM. 2000, pp.143-8
- [2] Wu X, Pedram M, Wang L. Multi-code state assignment for low power design. JP, IEE Proc: CDS, vol.147, no.5, Oct. 2000, pp.271-5.
- [3] Bacchetta P, Daldoss L, Sciuto D, Silvano C. Low-power state assignment techniques for finite state machines. IEEE ISCS. Proc. vol.2, 2000, pp.641-4
- [4] Marculescu D, Marculescu R, Pedram M. Theoretical bounds for switching activity analysis in finite-state machines. IEEE Trans. on VLSI Sys. June 2000, pp.335-9
- [5] Ahmad I, Dhodhi MK. State assignment of finite-state machines. JP, IEE Proc.-E CDT Jan.2000, pp.15-22
- [6] Zhi-Hong W. En-Cheng L. Jianbang L. Ting-Chi W. Power minimization in LUT-based FPGA technology mapping. Proc of the ASP-DAC IEEE 2001, pp.635-40. Piscataway, NJ, USA.
- [7] Wolff FG. Knieser MJ. Weyer DJ. Papachristou CA. High-level low power FPGA design methodology. Proc of the IEEE 2000 NAECON 2000 pp.554-9. Piscataway, NJ, USA.
- [8] Garcia A. Burleson W. Danger JL. Low power digital design in FPGAs: a study of pipeline architectures implemented in a FPGA using a low supply voltage to reduce power consumption. 2000 IEEE ISET pp.561-4
- [9] Yonghee Im. Kaushik Roy. A novel high-performance predictable circuit architecture for the deep sub-micron era. Proc of the IEEE 2000 Custom Integrated Circuits Conference.
- [10] Takeuchi K. Satoh S. Imamiya K. Sakui K. A source-line programming scheme for low-voltage operation NAND flash memories. IEEE J of SSC May 2000, pp.672-81.
- [11] Ranjan RK, Singhal V, Somenzi F, Brayton RK. On the optimization power of retiming and resynthesis transformations. CP, 1998 IEEE/ACM IC on CAD. Digest of Technical Papers., pp.402-7. New York, NY, USA.
- [12] Marculescu D, Marculescu R, Pedram M. Theoretical bounds for switching activity analysis in finite-state machines. CP, Proc. 1998 ISLPED, pp.36-41

- [13] Koegst M, Franke G, Rulke S, Feske K. Multi-criterial state assignment for low power FSM design. PC, Proc.24th EUROMICRO Conference IEEE CS, 1998, pp.261-8 vol.1,USA
- [14] Kashirova L, Tveretina O. Entropy-based design of low power FSMs. CP, Proc.24thEUROMICRO Conf IEEE, 1998, pp.188-91 vol.1
- [15] Takahashi H. Mizushima S. A 1.2 V, 30 MIPS, 0.3 mA/MIPS and 200 MIPS, 0.58 mA/MIPS digital signal processors. IEICE Tran on Electronics, vol.E83-C, no.2, Feb. 2000, pp.179-85. Japan.
- [16] Jan-Min H. Feng-Yi C. TingTing H. A re-engineering approach to low power FPGA design using SPFD. Proc 1998 35th DAC. IEEE. 1998, pp.722-5. New York, NY, USA.
- [17] Tisserand A. Marchal P. Piguet C., An on-line arithmetic based FPGA for lowpower custom computing., Field Programmable Logic and Applications. 9th International Workshop,FPL'99. pp.264-73. Germany.
- [18] Chattopadhyay S, Chaudhuri PP. Genetic algorithm based approach for integrated state assignment and flipflop selection in finite state machine synthesis. CP Proc 11th IC on VLSI Design,IEEE CS 1997, pp.522-7.
- [19] Bloch M. Lauterbach C. Weber W. High efficiency charge pump circuit for negative high voltage generation at 2V supply voltage. ESSCIRC '98. Proc of the 24th ESSCIRC
- [20] Katkoori S. Vemuri R. Simulation based architectural power estimation for-PLA-based controllers. 1996 IS on L PED. IEEE. 1996, pp.121-4. New York, NY, USA
- [21] Surti P, Chao L-F. Controller power estimation using information from behavioral description. [Conference Paper] 1996 IEEE, ISCAS. Part vol.4, 1996, pp.679-82
- [22] Tuagi A. Entropic bounds on FSM switching. IEEE Trans. on VLSISys, vol.5, no.4, Dec. 1997, pp.456-64.
- [23] Hartenstein R. Herz M. Hoffmann T. Nageldinger U., Using the KressArray for reconfigurable computing. SPIE-Int. SOE Proc of SI SOE, vol.3526, 1998, pp.150-61.
- [24] Ming-Der Shieh, Wann-Shyang Ju, Ming-Hwa Sheu. Low-power state assignment for asynchronous finite state machines. CP, Proc of the 39th MS on CS IEEE vol.3, 1996, pp.1325-8 vol
- [25] Koegst M, Franke G, Feske K. State assignment for FSM low power design. [Conference Paper] Proc EURO-DAC '96. EURO-VHDL '96 Soc. Press. 1996, pp.28-33.
- [26] Eisenring M. Teich J. Interfacing hardware and software. Field-Programmable Logic and Applications. From FPGAs to Computing Paradigm. 8th IW, FPL'98, pp.520-4, Germany.

PROBLEMS OF MINIMIZATION OF POWER CONSUMED BY PROGRAMMABLE LOGIC DEVICES

Summary: The problems of the consumed in the sequential logic power also deferent methods of their solving are addressed. Also the low-power techniques, used in different levels of the technology are considered. The aim of the work is to systematize the most popular, known methods and to show the ways of development it at the branch of the programmable logic.

Key words: power consumption, power dissipation, power estimation, low power, programmable logic, state assignment, clock gating, low power architectures

Artykuł zrealizowano w ramach pracy badawczej własnej, W/II/4/2001.