

## Sławomir MICHALAK

POLITECHNIKA POZNAŃSKA, WYDZIAŁ ELEKTRONIKI I TELEKOMUNIKACJI,  
ul. Polanka 3, 60-965 Poznań

# Wpływ miejsca lokowania bramek na częstotliwość oscylatora pierścieniowego

Dr inż. Sławomir MICHALAK

Pracuje, jako adiunkt w Katedrze Systemów Telekomunikacyjnych i Optoelektroniki na Wydziale Elektroniki i Telekomunikacji Politechniki Poznańskiej. W pracy naukowo-dydaktycznej zajmuje się zagadnieniami komputerowego wspomaganie projektowania, symulacji układów elektronicznych, programowaniem układów mikroprocesorowych i układów programowalnych. Zajmuje się tematyką pozyskiwania informacji z inteligentnych czujników pomiarowych.



e-mail: [michalak@et.put.poznan.pl](mailto:michalak@et.put.poznan.pl)

### Streszczenie

W artykule przedstawiono wyniki analizy zmian częstotliwości oscylatora pierścieniowego, uzyskane poprzez zmianę miejsca lokowania pojedynczych bramek w różnych częściach struktury reprogramowalnej. Przeprowadzono symulacje komputerowe oraz wykonano badania eksperymentalne układu oscylatora pierścieniowego złożonego z  $N$  inwerterów, dla kilku wariantów rozmieszczenia bramek i wykorzystania linii połączeniowych pomiędzy obszarami CLB. Układ oscylatora implementowano w strukturze FPGA (Spartan-3).

**Słowa kluczowe:** oscylator pierścieniowy, czas propagacji, FPGA.

## Influence of the gate location on the ring oscillator frequency

### Abstract

This paper presents the results of investigations how the inverter location in the area of a reconfigurable FPGA chip influence the properties of a ring oscillator. Ring oscillators are very often implemented in FPGA structures, even in the very advanced projects. They are used both as a single element or an array of sensors for measuring the chip temperature and thermal verification on reconfigurable systems [1, 2], as well as for measuring the propagation delay on the internal wires of the FPGA chip [3, 4]. In our investigation the ring oscillator composed of 11 inverters was implemented in the Spartan-3 structure (Fig. 1). There were performed simulations and experiments. We tested whether and how the location of the single inverter and the delay of lines influenced the ring oscillator frequency (Figs. 2 and 3). The properties of different connections between CLBs in the FPGA structure are described (Figs. 4 and 5). The ring oscillator was located in different areas of the chip to minimize or specially increase the length of lines between the inverters (Figs. 6, 7 and 8). The simulation and experiment results are presented in Tab. 1 and discussed. In conclusion we can state that when one wants to use a ring oscillator as a sensor and to analyze the frequency or delay times, there should be considered not only the influence of temperature or voltage supply of the chip core [8] but also the location of the sensor. In the case of an array of sensors, each ring oscillator should be analyzed and calibrated independently.

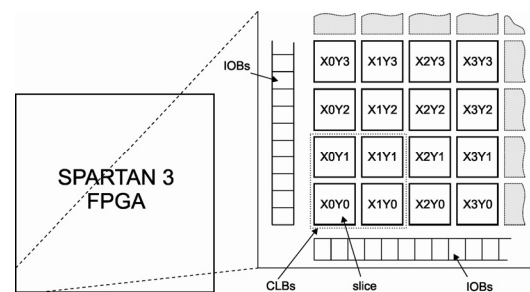
**Keywords:** ring oscillator, propagation delay, FPGA.

## 1. Wprowadzenie

W rozbudowanych systemach SoCs (ang. *Systems-on-a-Chip*) realizowanych w układach reprogramowalnych, implementowane są również stosunkowo proste układy oscylatorów pierścieniowych. Oscylatory te, zbudowane z łańcucha inwerterów, są wykorzystywane np., jako pojedyncze sensory lub matryce czujników temperatury, nadzorujące termiczne warunki pracy układu [1, 2]. Oscylatory pierścieniowe stosowane są również, jako uzupełnienie SUT (ang. *Structure Under Test*), w technikach pomiaru opóźnień linii połączeniowych wewnątrz struktury, umożliwiającą weryfikację wyników symulacji komputerowych [3].

Podstawowym parametrem dynamicznym bramek wchodzących w skład oscylatora pierścieniowego, decydującym o częstotliwości jego pracy, jest czas propagacji  $t_p$  pojedynczego inwertera. Dla elementów dyskretnych o ustalonej strukturze, czas propagacji stosunkowo łatwo określić na podstawie danych katalogowych i zweryfikować metodami pomiarowymi. W przypadku struktur reprogramowalnych FPGA, w których istnieje relatywnie duża dowolność lokowania elementów, sposób rozmieszczenia składowych projektowanego układu oraz wybór określonego miejsca implementacji poszczególnych bramek w całej strukturze, istotnie wpływa na parametry czasowe projektowanego układu. Szczegółowa analiza zależności czasowych pozwala na określenie obszarów najlepiej nadających się do implementacji wybranego układu z uwzględnieniem uwarunkowań czasowych [4, 5].

W układach reprogramowalnych całkowity czas propagacji sygnału jest wynikiem sumowania opóźnień wprowadzanych w kolejnych obszarach, wykorzystanych do realizacji wybranego zadania oraz na liniach łączeniowych pomiędzy tymi obszarami. A więc, w zależności od miejsca umieszczenia poszczególnych bramek oscylatora pierścieniowego, powinna być zauważalna zmiana częstotliwości jego pracy. Weryfikacja powyższego założenia wymagała zaimplementowania w strukturze FPGA testowego układu oscylatora pierścieniowego, złożonego z  $N$  inwerterów oraz analizy jego właściwości dla różnych wariantów rozmieszczenia poszczególnych elementów struktury.



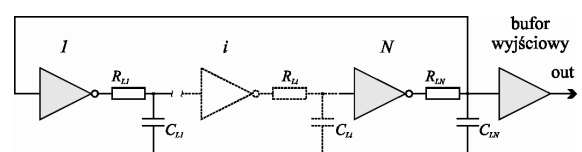
Rys. 1. Rozmieszczenie obszarów CLB w układzie Spartan-3 [6]

Fig. 1. CLB location in Spartan-3 [6]

W układzie FPGA typu Spartan-3 struktury prostych układów kombinacyjnych (w tym przypadku inwerterów) implementowane są w obszarach *slices* bloków CLB (ang. *Configurable Logic Blocks*), natomiast połączenia pomiędzy bramkami wykonywane są za pomocą lokalnych lub globalnych linii połączeniowych. *Slices* zorganizowane są w regularną tablicę XY o rozmiarze zależnym od typu układu. W układzie XC3S200 (wykorzystanym do badań), 1920 *slices*, zorganizowanych jest w 480 bloków CLB ułożonych w 24 rzędy i 20 kolumn (jeden blok CLB zawiera 4 obszary *slices*) (rys. 1).

## 2. Układ generatora pierścieniowego

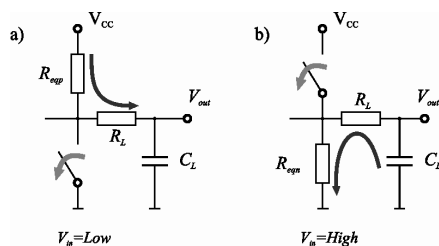
Układ generatora pierścieniowego złożony z  $N$  inwerterów ( $N$  - nieparzysta liczba) pokazano na rysunku 2.



Rys. 2. Układ oscylatora pierścieniowego

Fig. 2. Ring oscillator with an odd number of inverters

Na schemacie połączenia pomiędzy inwerterami przedstawiono, jako ekwiwalentne obwody RC będące obciążeniem wyjść kolejnych bramek. Wielkości  $R_L$ ,  $C_L$  i ich wartości, reprezentują parametry linii połączeniowych pomiędzy kolejnymi inwerterami.



Rys. 3. Model przełączania stopnia wyjściowego dla inwertera CMOS  
Fig. 3. Switch model of the output stage of the CMOS inverter

Na całkowity czas opóźnienia  $t_d$  łańcucha bramek CMOS składają się czasy propagacji kolejnych inwerterów przy przejściach ze stanu wysokiego do stanu niskiego ( $t_{pHL}$ ) oraz ze stanu niskiego do stanu wysokiego ( $t_{pLH}$ ) na wyjściu (rys. 3):

$$t_{pHL} = 0,69 \cdot (R_{eqn} + R_L) \cdot C_L \quad (1)$$

$$t_{pLH} = 0,69 \cdot (R_{eqp} + R_L) \cdot C_L \quad (2)$$

Czasy te są zależne przede wszystkim od wartości występujących w strukturze inwerterów równoważnych rezystancji kanałów  $R_{eqp}$ ,  $R_{eqn}$  dla przełączanych tranzystorów w stanie wysokim i niskim, oraz parametrów linii: rezystancji  $R_L$  i występujących pojemności reprezentowanych przez  $C_L$ . Czas propagacji pojedynczej bramki można opisać równaniem:

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = 0,69 \cdot \underbrace{\left( \frac{R_{eqn} + R_{eqp}}{2} \right)}_A \cdot C_L + \underbrace{0,69 R_L C_L}_B \quad (3)$$

Składowa A wzoru (3) odnosi się do parametrów czasowych inwertera obciążonego przez  $C_L$ , składowa B opisuje właściwości linii. Przy założeniu, że implementowane bramki będą miały podobną konstrukcję, czas propagacji łańcucha inwerterów można przedstawić, jako:

$$t_d = \sum_1^n t_{p_i} = n \cdot 0,69 \cdot \left( \frac{R_{eqn} + R_{eqp}}{2} \right) \cdot C_L + 0,69 \sum_1^n R_L C_L \quad (4)$$

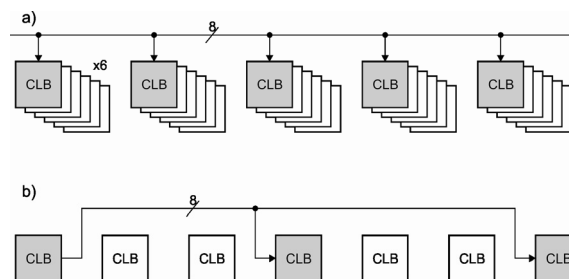
W równaniach (3) i (4) decydującą rolę odgrywa pojemność  $C_L$ , natomiast wpływ rezystancji  $R_L$  (ze względu na relację do  $R_{eqp}$  i  $R_{eqn}$ ) jest mniejszy. W sytuacji lokowania poszczególnych bramek w różnych (czasem odległych) obszarach CLBów układu reprogramowalnego (zakładając zbliżone właściwości samych inwerterów), parametry linii łączących kolejne inwertery mogą znacząco się różnić, przy czym zasadniczy wpływ ma tu pojemność  $C_L$ . W łańcuchu  $N$  inwerterów pojemności  $C_L$  nie muszą być takie same dla kolejnych implementowanych bramek i istotnie wpływają na czas propagacji całego łańcucha.

### 3. Połączenia w układzie SPARTAN-3

W strukturze Spartan-3 bramki (ogólnie układy kombinacyjne, a także układy synchroniczne) implementowane są w obszarach CLBów zawierających cztery, grupowane parami, struktury *slices*. Do połączenia między obszarami CLBów stosowane są cztery rodzaje linii połączeniowych: *Long*, *Hex*, *Double* oraz *Direct lines*.

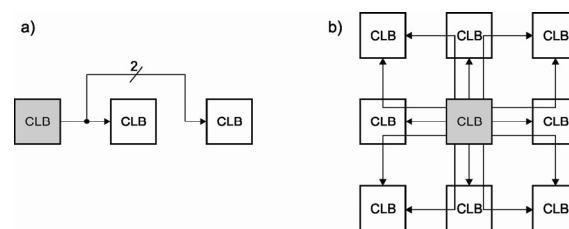
Połączenia typu *Long* łączą wyjścia, co szóstego bloku CLB (rys. 4a). Ze względu na stosunkowo małe pojemności własne linii, połączenia te są odpowiednie do przenoszenia sygnałów

wyższych częstotliwości z minimalnym wpływem efektu obciążenia (ang. *loading effect, skew*). Te linie doskonale nadają się również do rozprowadzania dodatkowych sygnałów zegarowych, w tych przypadkach, gdy wszystkie osiem specjalnie dedykowanych globalnych wejść i linii zegarowych GCI (ang. *Global Clock Inputs*) jest już zajętych, a istnieje potrzeba rozprowadzenia dodatkowych sygnałów zegarowych.



Rys. 4. Połączenia struktur CLB [6] a) typu Long, b) typu Hex  
Fig. 4. Connections between CLB [6] a) Long type, b) Hex type

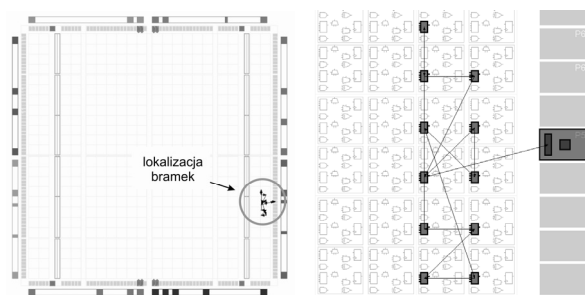
Linie typu *Hex* łączą wyjścia, co trzeciego obszaru CLB (rys. 4b), posiadają również dobre właściwości dla sygnałów wyższych częstotliwości. Połączenia typu *Double* łączą wyjścia każdego obszaru CLB (rys. 5a), są zatem połączeniami najbardziej efektywnymi pod względem łączenia dowolnych bloków, jednak pod względem parametrów częstotliwościowych ustępują liniom typu *Long* i *Hex*. Połączenia typu *Direct* umożliwiają bezpośrednie połączenie danego obszaru CLB, z sąsiadującymi obszarami (rys. 5b). Te linie zazwyczaj wykorzystywane są do przekazywania sygnałów wewnątrz określonej grupy bloków CLB.



Rys. 5. Połączenia struktur CLB [6] a) typu Double, b) typu Direct  
Fig. 5. Connections between CLB [6] a) Double type, b) Direct type

### 4. Lokowanie bramek w strukturze układu

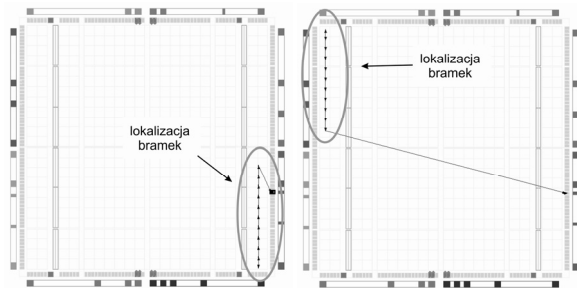
Układ oscylatora pierścieniowego utworzono z wykorzystaniem 11 połączonych szeregowo bramek NOT (nieparzysta liczba inwerterów). Bramki zaimplementowano wewnątrz struktury FPGA, do opisu wykorzystano język VHDL. Aby uniknąć redukcji liczby bramek podczas kompilacji zastosowano atrybut KEEP dla sygnałów łączących kolejne bramki. Przeprowadzono analizy dla kilku wariantów (A..E) rozmieszczenia bramek w strukturze układu (rys. 6, 7, 8). We wszystkich przypadkach przypisano ten sam pin, jako wyjście generatora.



Rys. 6. Wariant A rozmieszczenia bramek (optymalizacja szybkości)  
Fig. 6. Variant A of arrangement of inverter gates

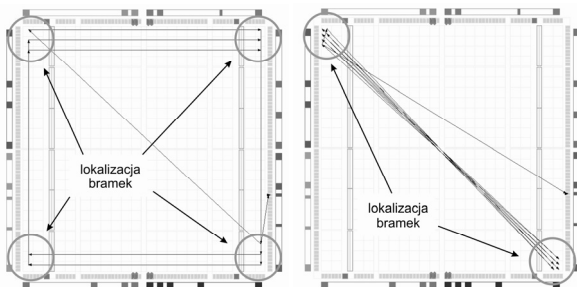
Przy domyślnych ustawieniach (wariant A) program Xilinx ISE automatycznie rozmieścił bramki według domyślnego (optymalizacja szybkości) kryterium (rys. 6).

Kolejno analizowano przypadki, w których inwertery były celowo rozmieszczane w różnych częściach struktury. W wariantach B i C sposób rozmieszczenia bramek jest identyczny (łańcuch inwerterów ułożono według podobnego wzoru), natomiast różna jest odległość od fizycznego wyjścia układu (rys. 7a, 7b).



Rys. 7. Wariant B (a) i wariant C (b) rozmieszczenia bramek  
Fig. 7. Variant B (a) and C (b) of arrangement of inverter gates

W wariantach D bramki rozlokowane zostały w narożnikach struktury, w wariantach E, po przekątnej obszaru (rys. 8a, 8b).



Rys. 8. Wariant D (a) i wariant E (b) rozmieszczenia bramek  
Fig. 8. Variant D (a) and E (b) of arrangement of inverter gates

## 5. Wyniki symulacji i pomiarów

Układ oscylatora pierścieniowego testowano w strukturze FPGA Spartan-3 (XC3S200) na płytkach testowych ZL9PLD i ZL10PLD. Przebiegi z wyjścia oscylatora obserwowano na oscyloskopie (Tektronix TDS1002), który jednocześnie dokonywał pomiaru częstotliwości sygnału. Symulację parametrów czasowych bramek i ścieżek przeprowadzono w programie Plan Ahead. W tabeli 1 przedstawiono wyniki symulacji oraz pomiarów częstotliwości oscylatora dla kolejnych wariantów rozlokowania bramek.

Tab. 1. Częstotliwość oscylatora pierścieniowego (wariant A...E)  
Tab. 1. The ring oscillator frequency (variant A...E)

Wariant	Częstotliwość oscylatora [MHz]	
	symulacja	pomiar
A	53,625	82,546
B	51,856	55,714
C	51,856	51,442
D	31,023	25,424
E	19,214	15,942

Wyniki symulacyjne, jak i wyniki pomiarów, pokazują istotny wpływ miejsca lokowania bramek na częstotliwość oscylatora pierścieniowego. Decydującym czynnikiem jest, nie tyle sposób implementacji inwerterów w obszarze *slices*, ale wpływ dodatkowych pojemności, jakie wprowadzają połączenia pomiędzy kolejnymi inwerterami. Potwierdzają to porównania wyników wariantów A (optymalizacja szybkości), oraz D i E (celowe wydłużenie

połączeń między kolejnymi inwerterami w celu uwypuklenia efektu zwiększonego czasu propagacji całego łańcucha bramek).

Porównując wyniki symulacji oraz wyniki pomiarów uzyskano pewne rozbieżności. W wariantach A w badaniach symulacyjnych uzyskano niższe częstotliwości oscylacji (dłuższe czasy propagacji) niż w rzeczywistych pomiarach. Rozbieżności te sugerują wykonanie dalszych badań porównawczych i przeprowadzenie szczegółowej interpretacji wyników.

Interesujące jest porównanie wariantów B i C. Podobny układ rozlokowania bramek umieszczony został „blisko” i „daleko” od wyjścia sygnału. Zasadniczo długość ścieżki od wyjścia łańcucha inwerterów do bufora wyjściowego (opóźnienie wprowadzane przez tę linię) nie ma wpływu na czas propagacji w pętli łańcucha inwerterów, a zatem nie ma bezpośrednio wpływu na częstotliwość oscylacji. Potwierdzają to wyniki symulacji (tab. 1). Pomiar wykazuje jednak pewne różnice w wartościach generowanej częstotliwości, niższą częstotliwość uzyskujemy w przypadku struktury ulokowanej „dalej” od wyjścia układu, co sugeruje wpływ pojemności linii od wyjścia łańcucha inwerterów do bufora wyjściowego, stanowiącej obciążenie ostatniego inwertera.

## 6. Podsumowanie

W przeprowadzonych badaniach analizowano wpływ zmiany miejsca lokowania składowych oscylatora pierścieniowego na częstotliwość generowanych drgań. Uzyskane wyniki symulacyjne i eksperymentalne potwierdzają spodziewany, zasadniczy wpływ miejsca implementacji kolejnych bramek na częstotliwość oscylacji. Zatem wykorzystując układy oscylatorów pierścieniowych jako czujniki temperatury, należy brać pod uwagę, nie tylko ich wrażliwość na zmiany temperatury i zmiany napięcia zasilania [7], ale również uwzględnić istotny wpływ miejsca ich lokacji. Jest to szczególnie ważne przy tworzeniu matryc czujników, gdyż oscylatory o takiej samej strukturze, implementowane w różnych miejscach układu FPGA, mogą posiadać odmienne parametry dynamiczne. Zatem zarówno w przypadku pojedynczych sensorów, jak i matryc, konieczna jest dokładna analiza ich właściwości oraz indywidualne kalibrowanie, zarówno na etapie projektowania i badań symulacyjnych, jak i weryfikacji eksperymentalnej.

Praca realizowana w ramach tematu 08/83/DSPB/4709.

## 7. Literatura

- [1] Velusamy S., Huang W., Lach J., Stan M., Skadron K.: Monitoring temperature in FPGA based SoCs. VLSI in Computers and Processors, Proceedings of the 2005 IEEE International Conference on Computer Design (ICCD'05), pp. 634-637, 2005.
- [2] Happe M., Agne A., Plessl C.: Measuring and predicting temperature distributions on FPGAs at run-time. Proceedings of IEEE International Conference on Reconfigurable Computing and FPGAs (ReConFig), pp. 55-60, 2011.
- [3] Ruffoni M., Bogliolo A.: Direct Measures of Path Delays on Commercial FPGA Chips. Proceedings of 6th IEEE Workshop on In Signal Propagation on Interconnects, pp. 157-159, 2002.
- [4] Jachna Z., Kalisz J., Różycki K.: Generator precyzyjnych odcinków czasu w układzie CMOS FPGA. PAK, vol. 53, nr 7/2007, s. 15-17.
- [5] Kwiatkowski P., Szymanowski R., Szplet R.: Identyfikacja parametrów dynamicznych linii szybkich przeniesień oraz globalnych linii zegarowych w układach programowalnych Spartan-6. PAK, vol. 59, nr 8/2013, s. 757-759.
- [6] Spartan-3 Generation FPGA User Guide, UG331 (v1.8) June 13, 2011, www.xilinx.com
- [7] Franco J.J.L., Boemo E., Castillo E., Parrilla L.: Ring oscillators as thermal sensors in FPGAs: Experiments in low voltage. In Programmable Logic Conference (SPL 2010) Southern, pp. 133-137, 2010.

otrzymano / received: 12.04.2014

przyjęto do druku / accepted: 02.06.2014

artykuł recenzowany / revised paper