



Projektowanie testu aplikacyjnego układów pamięci NAND FLASH

KRZYSZTOF BĄK

Wilk Elektronik S.A., Laboratorium,
43-173 Łaziska Górne, ul. Mikołowska 42, Krzysztof.bak@wilk.com.pl

Streszczenie. Prosta budowa testu aplikacyjnego sprawia, że jest on szeroko stosowany w procesach produkcyjnych. Główną zaletą testu aplikacyjnego jest łatwość jego dopasowania do szeregu różnych urządzeń/podzespołów, posiadających podobny lub identyczny interfejs użytkowy. Natomiast jego podstawową wadą jest ograniczona skuteczność pobudzania błędów. Właściwe zaprojektowanie testu aplikacyjnego gwarantuje możliwie wysoki poziom niezawodności testowanych urządzeń. Nieodzownym etapem projektowania testu aplikacyjnego jest rozpoznanie środowiska pracy testowanego podzespołu oraz urządzenia.

Słowa kluczowe: diagnostyka, NAND FLASH, wiarygodność, test aplikacyjny

1. Wstęp

Jednym z etapów budowania testu aplikacyjnego jest rozpoznanie docelowej aplikacji testowanego komponentu oraz jego właściwości. W dalszych etapach, jak kodowanie procedur testowych, opracowanie metod walidacji, wykorzystywana jest wiedza zdobyta w trakcie realizacji tego etapu. Wynikiem jego przeprowadzenia są kryteria kwalifikacji niezdatnych elementów/urządzeń, ocena możliwości diagnostycznych, ostatecznie opracowanie planu prowadzenia testu w procesie produkcji i wskazanie wytycznych do procesu kontroli jakości. Właściwie zaprojektowany test aplikacyjny gwarantuje możliwie wysoki poziom niezawodności produkowanych urządzeń. Należy podkreślić „możliwie wysoki poziom niezawodności”, gdyż test aplikacyjny charakteryzuje się szeregiem ograniczeń, o których będzie mowa.

W niniejszej publikacji przedstawiono plan prowadzenia testu aplikacyjnego układów pamięci NAND FLASH w rzeczywistym procesie produkcyjnym oraz wskazano kryteria kwalifikacji.

Test podzielony jest na dwa etapy. W pierwszym testowane są układy pamięci FLASH przed montażem powierzchniowym. W wyniku testu następuje statystyczne porównanie ich właściwości i odrzucenie tych, które różnią się od ogółu. Drugi etap testu jest realizowany na gotowym produkcie, którym jest dysk SSD. Test dysku SSD został zaprojektowany na pobudzanie błędów funkcjonalnych powodujących utratę przechowywanych danych.

Przedstawione kryteria kwalifikacji pozwalają na rozróżnianie urządzeń sprawnych od wadliwych bez wskazania potencjalnego uszkodzenia. Analiza uszkodzeń jest prowadzona poza procesem produkcji i nie została omówiona.

Należy podkreślić, że wykonywane doświadczenia mają zobrazować właściwości układów pamięci NAND FLASH produkcji firmy Micron, a nie je dokładnie określić. Ponadto w doświadczeniach użyto układów niekwalifikowanych jako pełnowartościowe, tak więc prezentowane wyniki nie są wyznacznikiem trwałości i jakości układów pamięci produkcji Micron.

2. Charakterystyka aplikacji

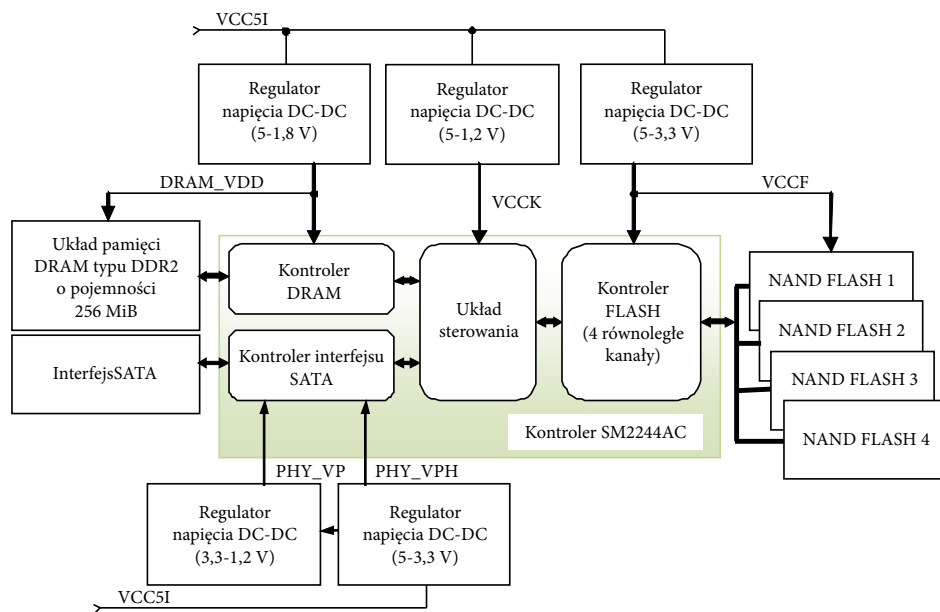
W rozpatrywanym procesie produkcyjnym aplikacją układów pamięci NAND FLASH jest urządzenie pamięci masowej typu dysk SSD (ang. *Solid State Drive*), którego schemat blokowy przedstawia rysunek 1.

Na dysku znajduje się układ pamięci DRAM, układy pamięci NAND FLASH, kontroler oraz regulatory napięcia zasilania.

Kontroler dysku SSD integruje wszystkie bloki funkcjonalne niezbędne do jego działania, w tym: interfejs SATA, kontrolery pamięci DRAM, NAND FLASH, układ sterowania. Blokiem, który należy wyróżnić, jest „Układ sterowania”. W nim zaimplementowany jest algorytm zapewniający równomierny rozkład liczby cykli zapisu w blokach układów pamięci NAND FLASH (ang. *Wear Leveling*), zaimplementowana jest funkcja wykluczająca z użycia niezdatne bloki i mechanizm cyklicznej kontroli integralności danych. Dzięki wymienionym funkcjom możliwe jest uzyskanie wysokiej liczby cykli zapisu dysku liczonej w całej jego pojemności oraz podniesienie bezpieczeństwa przechowywanych danych.

Blok „Kontroler FLASH” znajdujący się w SM2244AC posiada możliwość równoległego zapisu/odczytu danych z czterech układów pamięci. Właściwość ta pozwala użytkownikowi na uzyskanie szybkości transferu do czterokrotnej szybkości pojedynczego układu pamięci.

W bloku „Kontroler FLASH” zaimplementowany jest algorytm detekcji/korekcji błędów BCH (Bose, Chaudhuri, Hocquenghem), którego implementacja pozwala na



Rys. 1. Schemat blokowy dysku SSD zbudowanego z zastosowaniem kontrolera SM2244AC

zastosowanie układów pamięci NAND FLASH typu SLC i MLC [11] wykonanych procesach technologicznych 2x i 3x nm.

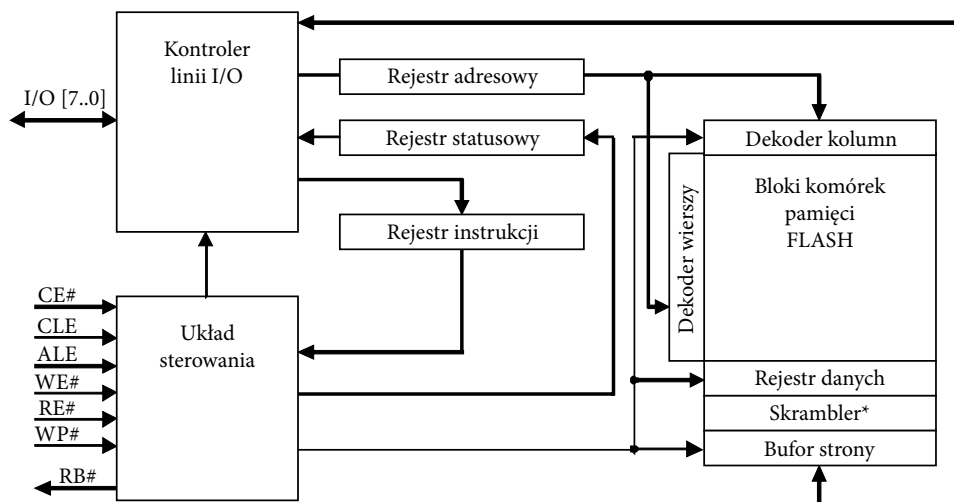
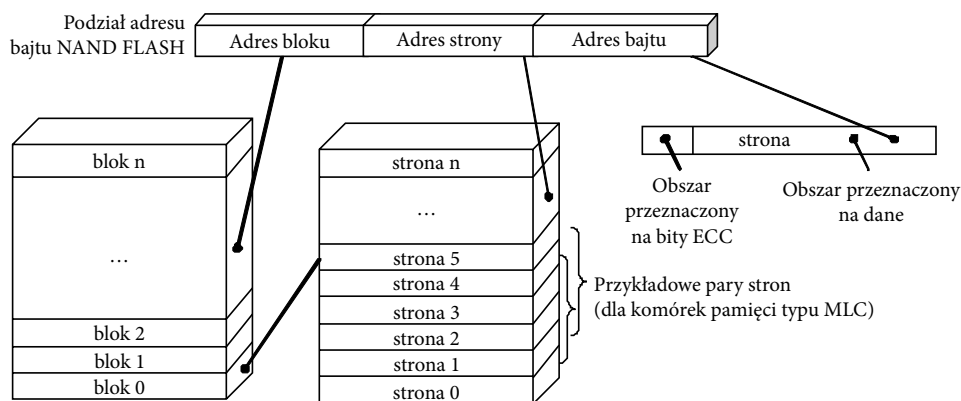
W sekwencjach kasowania/zapisu/odczytu komórek pamięci układu NAND FLASH rola kontrolera dysku SSD ogranicza się do sterowania pamięcią zgodnie z jej specyfikacją. Sekwencje wewnątrz pamięci są realizowane przez jej wewnętrzny układ sterowania.

Na rysunku 2 została przedstawiona budowa typowego układu pamięci NAND FLASH.

Każda sekwencja rozpoczyna się od przekazania poprzez magistralę I/O słowa sterującego — tzw. polecenia (instrukcji). Przekazanie polecenia jest sygnalizowane wysokim poziomem logicznym sygnału CLE, w wyniku czego jest ono zapisywane w rejestrze instrukcji. W odpowiedzi na polecenie, układ sterowania przełącza bloki funkcjonalne układu pamięci, zapewniając jej realizację.

Sygnały RE#, WE# służą do sterowania kierunkiem przepływu danych z/do układu pamięci, sygnałem RB# sygnalizowana jest gotowość pamięci.

Polecenia operujące na danych wymagają przekazania adresu (wysoki poziom logiczny ALE), który dzieli się na bity odpowiadające numerowi bloku pamięci, strony oraz kolumny (bajtu). Podział adresu odpowiada fizycznemu podziałowi przestrzeni adresowej układu pamięci (rys. 3).

Rys. 2. Uproszczony schemat blokowy układu pamięci NAND FLASH¹

Rys. 3. Podział przestrzeni adresowej układu pamięci NAND FLASH

W zależności od polecenia bity adresu strony oraz bajtu mogą być zerowe, np. komenda ERASE BLOCK wymaga wskazania numeru bloku, w którym pozostałe bity adresu powinny przyjmować wartość 0.

Podział przestrzeni adresowej na bloki pozwala na wyłączanie z użycia obszarów wielkości jednego bloku. Taka sytuacja ma miejsce, gdy w wyniku przeprowadzonego testu blok zostanie uznany za niezdatny lub w trakcie użytkowania, gdy liczba błędnych bitów w sektorze strony przekroczy określony próg.

¹ Skrambler — w artykule wprowadzono polski odpowiednik angielskiej nazwy „Data scrambler”.

Blok jest podzielony na strony. Programowanie oraz odczyt danych odbywa się stronami. W współczesnych układach pamięci nie ma możliwości wielokrotnego programowania strony bez uprzedniego wykasowania całego bloku, natomiast odczyt jest możliwy od wskazanego adresu bajtu strony.

W typowych układach pamięci typu MLC, w których komórki pamięci przechowują dwa bity informacji — bit LSB oraz bit MSB, bity te są dostępne w różnych adresach stron. Strony te są odpowiednio nazywane stronami „LSB” oraz „MSB” i tworzą parę powiązanych komórkami pamięci stron (przykład na rysunku 3).

Istnieją modele układów pamięci, w których przestrzeń adresowa jest dodatkowo podzielona na dwie lub więcej jednostek logicznych z niezależnymi dekodernami oraz buforami. Dzięki tej niezależności, w układzie pamięci może być równolegle prowadzonych więcej niż jedna operacja kasowania lub zapisu komórek pamięci, co wydatnie przyspiesza szybkość zapisu danych.

Strona układu pamięci z reguły logicznie dzielona jest na sektory wielkości 512 B lub 1 kiB, a detekcja/korekcja błędów odbywa się w obszarze sektora. Typowo, w każdej stronie jest dodatkowa przestrzeń przeznaczona na bajty danych wymagane przez mechanizm detekcyjno/korekcyjny [10].

W kolejnych punktach rozdziału została przedstawiona specyfikacja techniczna układu pamięci oraz aplikacji.

2.1. Specyfikacja układu pamięci NAND FLASH L73A

Projektowany test aplikacyjny umożliwia testowanie układów pamięci NAND FLASH produkcji firmy Micron Inc., wykonanych w procesie technologicznym o kodowej nazwie L73A [12]. W poniższej tabeli zamieszczono ich właściwości mające wpływ na budowę procedur testowych.

TABELA 1
Właściwości układów pamięci NAND FLASH L73A (na podstawie ONFI)

Typ komórki pamięci	MLC
Proces technologiczny	Dane poufne
Rozmiar bloku	1 MiB
Rozmiar strony	4 kiB
Przestrzeń przeznaczona na bity ECC	244 B
Możliwość stosowania korekcji/detekcji błędów	Do 31/1 kiB*
Minimalna liczba cykli kasowania/zapisu	Dane poufne
Upływność danych wg specyfikacji	Dane poufne
Zgodne z specyfikacją ONFI	TAK
Zakres temperatur przechowywania	Dane poufne
Zakres temperatur pracy	Dane poufne

* Z zastosowaniem kodów BCH (Bose-Chaudhuri-Hocquenghem).

Układ pamięci NAND FLASH L73A posiada wbudowany skrambler danych (rys. 3), który w cyklu zapisu powoduje randomizację danych zapisanych w komórkach pamięci, zaś w cyklu odczytu — odtwarza pierwotne dane. Jego obecność potwierdza przeprowadzone przez autora badanie polegające na wielokrotnym programowaniu stron MSB z pominięciem cykli kasowania bloku. Teoretycznie, wielokrotne programowanie bitu MSB wartością logiczną 0 powoduje powstanie w komórce pamięci ładunku elektrycznego o niewłaściwej wartości i zamianę wartości bitu LSB z 1 na 0. W przypadku układu pamięci L73A wbudowany skrambler sprawia, że w cyklu wielokrotnego programowania stron MSB wzorcem 0x00 zmianie z 1 na 0 podlega tylko część bitów w powiązanych stronach LSB. Tak powstała sekwencję bitową w stronach LSB można uznać za sekwencję skramblera i wykorzystać w kolejnych krokach badania.

Kolejne kroki badania dowodzą, że funkcja logiczna XOR wyznaczonej sekwencji skramblera i bitów odczytanych z stron LSB odpowiada sekwencji bitowej programowanej w stronach MSB. Wyklucza to przypadkowość powstawania sekwencji bitowych w stronach LSB i dowodzi obecności skramblera.

Można postawić hipotezę, że konstrukcja układu pamięci odpowiada charakterowi danych przechowywanych na nośnikach masowych, jak pliki multimedialne, kompresowane archiwa itd., jednocześnie zmniejszając prawdopodobieństwo występowania błędów w danych ciągłych. Naturalne staje się zastosowanie pseudolosowego generatora jako wzorca danych testowych.

W układach pamięci typu MLC jedna komórka przechowuje dwa bity informacji. W L73A bity te są dostępne w różnych adresach stron, o czym można się przekonać, programując strony bloku w kolejności niezgodnej ze specyfikacją układu pamięci, tj. w kolejności innej niż: od najmniejszego adresu strony do największego. W L73A, programowanie stron w kolejności MSB-LSB powoduje powstanie błędnych bitów w obu stronach. Przykładowo w L73A strony o adresach 0 i 4 współdzielą komórki pamięci. W tak zbudowanym układzie część komórek pamięci nie bierze udziału w teście, tj. nie są programowane komórki pamięci, gdy iloczyn logiczny AND bitów LSB i MSB daje wartość 1. Taka sytuacja powstaje wskutek rozmieszczenia w przestrzeni adresowej bitów danych testowych i działania skramblera.

Liczba komórek pamięci nie biorących udziału w teście jest uwzględniana w procedurze kwalifikacji niezdatnych obszarów (patrz podrozdział 3.1).

2.2. Specyfikacja urządzenia pamięci masowej

Aplikacją układów pamięci jest dysk SSD zbudowany z zastosowaniem kontrolera SM2244AC produkcji Silicon Motion [11]. Dysk przeznaczony jest do komputerów biurowych/domowych jako dysk systemowy. W tabeli 2 została zapisana specyfikacja dysku.

TABELA 2

Specyfikacja aplikacji

Pojemność układów pamięci FLASH	32 GiB
Pojemność dostępna dla użytkownika	30 GB
Pojemność zarezerwowana na podmianę uszkodzonych obszarów	6,2%
Interfejs	SATA2 zgodny z spec. 2.6
Implementacja komendy TRIM (spec. ATA-8)	TAK
Mechanizm równomiernego obciążenia zapisem układów pamięci FLASH	statyczny/dynamiczny
Kod detekcji/korekcji błędów	BCH, 24 bit/1 kiB (L73A)**
Automatyczna kontrola integralności danych	TAK
Wczesne zapobieganie błędom niekorygowalnym	TAK
Pojemność wewnętrznego bufora RAM	128 MiB
Max. liczba cykli zapisu	1500
Czas utrzymania danych* (liczba cykli zapisu 0)	10 lat
Czas utrzymania danych* (liczba cykli zapisu \geq 1500)	1 rok
Zakres temperatur przechowywania	0-50°C
Zakres temperatur pracy	10-70°C
Okres gwarantowanej niezawodnej pracy	3 lata

* W temperaturze przechowywania.

** Dane niepotwierdzone przez producenta.

Kontroler SM2244AC posiada funkcje automatycznej kontroli integralności danych oraz progi bezpiecznej liczby błędów w sektorze w cyklu odczytu/kopiowania. Obie funkcje mają przenieść dane z niezdatnych obszarów w inne, gwarantujące ich poprawność. Funkcje różnią się co do sposobu ich działania.

Automatyczna kontrola integralności danych polega na cyklicznym odczycie danych zapisanych w sektorach i porównaniu liczby błędnych bitów z ustawionym progiem. Przekroczenie ustalonego progu inicjuje przeniesienie danych znajdujących się w bloku pamięci w inny obszar.

Druga funkcja inicjuje przeniesienie danych w sytuacji przekroczenia ustalonego progu liczby błędnych bitów w sektorze w cyklu odczytu i kopiowania.

Program narzędziowy kontrolera pozwala na ustawienie interwału kontroli oraz progów bezpieczeństwa w szerokim zakresie, gwarantującym poprawność danych na dysk, który jest w pełni zdegradowany w warunkach maksymalnej temperatury pracy.

3. Procedury diagnostyczne

Test aplikacyjny układów pamięci NAND FLASH cechują ograniczone możliwości diagnostyczne. Wynika to z braku możliwości zastosowania interfejsu

diagnostycznego w sekwencjach testowych. Jediną możliwością przeprowadzenia testu jest interfejs użytkowy. W tym przypadku jest to interfejs ONFI (ang. *Open NAND FLASH Interface*) [10] oraz interfejs urządzenia pamięci masowej SATA2 [17].

Test podzielony jest na dwa etapy. W pierwszym testowane są układy pamięci, w drugim urządzenie pamięci masowej. Oba etapy charakteryzują się innymi ograniczeniami.

3.1. Diagnostyka układów pamięci

Celem testowania układów pamięci NAND FLASH jest identyfikacja układów niezdatnych poprzez statystyczne porównanie liczby odkrytych błędów z ogółem populacji. Jest to możliwe dzięki gwarancji producenta dużego odsetku układów zgodnych ze specyfikacją. Porównywaną cechą układów pamięci jest zdolność do zachowania danych w wysokiej temperaturze. Porównanie wymaga zaprogramowania wzorca danych do układów pamięci, wygrzewania w wysokiej temperaturze, następnie weryfikacji wzorca. W tym procesie wygrzewanie w wysokiej temperaturze jest czynnikiem akcelerującym powstawanie błędów. Jest to powszechnie stosowana praktyka [1, 4, 5, 6, 8].

Przeprowadzone badania potwierdzają, że można zdefiniować trzy kryteria kwalifikacji niezdatnych obszarów: liczba błędów w blokach, stronach, sektorach.

W tabeli 2 zaprezentowano wynik przeprowadzonego doświadczenia, polegającego na wygrzaniu układów pamięci L73A w temperaturze 150°C w czasie 16 godzin.

TABELA 3
Liczba bloków w przedziałach liczby błędów

Przedziały liczby błędów	Liczba bloków		
	NAND A	NAND B	NAND C
0	2	0	0
1-5	0	4	1
6-17	289	1266	855
18-39	1739	777	1192
40-71	17	1	1
72-115	2	0	2046
116-174	2030	2048	1
> 175	17	0	0

W porównywanych egzemplarzach pomiędzy blokami występuje prawie dziesięciokrotne zróżnicowanie w liczbie błędów. Można wskazać grupy (pola zaznaczone kolorem), które wyróżniają się na tle pozostałych. Podobnie jest w przypadku stron (tab. 4).

TABELA 4
Liczba stron w przedziałach liczby błędów

Liczba błędów	Liczba stron		
	NAND IC A	NAND IC B	NAND IC C
0	102636	256660	460099
1	152545	176245	51830
2-3	207474	85972	12124
4-5	53404	5149	228
6-7	7395	137	7
8-10	666	18	0
11-12	43	24	0
13-15	2	26	0
16-17	4	17	0
18-20	11	25	0
21-23	16	9	0
24-26	12	3	0
27-29	23	2	0
30-32	19	1	0
33-35	16	0	0
36-38	10	0	0
39-41	10	0	0
> 42	2	0	0

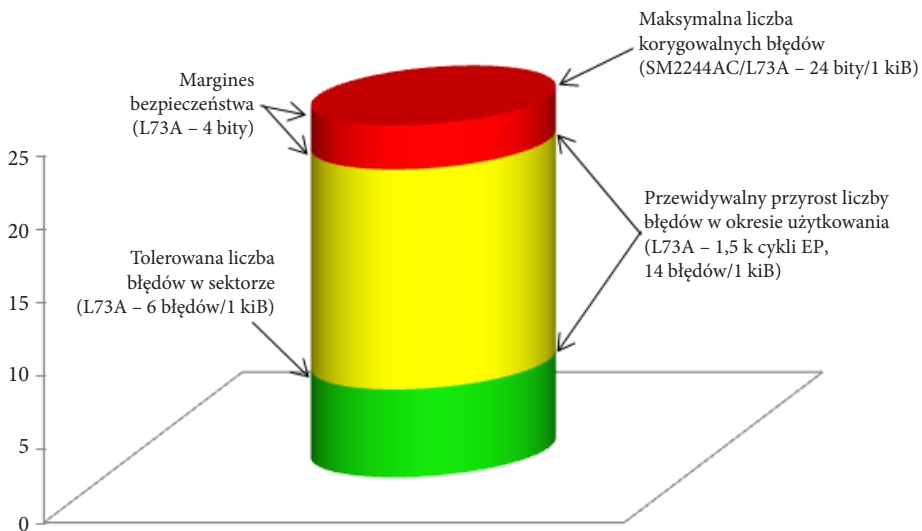
Zatem kryterium liczby błędów w blokach pozwala ocenić obszar wielkości 1 MiB (L73A), liczba błędów w stronie — 4 kiB (L73A). Natomiast kryterium oceny na podstawie liczby błędów w sektorach musi gwarantować, że w całym okresie użytkowania liczba błędów w każdym sektorze nie przekroczy liczby możliwych do detekcji i korekcji. Z obserwacji procesu wynika, że w procedurach kwalifikacji należy uwzględnić to, iż część komórek pamięci nie jest programowana w cyklu testowania i część uszkodzeń zostaje niepobudzona. Powodem tego jest podział bloku układu pamięci typu MLC na strony LSB i MSB. Z taką sytuacją mamy do czynienia, gdy bity LSB-MSB komórek pamięci mają wartość {11}. Wynika z tego, że weryfikacja poprawności działania wszystkich komórek pamięci wymaga czterokrotnego programowania wzorca danych, tj. {00}, {01}, {10}, {11} — również ze względu na obecność skramblera, i zapamiętania adresów przekłamanych bitów pomiędzy sekwencjami programowania i weryfikacji.

Ograniczona wielkość pamięci RAM testera uniemożliwia zapamiętanie wszystkich adresów przekłamanych bitów. Kompromisem pomiędzy dokładnym ustaleniem liczby błędów a ograniczeniami sprzętowymi testera jest przemnożenie liczby

błędnym bitów przez procent niezaprogramowanych komórek pamięci i zsumowanie. Przeprowadzona symulacja z zastosowaniem pseudolosowego generatora danych testowych pokazuje, że liczba niezaprogramowanych komórek pamięci w dowolnym bloku L73A nie przekracza 14,3% — nie uwzględniając działania skramblera danych. W procesie testowania L73A liczba odkrytych błędów jest mnożona przez wartość 1,15. Jest to kompromisowe rozwiązanie i należy nadmienić, że może ono powodować błędną kwalifikację niezdatnych bloków pamięci.

W procesie walidacji nowego modelu układów pamięci FLASH w rozpatrywanym procesie produkcji progi kwalifikacji niezdatnych obszarów na podstawie liczby błędów w blokach oraz stronach wyznaczane są według reguły „six-sigma”. Reguła ta mówi, że akceptowalne odchylenia od średniej wartości w procesach produkcji wynoszą do $1,5\sigma$. Postępując z tą regułą, wygrzewaniu i weryfikacji wzorca danych poddawana jest próba układów pamięci. Na podstawie weryfikacji wzorca danych ustalana jest średnia liczba błędów w blokach oraz stronach. Następnie odseparowane zostają układy pamięci, w których liczby te przekraczają odchylenie od średniej o $1,5\sigma$. Odseparowane układy zostają poddane badaniu zgodnie z metodami zawartymi w standzie JEDEC JESD218A [2]. Na podstawie wyniku badań dokonywana jest korekta progów kwalifikacji oraz ustalany jest próg kwalifikacji niezdatnych obszarów na podstawie liczby błędów w sektorach.

Korekta i ustalenie progów liczby błędów w sektorze odbywa się poprzez powiązanie wyników testowania układów pamięci z otrzymanym wynikiem testowania dysków SSD. Wyniki testowania układów pamięci, które wykazały upływność



Rys. 4. Próg kwalifikacji bloku na podstawie liczby błędów w sektorze w odniesieniu do możliwości detekcji-korekcy błędów w aplikacji

w późniejszym testowaniu w dyskach SSD i które obniżają progi kwalifikacji, korygują, tj. bniżają przyjęte wcześniej progi, oraz tworzą próg kwalifikacji na podstawie liczby błędów w sektorach. Rysunek 4 przedstawia koncepcję ustalania progu kwalifikacji niezdatnych bloków na podstawie liczby błędów w sektorach.

Liczba błędów przekraczająca ustalone progi w pojedynczej stronie lub sektorze wyłącza z użycia cały blok, który izoluje uszkodzenia i powodowane nimi błędy od pozostałej części układu pamięci [12]. Sposób oznaczania niezdatnych bloków różni się pomiędzy producentami, na ogół polega na zaprogramowaniu pierwszych stron i ostatniej strony bloku. W procesie niskopoziomowego formatowania kontroler dysku SSD odczytuje kolejno wszystkie bloki i tworzy tzw. „mapę” niezdatnych bloków.

3.2. Diagnostyka urządzenia pamięci masowej

Celem testowania produktu jest pobudzenie błędów funkcjonalnych, które nie zostały odkryte w wyniku testu układów pamięci FLASH. Do grupy błędów funkcjonalnych należy zaliczyć błędy związane z niezamierzonym programowaniem, kasowaniem i innego rodzaju błędy w pozostałych blokach funkcjonalnych układu pamięci. Test aplikacyjny urządzenia pamięci masowej nie pozwala na obserwację przyrostu liczby błędów we wzorcowych danych. Ograniczenie to wynika z funkcjonalności oprogramowania kontrolera i programu narzędziowego. Możliwe do zaobserwowania są tylko błędy katastrofalne powodujące utratę danych oraz przyrost liczby bloków pamięci wykluczonych z użytkowania. Są to dwa kryteria służące kwalifikacji niezdatnych produktów.

Ze względu na charakter testu, tj. weryfikacji poprawności danych, procedura testowa w rozpatrywanym procesie produkcji zawiera sekwencje algorytmów MARCHING, tj. odczyt/modyfikacja/zapis z narastającymi i opadającymi adresami, np. $\uparrow W0$; $\Downarrow R0W1$; $\downarrow R1$ [7, 9]. Elementy $W0, W1$ w sekwencji oznaczają zapis wzorca danych i jego negacji. Ze względu na randomizację danych w kontrolerze oraz układzie pamięci FLASH dobór wzorca nie jest krytyczny (pseudolosowy, zmienny arytmetycznie itd.), natomiast nie powinien powtarzać się w sektorach. Połączenie unikalnego wzorca danych testowych z sekwencjami $\Downarrow R0W1$ pozwala na detekcję błędów w poprzedzających i następujących adresach. Odczyt z adresu przed zapisem negacji wzorca danych gwarantuje detekcję błędów pobudzonych w adresach następujących, gdy adresowanie odbywa się narastająco, lub poprzedzających, gdy adresowanie odbywa się w kierunku adresów niższych.

Skuteczność złożonych sekwencji jak: $\Downarrow R0W1R1W0$ w dyskach, w których znajduje się bufor pamięci RAM, ogranicza się do prostej sekwencji $R0W1$. Pierwszy odczyt w sekwencji $R0$ powoduje pobranie danych z układów pamięci FLASH. Kolejne elementy $W1R1W0$ mogą operować na buforze danych. Istnieje możliwość, że kontroler zainicjalizuje programowanie układów pamięci FLASH w sytuacji przepełnienia bufora RAM tylko ostatnią sekwencją $W0$. Stanowi to powód, dla

którego w procesie testowania stosuje się proste sekwencje R0W1 z narastającymi/opadającymi adresami oraz pseudolosowymi.

Test aplikacyjny zawsze kończy się kontrolą liczby pozostających sprawnych bloków pamięci i odrzucane są te egzemplarze, które nie gwarantują poprawnej pracy w całym okresie użytkowania.

4. Plan produkcyjnego testu dysków SSD

W oparciu o przedstawione procedury diagnostyczne zbudowany jest test aplikacyjny dysków SSD w prezentowanym procesie produkcyjnym. Test jest zaprojektowany tak, aby stanowił proces sztucznego starzenia produktu. Spełnia on dwa zadania. Pierwsze, pobudza możliwie wiele błędów funkcjonalnych układów pamięci FLASH i pozostałych bloków dysku. Drugie, pozwala na oszacowanie przybliżonych parametrów niezawodności przy zastosowaniu analizy statystycznej.

Sztuczne starzenie powinno powodować degradację zbliżoną do symulowanego okresu użytkowania. Jest ono powodowane poprzez oddziaływanie termiczne i oddziaływanie cyklami zapisu/odczytu. W symulowanym okresie użytkowania następuje obciążenie SSD cyklami zapisu [2, 3]. Podążając za publikacją JEDEC JESD219A, ustalono, że użytkownik dziennie zapisuje ok. 3,5 GB oraz ustalono typ adresacji jako losowy. Wynikiem analizy obciążenia cyklami zapisu (JEDEC JESD219A_MT) jest procentowy rozkład wielkości zapisywanych bloków (tab. 5).

TABELA 5

Procentowy rozkład rozmiaru bloków zapisu

Rozmiar zapisywanego bloku (bajty)	Procentowy udział w zapisie	Rozmiar zapisywanego bloku (bajty)	Procentowy udział w zapisie	Rozmiar zapisywanego bloku (bajty)	Procentowy udział w zapisie
16384	30	65536	2	28672	1
4096	24	20480	2	2048	1
8192	7	3072	1	262144	1
12288	3	2560	1	49152	1
512	3	24576	1	36864	1
32768	3	69632	1	4608	1
1048576	2	1536	1	10240	1
1024	2	3584	1	40960	1
45056	1	61440	1	5120	1
53248	1	57344	1	68608	1
81920	1	131072	1		

Powyższy rozkład (tab. 5) w rozpatrywanym dysku SSD powoduje 4,5-krotne wzmocnienie zapisu przy pseudolosowej adresacji. Zakładając, że użytkownik dziennie zapisuje 3,5 GB danych przy 4,5-krotnym wzmocnieniu zapisu, w układach pamięci FLASH dziennie programowanych jest ok. 16 GB danych. Z tego wynika, że w trakcie miesięcznej symulacji obciążenia (jak w przytaczanym procesie produkcji) dysk o pojemności 30 GB powinien zostać zapisany ok. 16-krotnie przy wzmocnieniu zapisu jeden.

Obciążenie dysku cyklami zapisu/odczytu jest jednym z czynników powodujących pobudzanie defektów. Drugim czynnikiem jest temperatura, która w połączeniu z pierwszym akcelaruje czas powstania błędów. Współczynnik akceleracji termicznej zależy od energii aktywacji defektów. W przypadku gdy mamy do czynienia z nieznanym modelem defektów, praktykuje się wyznaczanie współczynnika akceleracji termicznej na podstawie równania Arrheniusa przy założeniu energii aktywacji 0,6-0,7 eV [14, 15, 16].

Sztuczne starzenie symulujące jeden miesiąc okresu użytkowania, powinno trwać ok. 34 godzin w temperaturze 70°C (wzór 1)².

$$AF = \exp((-E_{aa}/k) * (1/T_1 - 1/T_2)), \quad (1)$$

$$t_{\text{stress}} = t_{\text{use}}/AF$$

dla przykładowych danych:

E_a — 0,6 eV;

T_1 — temperatura starzenia (343°K);

T_{use} — temperatura pracy (313°K) wg specyfikacji JEDEC JESD 218A p. 6.3;

k — stała Boltzmanna ($\approx 0,00008623$ eV/K);

t_{use} — 240 h (8 h x 30 day);

$$AF_{\text{use}} = \exp((0,6 \text{ [eV]} / 0,00008623 \text{ [eV/K]}) * (1/343^\circ\text{K} - 1/313^\circ\text{K})) \approx 7;$$

$$t_{\text{stress}} = 240 \text{ h}/7 \approx 34 \text{ h}.$$

Temperatura nie jest czynnikiem pobudzającym upływność spowodowaną degradacją izolatora otaczającego pływającą bramkę komórki pamięci (ang. *Stress Induced Leakage Current* — SILC) [1]. Wzory 2a i b pozwala wyznaczyć czas do wystąpienia błędu (ang. *Time To Failure* — TTF) spowodowanego przez SILC³.

$$\text{TTF} = A_0 * (\text{cycles}^{-n}) * \exp[E_{aa}/kT] * \exp[-\gamma * (V_{T,\text{Crit}} - V_G)], \quad (2a)$$

$$\text{TTF} = A_0 * (\text{cycles}^{-n}) * \exp[E_{aa}/kT] * \exp[-\gamma * (V_G - V_{T,\text{Crit}})], \quad (2b)$$

² Źródło: JEP122G 2.1.

³ Źródło: JEDEC JEP122G 5.5.1.

gdzie równania odnoszą się do utraty ładunku (2a)/pozyskania (2b):

A_0 — współczynnik skali, zależny od materiału i procesu technologicznego;

cycles — liczba cykli kasowania/programowania;

n — współczynnik potęgowy, typowo 0,4-0,7;

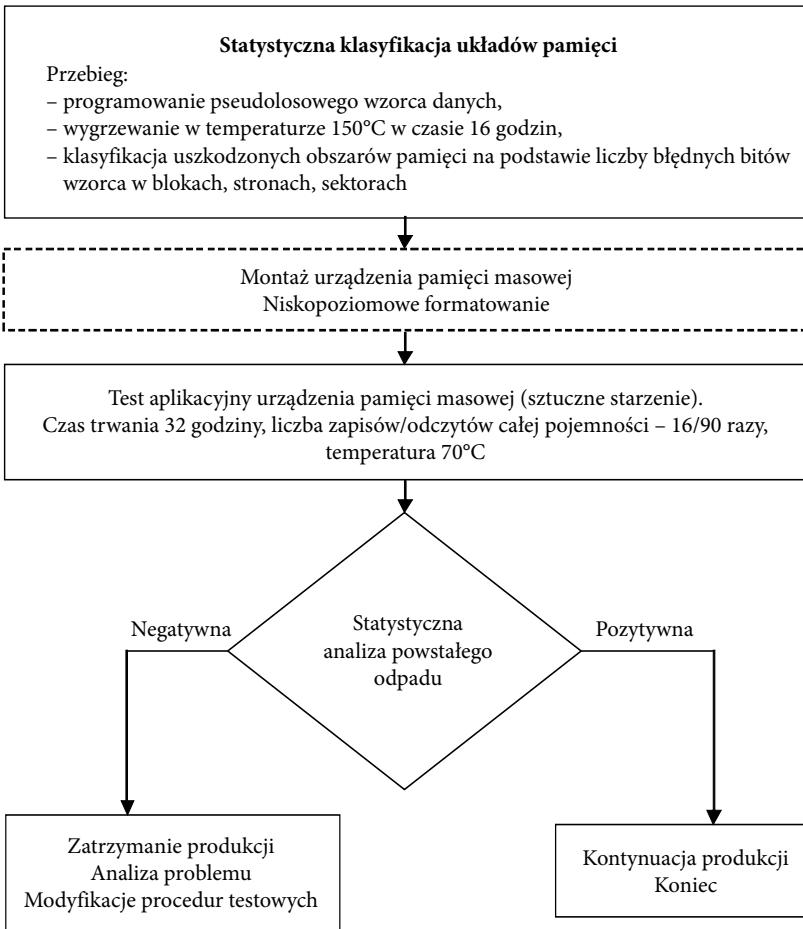
E_{aa} — energia aktywacji, typowo 0-0,3 eV;

k — stała Boltzmana;

γ — współczynnik akceleracji napięciowej, dowoływający się do V_T tworzącego pole elektryczne przyłożone do izolatora. Typowo 2-6 V^{-1} ;

$V_{T, Crit}$ — próg napięciowy, przy którym następuje prawidłowy odczyt danych;

V_G — napięcie przyłożone do bramki kontrolnej podczas testu.



Rys. 5. Przebieg procedur testowych w procesie produkcji

Energia aktywacji SILC jest niska, co uniemożliwia akcelerację temperaturową. Zaobserwowanie utraty danych spowodowane SILC wymaga długiego czasu obserwacji i uniemożliwia wykrycie tego defektu w krótko trwającym procesie produkcji. Występowanie defektu SILC powinno być kontrolowane poza produkcją w procesie kontroli jakości dostaw.

Diagram na rysunku 5 przedstawia kompletny przebieg testów w przykładowym procesie produkcji.

Ważnym elementem procesu produkcyjnego jest analiza statystyczna wyników przeprowadzonych testów w kontekście poziomu awaryjności (reklamacji klientów). Analiza wiąże liczbowo wielkość odpadu w testach z poziomem awaryjności w późniejszym okresie użytkowania. Jest silne powiązanie pomiędzy poziomem awaryjności (reklamacji) a wielkością odpadu. Tłumaczą je cechy testu aplikacyjnego, jakimi są spektrum pobudzanych defektów oraz skuteczność pobudzania. Skuteczność pobudzania decyduje o liczbie defektów będących w spektrum, które nie zostały pobudzone. Ta dysfunkcja jest ograniczana poprzez powtarzanie procedur testowych.

Poszerzenie spektrum pobudzanych defektów następuje w wyniku analizy uszkodzeń i wdrożenia zróżnicowanych procedur testowych.

5. Wnioski

Test aplikacyjny dostarcza wskaźniki mogące posłużyć ocenie niezawodności w początkowym okresie życia produktu. Należy podkreślić, że wskaźniki te są obciążone błędami spowodowanymi przez przybliżenia warunków użytkowania. Pierwszym przybliżeniem jest dzienne obciążenie dysku zapisem danych. Standard JEDEC JESD219A, na podstawie którego ustalono obciążenie zapisem, nie gwarantuje charakterystyki najbardziej ekstremalnych warunków eksploatacji. Przyjęte obciążenie zapisem może odpowiadać krótszemu okresowi, np. kilku dniom. Ustalenie wiarygodnych warunków użytkowania wymaga przeprowadzenia badań statystycznych wśród użytkowników.

Drugim przybliżeniem jest akceleracja termiczna defektów. Przyjęta metoda kalkulacji z zastosowaniem równania Arrheniusa i pozornej energii aktywacji 0,6 eV nie pozwala na ustalenie wskaźników niezawodności. Ekstrapolacja warunków akcelerowanych do użytkowania jest tylko przybliżeniem wynikającym z braku możliwości stosowania innych metod.

Inne metody testowe, w których zastosowanie ma interfejs diagnostyczny, zarezerwowane są dla producentów półprzewodnikowych struktur układów scalonych, jakimi są pamięci FLASH. Analiza i wskazanie uszkodzeń prezentowane w literaturze [1, 13] wymagają znajomości topologii badanej struktury oraz stałych materiałowych itd. Tak szczegółowe informacje są poufne i niedostępne, więc

niemożliwe do zastosowania w procesie produkcji. Z reguły dużą niezawodność w późnym okresie użytkowania gwarantuje wysoki poziom jakości komponentów dostarczanych przez producenta.

Zaletą zaprojektowanych metod testowych jest kontrola poprawności działania urządzenia w warunkach zbliżonych do warunków użytkowania. Dostarcza ona skalowalne wyniki, możliwe do powiązania z późniejszym poziomem niezawodności w okresie użytkowania. Jest to ważna cecha, gdyż pozwala na dostosowanie procedur testowania w sytuacji krótkookresowego wahania jakości stosowanych komponentów — układów pamięci FLASH, DRAM, również kontrolera, dając możliwość zatrzymania produkcji i odrzucenia wadliwych komponentów.

Podziękowania

Chciałbym wyrazić podziękowanie Zarządowi firmy Wilk Elektronik S.A. za udostępnienie narzędzi sprzętowych oraz materiałów w postaci: układów pamięci NAND FLASH oraz próbek dysków SSD niezbędnych do przeprowadzenia badań. Bez udzielonego wsparcia niniejsza praca nie mogłaby powstać.

LITERATURA

- [1] Committees: JC-14.1, JC-14, *Failure Mechanisms and Models for Semiconductor Devices*, JEDEC PUBLICATION JEP122G, JEDEC Solid State Technology Association, Arlington, USA, October 2011, 9, 22-27, 76-80.
- [2] Committee JC-64.8, *Solid-State Drive (SSD) Requirements and Endurance Test Method*, JEDEC STANDARD JESD218A, JEDEC Solid State Technology Association, Arlington, USA, February 2011, 8-19.
- [3] Committees: JC-64.8, JC-64, *Solid-State Drive (SSD) Endurance Workloads*, JEDEC STANDARD JESD219A, JEDEC Solid State Technology Association, Arlington, USA, July 2012, 2-7.
- [4] Committees: JC-14.3, JC-14, *Electrically Erasable Programmable ROM (EEPROM) Program/Erase Endurance and Data Retention Stress Test*, JEDEC STANDARD JESD22-A117C, JEDEC Solid State Technology Association, Arlington, USA, October 2011.
- [5] Committees: JC-14.1, JC-14, *High Temperature Storage Life*, JEDEC STANDARD JESD22-A103C, JEDEC Solid State Technology Association, Arlington, USA, November 2004.
- [6] Institute of Electrical and Electronics Engineers, *IEEE Standard Definitions and Characterization of Floating Gate Semiconductor Arrays*, IEEE standard 1005-1991, August 2002.
- [7] R.R. MARTIN, W.-B. JONE, S. DAS, *Fault Detection and Diagnosis for Multi-Level Cell Flash Memories*, Instrumentation and Measurement Technology Conference, Sorrento, Italy, April 2006.
- [8] N. MIELKE, H.P. BELGAL, A. FAZIO, Q. MENG, N. RIGHOS, *Recovery Effects in the Distributed Cycling of Flash Memories*, IEEE Publication, Santa Clara, CA 95054, April 2006.
- [9] R.D. ADAMS, *High Performance Memory Testing*, Kluwer Academic Publishers, 2003, 89-101, 213-217, 221.
- [10] *Open NAND FLASH Interface specification 3.0*, Mar. 15, 2011. www.onfi.org.
- [11] www.siliconmotion.com.tw, *SM2244 Product Brief.pdf*.
- [12] Micron Technology Inc., *Design and Use Considerations for NAND Flash Memory*, Technical Note TN-29-17 (www.micron.com), 2006.
- [13] Toshiba, *Semiconductor Reliability Handbook [4] Failure Analysis and Reliability Improvement*, www.semicon.toshiba.co.jp, Feb 2011, 10-33.

- [14] Committees: JC-14.3, *Methods for Calculating Failure Rates in Units of FITs*, JEDEC STANDARD JESD85, JEDEC Solid State, July 2001, 2.
- [15] Toshiba, *Semiconductor Reliability Handbook [3] Reliability Testing*, www.semicon.toshiba.co.jp, April 2011, 30-32.
- [16] W.J. VIGRASS, *Calculation of Semiconductor Failure Rates*, Intersil Inc., 4.
- [17] Serial ATA International Organization, *Serial ATA Revision 2.6 Specification*, February 2007 (www.stat-io.org).

K. BĄK

Designing application test of NAND FLASH memory

Abstract. Simple construction of application test causes its frequent usage in manufacturing processes. Its main advantage is how it is easily adjustable to a huge number of devices with similar or identical application interface. However, the main disadvantage of application tests is limited error coverage. Properly designed application test guarantees the highest possible reliability of the tested devices. Integral part of the application test is to recognize the application environment and aforementioned devices, what is the main topic of this article.

Keywords: diagnostic, NAND FLASH, reliability, application test

