

Szymon BARCZENTEWICZ, Jerzy NABIELEC

AGH AKADEMIA GÓRNICZO-HUTNICZA WYDZIAŁ ELEKTROTECHNIKI, AUTOMATYKI INFORMATYKI I INŻYNIERII BIOMEDYCZNEJ

Wykorzystanie modułu FPGA platformy sprzętowej sbRIO-9602 do obliczania fazora z zastosowaniem DFT

Mgr inż. Szymon BARCZENTEWICZ

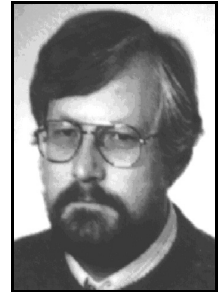
Doktorant Akademii Górniczo-Hutniczej w Krakowie na wydziale Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej w dziedzinie Elektrotechniki. Jego zainteresowania to: przetwarzanie sygnałów, pomiary i analiza systemu elektroenergetycznego, pomiary częstotliwości, pomiary fazora.



e-mail: barcent@agh.edu.pl

Dr inż. Jerzy NABIELEC

Zatrudniony na stanowisku adiunkta w Katedrze Metrologii i Elektroniki na Wydziale Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej Akademii Górniczo-Hutniczej im. Stanisława Staszica w Krakowie. Tytuł mgra oraz dra uzyskał na tym samym wydziale odpowiednio w 1978 r. i 1989r. Jest autorem ponad 50 publikacji. Pełni także funkcję kierownika krajowych projektów badawczych oraz tematów w ramach programów europejskich.



e-mail: jena@agh.edu.pl

Streszczenie

Praca dotyczy problemu implementacji algorytmu obliczania fazora w jednym układzie scalonym FPGA-SPARTAN, w którym jednocześnie zaimplementowany jest protokół komunikacyjny czasu rzeczywistego dostosowany do PSS (*Power Stabilization System*). Przedstawione rozwiązanie pozwala na implementację takich obliczeń z możliwie najmniejszą objętością zajmowanych zasobów FPGA i przy jak najmniejszych błędach obliczeniowych. Algorytm obliczeń oparty został o dyskretne przekształcenie Fouriera.

Słowa kluczowe: wyznaczenie fazora, FPGA, pomiary w systemie elektroenergetycznym, błędy obliczeniowe.

The use of FPGA module of sbRIO-9602 system for phasor computation with the use of DFT

Abstract

This work presents a novel approach to implementation of the phasor estimation algorithm using a single FPGA module, with simultaneous communication protocol compatible with Power Stabilization System on it. The presented implementation allows for calculations using as little resources as possible. This paper is organized as follows. In Section 1 the definitions and convention of graphical representation of phasor and synchrophasor (Fig. 1) given by [1] are quoted. Moreover, the definition of discrete Fourier transform is recalled [4], for explanation of its usage in the presented algorithm. In Section 2 the programming environment LabVIEW FPGA and the used instrumentation (sbRIO-9602 platform with FPGA module Xilinx Spartan, ADC converter NI9215E) are described. Furthermore, the proposed algorithm of phasor estimation is presented. Figure 2 shows the simplified block diagram of the designed algorithm. Afterwards, the methodology and results from the conducted tests are listed. Table 1 presents the resources utilization statistics of FPGA, and Table 2 shows the compilation of the test results of computational errors of module and phase estimation. Phasor estimation algorithm is based on DFT computation, and more specifically only one DFT bin is used when sampling frequency and observation length are known. Algorithm uses this fact to minimize demand for FPGA resources. Conducted tests showed that the main problem with obtaining high accuracy of algorithm is limited precision of fixed-point calculations.

Keywords: phasor estimation, FPGA, power system measurements, computational errors.

1. Wprowadzenie

W pracy zaprezentowany został system pomiarowy do wyznaczenia fazora [1], mający być docelowo częścią systemu PSS (*Power Stabilization System*) [3]. Całość zaimplementowana została z wykorzystaniem modułu FPGA platformy sprzętowej sbRIO-9602.

Węzły pomiarowe systemu PSS komunikują się ze sobą w czasie rzeczywistym przez jednomodowe tory światłowodowe na odległości setek kilometrów. Łączy spełnia jednocześnie dwa zadania: umożliwia synchronizację pracy węzłów z niepewnością rzędu 20 ns i transmisji informacji między nimi w czasie rzeczywistym [2].

Transmisja surowych danych pomiarowych, przy wysokich częstotliwościach próbkowania, jest możliwa pomiędzy co najwyżej dwoma węzłami pomiarowymi, z uwagi na liczbę danych generowanych w jednostce czasu. Dla struktury zawierającej więcej węzłów konieczne jest zastosowanie pewnego rodzaju kompresji danych i przesyłanie pomiędzy węzłami systemu jedynie zagregowanych informacji niezbędnych do jego działania (fazora) [3]. Wykorzystanie wysokiej częstotliwości próbkowania jest wskazane ze względu na potrzebę minimalizowania błędów wyznaczania fazy.

Ze względów ekonomicznych uzasadnionym rozwiązaniem byłoby zaimplementowanie algorytmów komunikacji i wyznaczenia fazora na jednym układzie scalonym FPGA. Niniejsza praca proponuje rozwiązanie problemu kompresji danych pomiarowych, a więc sposób na wyznaczenie fazora w poszczególnych węzłach systemu zgodnie z przedstawionymi powyżej założeniami.

A. Definicja fazora

Dla harmonicznej podstawowej f_0 (50 Hz lub 60 Hz) ciągłego okresowego sygnału napięcia

$$v(t) = V_m \cos(2\pi f_0 t + \phi) = V_m \cos(\omega_0 t + \phi), \quad (1)$$

fazor (związany z napięciem) definiowany jest jako [1]

$$V = (V_m / \sqrt{2}) e^{j\phi} = V_r + jV_i, \quad (2)$$

Jeśli częstotliwość i amplituda sygnału sinusoidalnego zmieniają się w czasie, wtedy (1) może być przedstawione jako

$$v(t) = V_m(t) \cos(2\pi f_0 t + 2\pi \int g(t) dt + \phi), \quad (3)$$

gdzie $g(t) = f_m(t) - f_0$ jest różnicą pomiędzy rzeczywistą $f_m(t)$ i podstawową częstotliwością. Fazor dany jest wtedy wzorem

$$V(t) = (V_m(t) / \sqrt{2}) e^{j(2\pi \int g(t) dt + \phi)}, \quad (4)$$

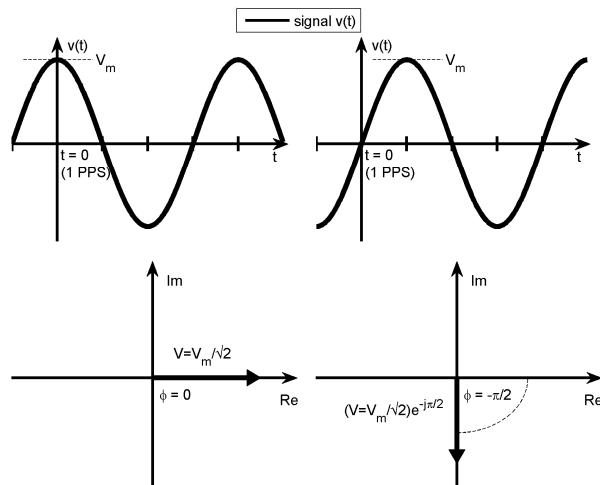
W praktyce fazor obliczany jest z N próbek cyfrowego sygnału v_n powstałego w wyniku próbkowania ciągłego sygnału $v(t)$ z okresem Δt w chwilach czasowych $t_n = n \cdot \Delta t$, $n = 0, 1, 2, \dots, N-1$

oraz jego kwantowania. Postać dyskretna sygnału (1) jest następująca:

$$v_n = V_m \cos(2\pi f_0 n \Delta t + \phi). \quad (5)$$

Zgodnie ze standardem [1], dla częstotliwości 50 Hz fazor powinien być obliczany i przesyłany do węzła nadrzędnego na podstawie 1, 2 lub 5 okresów 50 Hz, to jest 50, 25 lub 10 razy na sekundę (w systemie 50 Hz). W ostatnich latach trwają intensywne prace naukowe dotyczące projektowania metod (algorytmów) obliczania fazora oraz określenia właściwości metrologicznych tych metod [6-14].

Synchrofazor jest to fazor o podstawowej częstotliwości synchronizowanej do UTC (*Coordinated Universal Time*). Rysunek 1 ilustruje zależność pomiędzy kątem fazowym rejestrowanego napięcia a skalą czasu UTC, która jest określana przez 1PPS (*1 Pulse Per Second*) [5].



Rys. 1. Konwencja reprezentacji synchrofazora [1]
Fig. 1. Convention for synchrophasor representation [1]

B. Dyskretna transformata Fouriera

Dyskretne przekształcenie Fouriera (DFT) V_k sygnału v_n dane jest zależnością [4]

$$V_k = \sum_{n=0}^{N-1} v_n e^{-j(2\pi/N)kn}, k = 0, 1, \dots, N-1. \quad (6)$$

Jeżeli v_n reprezentuje próbki sinusoidy o częstotliwości f_0 i zawiera całkowitą liczbę okresów k_0 , wtedy jedyny niezerowy prążek DFT ma indeks $k = k_0$, a więc V_k jest poszukiwanym fazorem V . Częstotliwość sygnału jest estymowana jako częstotliwość prążka DFT z indeksem $k = k_0$

$$\hat{f}_0 = \frac{k_0}{N\Delta t}. \quad (7)$$

Korzystając z (7) można wybrać okres próbkowania Δt i liczbę próbek N , która jest potrzebna do zachowania zasad koherentnego próbkowania dla 50 Hz i $k = 1, 2$ lub 5 . W prezentowanej implementacji przyjęta częstotliwość próbkowania $f_s = 1/(\Delta t)$ to 6,4 kHz, natomiast całkowita liczba okresów obserwacji k_0 wynosi 5. Dla tak przyjętych parametrów całkowita liczba próbek wykorzystywana do estymacji fazora wynosi $N = 640$.

2. Implementacja

A. Środowisko programowe i sprzęt

Eksperymentalny system pomiarowy do wyznaczania fazora utworzony został przy wykorzystaniu sbRIO-9602 firmy National

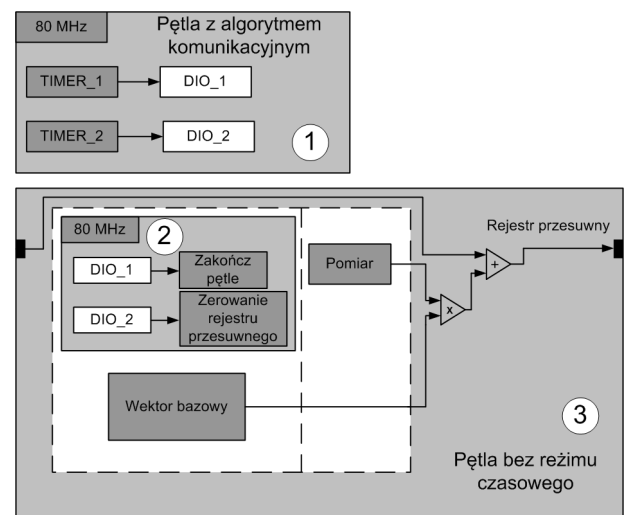
Instruments. Integruje on w sobie system czasu rzeczywistego i układ FPGA (*Filed Programmable Gate Array*). Maksymalna częstotliwość zegara systemowego wynosi 400 MHz, układ FPGA Xilinx Spartan posiada 720 kbitów pamięci RAM oraz 46 080 bramek logicznych. Do sbRIO-9602 dołączony jest cztero-kanałowy układ zbierania danych NI9215E z 16 bitowym przetwornikiem AC typu SAR. Przetwornik działa w zakresie ± 10 V. Sygnałem pomiarowym jest wyjście z przekładnika napięciowego oraz dostosowanego dzielnika napięcia.

Jako środowisko programistyczne wykorzystane zostało LabVIEW 2012 z pakietem narzędziowym pozwalającym na graficzne programowanie układów FPGA.

B. Algorytm

Z powodu bardzo ograniczonych zasobów FPGA wykonywanie obliczeń na wektorach i analiza metodą tradycyjnego FFT jest niemożliwa. Jednak pamiętając o liczbie obserwowanych okresów ($k_0 = 5$) wiadomo, że prążek DFT będący poszukiwanym fazorem ma indeks $k = 5$. Ta wiedza pozwala na ograniczenie przeprowadzanych obliczeń wyłącznie do tego prążka.

LabVIEW FPGA umożliwia deklarowanie bloków pamięci (*Block Memory*), które inicjalizowane są wartościami początkowymi. W takim bloku pamięci utworzony został wektor bazowy DFT dla prążka $k = 5$ na podstawie (6).



Rys. 2. Schemat blokowy algorytmu. (1 - pętla komunikacyjna, 2 - pętla wyzwalająca pomiar, 3 - pętla bez reżimu czasowego)

Fig. 2. Block diagram of the algorithm. (1 - communication loop, 2 - trigger of measurement loop, 3 - loop without time regime)

Na rysunku 2 przedstawiony został schemat implementacji algorytmu. W pętli oznaczonej cyfrą 1 pracującej z zegarem 80 MHz znajduje się algorytm komunikacyjny, oraz dwa liczniki (Timer_1 i Timer_2), które generują sygnały cyfrowe sterujące portami cyfrowymi platformy sbRIO-9602 z częstotliwością 6,4 kHz oraz 10 Hz. Sygnały sterujące są przekazywane do portów DIO_1 i DIO_2. Odpowiadają one kolejno za wyzwalanie pomiaru realizowanego przez pętlę 3 oraz zerowanie rejestru przesuwającego, który zawiera wynik sukcesywnego wyznaczania V . Pętla oznaczona cyfrą 2 wykonuje się dopóty, dopóki nie zostanie wykryte zbocze narastające DIO_1. Kiedy to nastąpi wykonywany jest pomiar za pomocą przetwornika AC. Jednocześnie, w celu uzyskania efektu równoleglenia zadań w FPGA, czytana jest odpowiednia komórka pamięci z uprzednio zadeklarowanego bloku pamięci z wektorem bazowym. Kiedy to nastąpi wykonywany jest pomiar za pomocą przetwornika AC.

Zastosowanie rejestru przesuwającego w pętli oznaczonej cyfrą 3 pozwoliło na wykonywanie obliczeń z próbki na próbkę. W pojedynczym wykonaniu pętli wynik pomiaru mnożony jest przez odpowiadający mu element wektora bazowego, a następnie doda-

wany jest do rejestru przesuwonego, aż do momentu kiedy do wyliczenia (6) wykorzystane zostanie N kolejnych próbek. To zdarzenie sygnalizowane jest przez zmianę sygnału Timer_2.

Zastosowanie obliczeń z próbki na próbkę pozwoliło istotnie zmniejszyć zapotrzebowanie na zasoby FPGA oraz pozwoliło spełnić wymagania czasu rzeczywistego.

C. Testy

Wykorzystując opisany system pomiarowy zrealizowano serię 30 pomiarów fazora. Poszczególne pomiar 5 okresów 50 Hz wykonano z częstotliwością próbkowania 6,4 kHz za pomocą 16 bitowego przetwornika AC. Dane z przetwornika (uzyskiwane w trybie "Raw data") są zapisane jako 16 bitowa liczba całkowita (int16). Amplituda mierzonego sygnału sinusoidalnego pochodzącego z sieci po zastosowaniu niestandardowego przekładnika napięciowego wynosiła 10,35 V, tak aby maksymalnie wykorzystać rozdzielczość zastosowanego przetwornika AC.

Kluczowym założeniem opisywanej implementacji było zminimalizowanie wykorzystania zasobów modułu FPGA. W tabeli 1 przedstawiono raport z kompilacji zawierający statystykę ich wykorzystania dla 16 bitowego wektora bazowego. Implementacja algorytmu wyznaczania fazora w układzie SPARTAN nie zajmuje dużo miejsca, dzięki czemu możliwe jest jednoczesne ułożenie w jednym układzie scalonym algorytmu komunikacyjnego, który zajmuje nie więcej niż 50% zasobów tego układu.

Tab. 1. Wykorzystanie zasobów FPGA
Tab. 1. Recourse utilization statistics of FPGA

	Wykorzystane	Całkowita	Procentowe
Slice registers	1920	40960	4,7
Slice LUTs	2450	40960	6,0
Mult18X18s	3	40	7,5
Block RAMs	3	40	7,5

Kolejnym ważnym aspektem opisywanej implementacji była dokładność wykonywanych obliczeń, która zależała między innymi od rozdzielczości zapisu wektora bazowego. W tabeli 2 przedstawione zostało porównanie błędów obliczeniowych, wynikających z zaokrąglenia wektora bazowego do liczby całkowitej 16 bitowej lub 32 bitowej. Wyniki obliczeń porównane zostały z obliczeniami przeprowadzonymi za pomocą Matlaba z 64 bitową precyzją double. Prezentowane błędy obliczeniowe to kolejno, średni i maksymalny błąd obliczeń modułu, oraz średni i maksymalny błąd obliczeń fazy.

Tab. 2. Zestawienie wyników pomiarowych (błąd bezwzględny)
Tab. 2. Compilation of test results (absolute errors)

Obl.	$\left \frac{V_{k_double}}{V} - \left V_{k_int} \right \right $	$\max \left \frac{V_{k_double}}{V} - \left V_{k_int} \right \right $	$\left \angle V_{k_double} - \angle V_{k_int} \right $ rad	$\max \left \angle V_{k_double} - \angle V_{k_int} \right $ rad
16 bit	9,9410e-06	1,0398e-05	3,1084e-08	6,8140e-08
32 bit	3,0691e-11	3,6549e-11	1,4121e-12	2,1896e-12

Jak widać w tabeli moduł i faza fazora wyliczona z pomocą 32 bitowego wektora bazowego jest bliższa temu obliczonemu z precyzją double. Głównym problemem dla uzyskania dużej dokładności algorytmu obliczeń jest precyzja prowadzonych obliczeń.

Błąd pomiaru napięcia przez skalibrowany przetwornik pomiarowy NI9215E w temperaturze $25 \pm 5^\circ\text{C}$ wynosi 0,02% (*Gain Error*). [14] Błędy numeryczne są więc pomijalnie małe, nawet dla 16-to bitowej reprezentacji współczynników bazowych, w porównaniu do błędów wprowadzanych przez obwody wejściowe DAQ.

3. Podsumowanie

Przedstawiony został system pomiarowy do wyznaczania fazora mający docelowo współpracować z systemem PSS. System pomiarowy oparty został o platformę sprzętową sbRIO-6902. Jako środowisko implementacyjne wykorzystano LabVIEW FPGA.

Algorytm wykorzystuje definicyjny wzór na dyskretną transformację Fouriera, a dokładniej wykorzystuje możliwość obliczania wyłącznie jednego szukanego prążka DFT przy znanej częstotliwości próbkowania i długości obserwacji sygnału. Algorytm wykorzystuje ten fakt po to, żeby zminimalizować wielkość potrzebnych do jego realizacji zasobów FPGA.

Przeprowadzone eksperymenty pozwoliły stwierdzić, że przy założonych parametrach pracy (tj. częstotliwości próbkowania i długości okna czasowego) zasoby jednej struktury FPGA są wystarczające do dotrzymania reżimów czasowych synchronizacji pomiarów oraz do alokowania algorytmów: komunikacyjnego i obliczania pojedynczego prążka DFT.

W przyszłości planowane jest zwiększenie częstotliwości próbkowania do 50 kHz oraz rekurencyjne obliczanie trzech prążków DFT [10], tak aby można było zastosować algorytmu interpolowanego DFT [9-14] w celu zwiększenia dokładności estymowania rzeczywistej częstotliwości rejestrowanego sygnału.

4. Literatura

- [1] IEEE Standard for Synchrophasor Measurements for Power Systems, IEEE Standard C37.118.1-2011, 2011.
- [2] WIPO ST 10/C PL402221: Sposób i układ do synchronizacji i przesyłania informacji w rozległym systemie pomiarowo sterującym, zgłoszony patent.
- [3] Chow J., Ghiocel S.: An adaptive Wide-Area Power System Damping Controller using Synchrophasor Data, 2012.
- [4] Oppenheim A., Schaffer J.: Discrete-Time Signal Processing, Prentice-Hall, 1999.
- [5] Januszewski J., Systemy satelitarne GPS Galileo i inne, PWN, 2006.
- [6] Phadke A., Thorp J.: Synchronized Phasor Measurements and Their Applications, Springer, 2008.
- [7] de la O Serna J.: Dynamic Phasor Estimates for Power System Oscillation, IEEE Trans. on Instrumentation and Measurement, vol. 56, s. 1648-1657, 2007.
- [8] Premerlani W., Kasztenny B., Adamiak M.: Development and implementation of a synchrophasor estimator capable of measurements under dynamic conditions, IEEE Trans. Power Del., vol. 23, s. 109-123, 2008.
- [9] Belega D., Petri D.: Accuracy Analysis of the Multicycle Synchrophasor Estimator Provided by the Interpolated DFT Algorithm, IEEE Trans. on Instrumentation and Measurement, vol. 62, s. 942-953, 2013.
- [10] Duda K.: Accurate, Guaranteed-Stable, Sliding DFT, IEEE Signal Processing Mag., s. 124-127, 2010.
- [11] Duda K.: DFT Interpolation Algorithm for Kaiser-Bessel and Dolph-Chebyshev Windows, IEEE Trans. Instrum. Meas., vol. 60, s. 784-790, 2011.
- [12] Duda K., Zieliński T., Magalas L. B., Majewski M.: DFT based Estimation of Damped Oscillation's Parameters in Low-frequency Mechanical Spectroscopy, IEEE Trans. Instrum. Meas., vol. 60, s. 3608-3618, 2011.
- [13] Duda K., Zieliński T.: Efficacy of the Frequency and Damping Estimation of Real-value Sinusoid, Instrumentation & Measurement Magazine, s. 048-058, 2013.
- [14] Barczentewicz S., Borkowski D., Duda K.: Compliance Verification of the Phasor Estimation Based on Bertocco-Yoshida Interpolated DFT with Leakage Correction, IEEE SPA Conference, 2013.
- [15] <http://www.ni.com>