

Piotr GRZEJSZCZAK
Roman BARLIK

WYBRANE SPOSOBY MINIMALIZACJI ŁĄCZENIOWYCH STRAT ENERGII W WYSOKONAPIĘCIOWYCH TRANZYSTORACH MOSFET PRACUJĄCYCH Z TWARDĄ KOMUTACJĄ

STRESZCZENIE *W artykule przedstawiono wybrane sposoby ograniczania łączeniowych strat energii w tranzystorach MOSFET pracujących z twardą komutacją. Głównym źródłem strat energii w tym procesie jest ładunek wsteczny diod zwrotnych komplementarnych łączników w gałęzi. W badaniach właściwości dynamicznych strukturalnych diod zwrotnych wysokonapięciowych tranzystorów MOSFET wykazano ścisłą zależność ładunku wstecznego od długości czasu martwego w gałęzi przekształtnika. W związku z powyższym zaproponowano sposób minimalizacji dynamicznych strat energii przez dostosowanie czasu martwego w gałęziach przekształtnika do wartości prądu przełączanego przez tranzystory. Wyniki badań zaprezentowano dla tranzystorów MOSFET wykonanych w różnych technologiach*

Słowa kluczowe: *tranzystory MOSFET, łączeniowe straty energii, twarde załączanie, ładunek wsteczny diod*

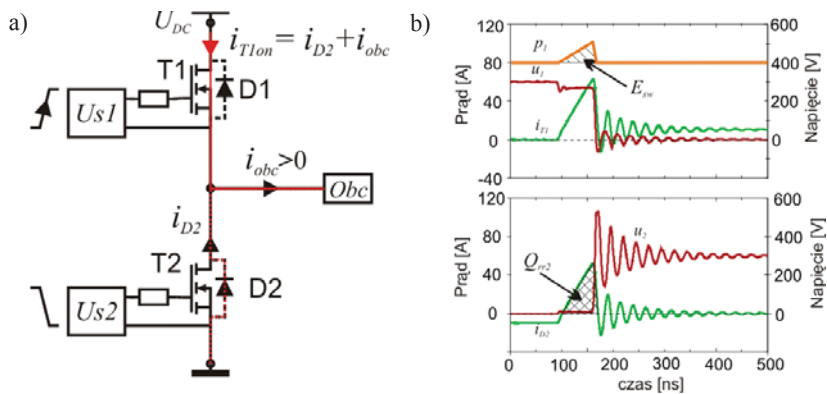
1. WSTĘP

Właściwości dynamiczne strukturalnych diod zwrotnych w krzemowych wysokonapięciowych tranzystorach MOSFET mają decydujący wpływ na wartość strat energii w przekształtnikach wysokoczęstotliwościowych z twardym przełączaniem [1].

dr inż. Piotr GRZEJSZCZAK, prof. dr hab. inż. Roman BARLIK
e-mail: [piotr.grzejszczak; Roman.Barlik]@ee.pw.edu.pl

Politechnika Warszawska,
Instytut Sterowania i Elektroniki Przemysłowej,
ul. Koszykowa 75, 00-662 Warszawa

W procesie tym (rys. 1) prąd i_{D2} , związany z ładunkiem wstecznym Q_{rr} diody D2, dodaje się do prądu obciążenia i_{obc} , załączonego przez tranzystor T1, powodując znaczny wzrost energii łączeniowej E_{sw} . Oprócz tego, gwałtowny spadek prądu załączonego i_{T1on} na koniec procesu (duża stromość prądu di/dt), powoduje groźne dla układu przepięcia w indukcyjnościach pasożytniczych przekształtnika, które mogą zniszczyć tranzystory i są źródłem silnych zaburzeń elektromagnetycznych. Dodatkowo duża stromość napięcia du/dt , towarzysząca szybkiemu rozładowywaniu pojemności łączników dużym impulsem prądu, powoduje zakłócenia obwodu bramki, które objawiają się wielokrotnymi niekontrolowanymi załączeniami komplementarnego łącznika (będącymi źródłem dodatkowych strat mocy w przekształtniku).



Rys. 1. Przykładowy proces twardego załączenia tranzystora MOSFET:

a) schemat pojedynczej gałęzi mostka; b) przykładowe przebiegi napięcia i prądu na górnym i dolnym łączniku

W praktyce spotykane się różne sposoby ograniczania niekorzystnego wpływu właściwości pasożytniczych diod zwrotnych tranzystorów MOSFET. Najczęściej stosowane są skomplikowane algorytmy sterowania, pozwalające unikać obszarów twardego załączenia w przekształtniku [2]. Z drugiej strony są rozwiązania konstrukcyjne, ograniczające udział tych diod w przewodzeniu prądu [3] bądź całkowicie eliminujące te diody z działania układu [4]. Każde z tych rozwiązań powoduje istotną komplikację samego układu sterowania lub budowy przekształtnika, dlatego są one rzadko wykorzystywane w praktyce.

2. BADANIA DYNAMICZNYCH WŁAŚCIWOŚCI DIOD STRUKTURALNYCH TRANZYSTORÓW MOSFET

Z powodu bardzo ograniczonych informacji na temat parametrów katalogowych strukturalnych diod zwrotnych tranzystorów MOSFET, w celu minimalizacji łączenio-

wych strat energii w układach z twardą komutacją, koniecznym są pogłębione badania nad właściwościami dynamicznymi tych diod. Lepsze poznanie tych właściwości pozwoli skuteczniej ograniczać wartości mocy strat całego przekształtnika.

Do dalszych badań wytypowano następujące rodzaje tranzystorów:

- tranzystor A – model **IPW60R070C6** (600 V, 70 mΩ) – wykonany w technologii CoolMOS z zoptymalizowaną charakterystyką pojemności złączowych;
- tranzystor B – model **STW55NM60** (600 V, 4 mΩ) – wykonany w technologii zmodyfikowanego superzłącza (MDmesh) ze zmniejszoną rezystancją kanału i szybką diodą zwrotną;
- tranzystor C – model **IPW65R080CFD** (650 V, 80 mΩ) – wykonany w technologii CoolMOS z szybką diodą zwrotną, zmniejszonym ładunkiem wstecznym i złączoną komutacją.

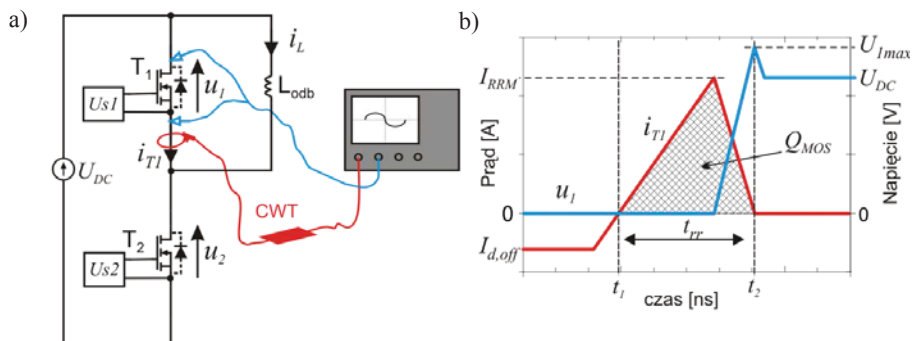
Tranzystory te zostały wybrane pod kątem technologii wykonania ich struktur półprzewodnikowych, które mają decydujący wpływ na właściwości dynamiczne samych diod strukturalnych oraz dostępności odpowiadających im modeli symulacyjnych.

Parametry układu testowego do badania dynamicznych właściwości łączników (rys. 2) umieszczono w tabeli 1. W kolejnych rozdziałach przedstawiono wyniki badań symulacyjnych i eksperymentalnych.

TABELA 1

Parametry układu testowego do wyznaczania ładunku wstecznego diod zwrotnych

Lp.	Parametr	Wartość
1.	Napięcie zasilające	281 V
2.	Czas martwy	120 ns (regulacja od 30 ns do 400 ns)
3.	Rezystancja obwodu bramki	6,5 Ω
4.	Nominalny prąd załączany	10 A (regulacja od 1 A do 30 A)
5.	Indukcyjność odbiornika	145 μH



Rys. 2. Sposób wyznaczania ładunku wstecznego diody podłożowej tranzystora MOSFET [5]: a) schemat układu pomiarowego (CWT – sonda prądowa z cewką Rogowskiego); b) idea pomiaru ładunku wstecznego na podstawie rejestracji wartości chwilowej prądu

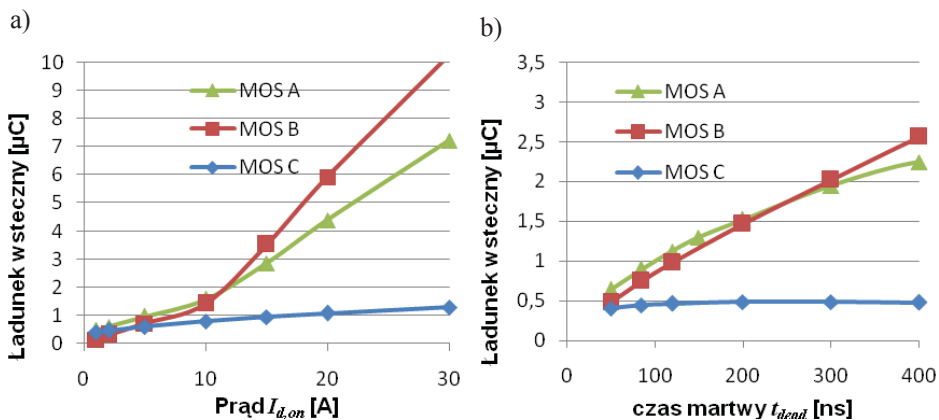
2.1. Badania symulacyjne

Badania symulacyjne zostały wykonane w programie *Pspice* z wykorzystaniem modeli symulacyjnych rzeczywistych tranzystorów zawierających sub-obwody z modelami strukturalnych diod zwrotnych. Wyznaczanie ładunku wstecznego zintegrowanej diody zwrotnej tranzystorów MOSFET przeprowadzono zgodnie z układem z rysunku 2. Obliczając całkę z prądu i_d w przedziale od chwili przejścia tego prądu przez zero (t_1) do chwili ponownego osiągnięcia wartości zerowej (t_2) otrzymuje się wartość ładunku Q_{MOS} tranzystora MOSFET, który jest sumą ładunku wynikającego z pojemności wyjściowej C_{oss} i ładunku wstecznego wynikającego z pojemności dyfuzyjnej diody Q_{rr} . Stąd szukaną wartość możemy wyznaczyć z zależności:

$$Q_{rr} = Q_{MOS} - Q_{oss} \quad (1)$$

przy czym ładunek Q_{oss} można zmierzyć w tym samym układzie testowym, wyznaczając całkę z prądu i_d w gałęzi bez obciążenia.

Na rysunku 3a umieszczono wykresy przedstawiające wartości wyznaczonego ładunku wstecznego diody strukturalnej tranzystorów A, B i C w funkcji przełączanego prądu. Uzyskane wyniki wskazują na bardzo małą wartość ładunku wstecznego w tranzystorze C w stosunku do dwóch pozostałych, szczególnie w zakresie prądów większych niż 10 A. W tym samym układzie przeprowadzono również testy pozwalające wyznaczyć zależność ładunku wstecznego diody od czasu martwego w gałęzi. Wyniki tych badań (rys. 3b) wskazują na znaczne różnice w zachowaniu się ładunku wstecznego tranzystorów A i B względem tranzystora C, dla którego mierzony ładunek jest praktycznie niezależny od parametrów sterowania łącznikami w gałęzi.

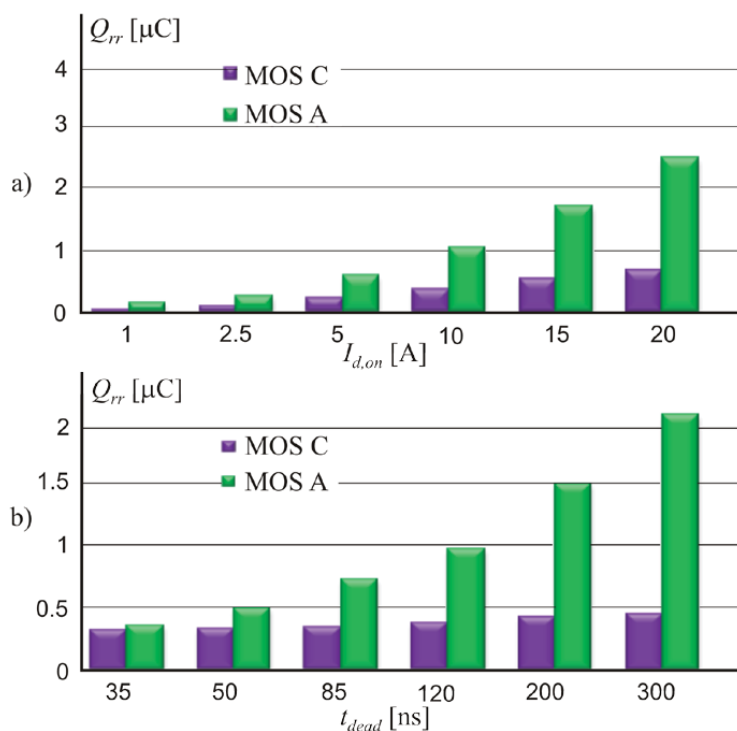


Rys. 3. Wyniki badań symulacyjnych tranzystorów MOSFET A, B i C w temp. 25°C:

- a) zależność ładunku wstecznego zintegrowanych diod zwrotnych od prądu załączania;
 b) zależność ładunku wstecznego od czasu martwego w gałęzi mostka

2.2. Badania laboratoryjne

W ramach badań eksperymentalnych wykonano testy laboratoryjne w celu wyznaczenia rzeczywistych wartości ładunku wstecznego diody strukturalnej tranzystora C (IPW60R080CFD) w różnych warunkach pracy w gałęzi mostka oraz dokonano porównania z tranzystorem A (IPW60R070C6). Wyniki tych testów zostały umieszczone na rysunku 4, w którym diagram (a) prezentuje zmianę ładunku wstecznego diod zwrotnych badanych tranzystorów w funkcji prądu załączania, natomiast diagram (b) zmianę tego ładunku w funkcji czasu martwego. Zgodnie z oczekiwaniami w obydwu przypadkach ładunek wsteczny tranzystorów CFD jest istotnie mniejszy niż w przypadku tranzystorów serii C6, natomiast diagram (b) pokazuje dodatkowo ciekawą właściwość tranzystorów CFD, których ładunek wsteczny, w przeciwieństwie do tranzystorów C6 jest praktycznie niezależny od wartości czasu martwego, co oznacza, że wartość strat mocy załączania w mostku z tego typu tranzystorami również będzie stała dla różnych czasów martwych.

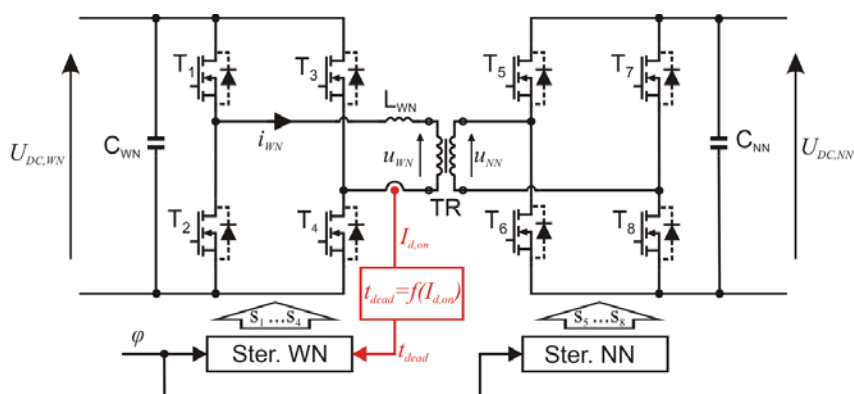


Rys. 4. Wyniki badań eksperymentalnych dla tranzystorów A (IPW60R070C6) i C (IPW60R080CFD) w temp. 25°C: a) zależność ładunku wstecznego zintegrowanych diod zwrotnych od prądu załączania; b) zależność ładunku wstecznego od czasu martwego w gałęzi mostka

Przedstawione wyniki w dużej mierze potwierdzają wyniki uzyskane w modelach symulacyjnych (większe różnice występują w zakresie prądów I_d powyżej 15 A). Oznacza to możliwość wykorzystania modeli symulacyjnych do precyzyjnego wyznaczenia łączeniowych strat energii w tranzystorach pracujących w przekształtniku z twardą komutacją [6].

3. METODY OGRANICZANIA ŁĄCZENIOWYCH STRAT ENERGII W UKŁADACH Z TWARDĄ KOMUTACJĄ

Z przedstawionych w poprzednim rozdziale wyników badań wynika, że w przekształtnikach z twardą komutacją można oczekiwać znacznego ograniczenia łączeniowych strat energii poprzez wykorzystanie w układzie tranzystorów o poprawionych parametrach dynamicznych diod strukturalnych lub zastosowanie prostego w implementacji algorytmu sterowania, umożliwiającego regulację czasu martwego w zależności od wartości prądu przełączanego w przekształtniku. Przykład realizacji drugiego rozwiązania w odniesieniu do układu podwójnego mostka aktywnego (DAB) [7], w którym w jednym z mostków występują wysokonapięciowe tranzystory MOSFET zaprezentowano na rysunku 5.



Rys. 5. Schemat ideowy przekształtnika DAB z algorytmem sterowania ze zmiennym czasem martwym w gałęziach mostka wysokonapięciowego

W przekształtniku tym, tranzystory mostka są sterowane w trybie bez modulacji, z wypełnieniem ok. 50% okresu z zadaną częstotliwością. W czasie komutacji mierzona jest wartość chwilowa prądu wyjściowego mostka, która jest jednocześnie wartością prądu $I_{d,on}$ załączanego przez tranzystory MOSFET w stanach pracy z twardą komutacją. Na podstawie tej wartości dobierana jest wartość czasu martwego w gałęzi. Wartość ta może być wyznaczona doświadczalnie np. w teście dwupulsowym i wpisana w formie tabelicy lub funkcji $t_{dead} = f(I_{d,on})$ albo obliczona na podstawie znajomości ładunku wyjściowego tranzystora oraz wartości prądu w czasie komutacji z zależności:

$$t_{dead} = \frac{Q_{MOS1} - Q_{MOS2}}{I_{d,on}} \quad (2)$$

gdzie:

Q_{MOS1} , Q_{MOS2} – ładunki związane z pasożytniczymi pojemnościami tranzystorów.

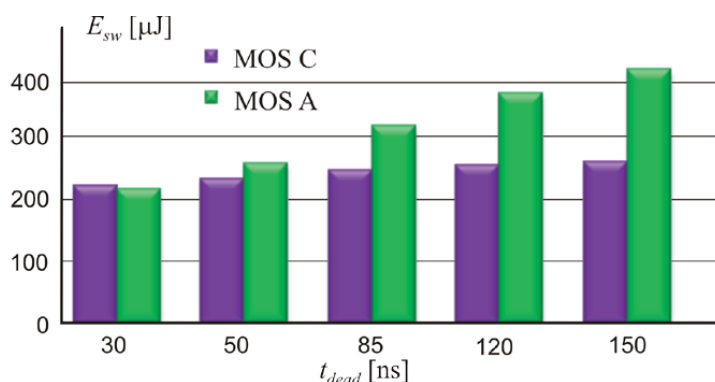
4. WYZNACZANIE ŁĄCZENIOWYCH STRAT ENERGII WYSOKONAPIĘCIOWYCH TRANZYSTORÓW MOSFET

Reprezentatywnym przekształtnikiem, w którym łączniki mostka mogą pracować w warunkach twardej komutacji jest przedstawiony na rysunku 5 układ podwójnego mostka aktywnego. W celu wyznaczenia łączeniowych strat energii w mostku wysokonapięciowym przekształtnika DAB, którego podstawowe parametry zaprezentowano w tabeli 2, stworzono precyzyjny model symulacyjny całego układu w programie *Pspice*. Wykorzystano przy tym sprawdzone wcześniej modele tranzystorów MOSFET IPW60R070C6 oraz IPW60R080CFD. Przeprowadzone badania miały na celu sprawdzenie i ocenę różnych sposobów ograniczania łączeniowych strat energii w tranzystorach MOSFET nowej generacji.

TABELA 2

Parametry układu testowego przekształtnika DAB

Lp.	Parametr	Wartość
1.	Napięcie strony wysokonapięciowej	281 V
2.	Napięcie strony niskonapięciowej	40-60 V
3.	Częstotliwość przełączeń	100 kHz
4.	Przekładnia transformatora	0,1818
5.	Indukcyjność dławików dodatkowych	20 μ H
6.	Nominalny czas martwy	120 ns (regulacja od 30 ns do 150 ns)
7.	Rezystancja obwodu bramki	6,5 Ω



Rys. 6. Wyniki strat energii załączania w pojedynczym tranzystorze MOSFET IPW65R080CFD (C) oraz IPW60R070C6 (A) przy twardym załączaniu prądu $I_{d,on} = 7$ A dla różnych czasów martwych (w temp. 25°C)

Wyniki przeprowadzonych badań zostały umieszczone na rysunku 6, w którym przedstawiono wartość łączeniowych strat energii dla pojedynczego tranzystora MOSFET. Badania wykonano dla przypadku załączania maksymalnego prądu $I_{d,on} = 7$ A, dla różnych wartości czasu martwego w gałęziach mostka. Wykres ten potwierdza istotny wpływ tego czasu na energię łączeniową tranzystora IPW60R070C6. Wyniki dla tranzystora IPW65R080CFD nie wykazują tak znacznego wpływu, ze względu na inną budowę łącznika i znacznie zmniejszony ładunek zwrotny diody strukturalnej. Oznacza to, że zastosowanie tego typu łącznika pozwala uzyskać wyniki strat łączeniowych dla stałego czasu martwego 120 ns, odpowiadające pracy klasycznego tranzystora CoolMOS z czasem martwym zmniejszonym do poziomu 30 ns.

5. PODSUMOWANIE

W wyniku przeprowadzonych badań jednoznacznie potwierdzono znaczną poprawę sprawności energetycznej mostka wysokonapięciowego z tranzystorami MOSFET, sterowanego ze zmienną wartością czasu martwego. Redukcja łączeniowych strat mocy w najlepszym przypadku (dla czasu martwego 30 ns), w stosunku do warunków ze stałym nominalnym czasem martwym 120 ns (czas ten zapewniał prawidłową pracę tranzystorów w całym zakresie działania układu) wyniósł około 30%. Badania tranzystorów IPW65R080CFD, które zostały zoptymalizowane przez wytwórców pod kątem właściwości dynamicznych strukturalnych diod wskazują, że stosowanie tego typu układów również pozwala uzyskać znaczną redukcję łączeniowych strat mocy bez modyfikacji algorytmu sterowania. Praca ze zmiennym czasem martwym w przypadku tych tranzystorów może dodatkowo zredukować łączeniowe straty mocy o około 10%. Otrzymane wyniki pozwalają oczekiwać znacznego ograniczenia łączeniowych strat mocy także w innych układach przekształtnikowych z wysokonapięciowymi tranzystorami MOSFET pracującymi z twardą komutacją.

Podziękowania

Badania finansowane ze środków przeznaczonych na rozwój młodych naukowców i uczestników studiów doktoranckich na Wydziale Elektrycznym Politechniki Warszawskiej w roku 2014.

LITERATURA

1. Burra R. K., Shenai K.: CoolMos Integral Diode: a Simple Analytical Reverse Recovery Model. Proc. IEEE 34th Annual Conference on Power Electronics Specialist, 2, s. 834-838, Acapulco, 2003.
2. Ma G., Qu W., Yu G., Liu Y., Liang N., Li N.: A zero-voltage switching bidirectional dc-dc converter with state analysis and soft switching-oriented design consideration. IEEE Transaction on. Industrial Electronics, vol. 56, nr 6, s. 2174-2184, 2009.
3. Farag M., Gadoue S., Mohamadein A., Massoud A., Ahmed S.: Elimination of reverse recovery effects associated with CoolMOS devices employing current source inverter topology. Proc. of 6th IET International Conference on Power Electronics, Machines and Drives, Bristol, 2012.

4. Brown C., Sarlioglu B.: Reducing Switching Losses in BLDC Motor Drives by Reducing Body Diode Conduction of MOSFETs. Proc. of Energy Conversion Congress and Exposition (ECCE), Denver, 2013.
5. Grzejszczak P.: Metodyka wyznaczania strat energii w łącznikach półprzewodnikowych przekształtnika o cechach podwójnego mostka aktywnego z uwzględnieniem zjawisk termicznych. Praca doktorska, Politechnika Warszawska, 2014
6. Grzejszczak P., Nowak M., Barlik R.: Wykorzystanie modeli symulacyjnych do wyznaczania strat łączeniowych w tranzystorach podwójnego mostka aktywnego. Przegląd Elektrotechniczny, tom 90, nr 2, s. 186–190, 2014
7. Barlik R., Nowak M., Grzejszczak P.: Power transfer analysis in a single phase dual active bridge. Bulletin of the Polish Academy of Sciences, Technical Sciences, vol. 61, nr 4, s. 1-20, 2013.

Przyjęto do druku dnia 22.10.2015 r.

SELECTED METHODS TO REDUCE HARD-SWITCHING LOSSES IN HIGH VOLTAGE POWER MOSFETS

Piotr GRZEJSZCZAK, Roman BARLIK

ABSTRACT *In this paper, selected methods to reduce switching losses in Power MOSFETs under hard switching operation were presented. The main part of these switching losses in two switches branch is body diode reverse recovery charge. Studies have demonstrated the dependence of the reverse recovery charge on the dead time length. Accordingly, the proposed methods of minimizing switching losses by adjusting the dead time length to switching current value. Simulation studies have shown a significant reduction in switching losses in the dual active bridge after applying the control algorithm with a variable dead time.*

Keywords: *MOSFET, switching losses, hard commutation, body diode reverse recovery charge*

Dr inż. Piotr GRZEJSZCZAK ukończył studia magisterskie (2009) i doktoranckie (2014) na Wydziale Elektrycznym Politechniki Warszawskiej. Od 2010 roku jest pracownikiem naukowo-dydaktycznym w Instytucie Sterowania i Elektroniki Przemysłowej Politechniki Warszawskiej. Brał udział w badaniach dotyczących łączników półprzewodnikowych wykonanych z węgla krzemu (SiC), a także w badaniach wysokosprawnych przekształtników energoelektronicznych pracujących z dużą częstotliwością łączy. Jest autorem i współautorem licznych publikacji naukowych z tej tematyki. Od 2013 roku jest także członkiem IEEE oraz recenzentem czasopism IEEE o tematyce energoelektronicznej.



