

PROJEKT 7-BITOWEGO NISKOMOCOWEGO PRZETWORNIKA A/C W TECHNOLOGII SUBMIKRONOWEJ O MAŁEJ POWIERZCHNI DO ZASTOSOWAŃ WIELOKANALOWYCH

Piotr Otfinowski, Piotr Kmon, Rafał Kleczek

Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie, Wydział Elektrotechniki, Automatyki, Informatyki i Elektroniki, Katedra Metrologii

Streszczenie. W artykule został przedstawiony projekt przetwornika analogowo-cyfrowego w technologii CMOS 180nm. Wybraną architekturą jest przetwornik kompensacyjny z równoważeniem ładunku. Duży nacisk został położony na zmniejszenie zajmowanej powierzchni jak i minimalizację poboru mocy, co czyni prezentowany układ odpowiednim do zastosowań wielokanałowych. Autorzy prezentują wyniki symulacji Monte-Carlo nieliniowości charakterystyki przejściowej. Zaprezentowany przetwornik osiąga szybkość konwersji 3 MS/s przy rozdzielczości 7 bitów i poborze mocy 77 μ W oraz zajmuje tylko 90 x 95 μ m².

Słowa kluczowe: przetwornik analogowo-cyfrowy, równoważenie ładunku, przetwornik kompensacyjny

DESIGN OF 7-BIT LOW-POWER, LOW AREA A/D CONVERTER IN SUBMICRON PROCESS FOR MULTICHANNEL SYSTEMS

Abstract. The design of analog-to-digital converter implemented in CMOS 180 nm technology has been presented in this paper. The successive approximation architecture with charge redistribution has been chosen. Much emphasis was placed on limiting the area occupancy of the whole chip so as its power consumption, which makes the described circuit suitable for multichannel applications. The presented converter achieves 3 MS/s sampling rate with 7-bit resolution at 77 μ W and occupies only 90 x 95 μ m².

Keywords: SAR ADC, charge redistribution, successive approximation converter

Wstęp

Dynamiczny rozwój w dziedzinach wykorzystujących promienie X, takich jak spektrometria masowa lub obrazowanie medyczne, stawia coraz większe wymagania układom odczytu z detektorów krzemowych [6]. Dodanie przetwornika analogowo-cyfrowego mierzącego amplitudę impulsu znacząco poprawiłoby jakość pomiaru, umożliwiając bezpośredni pomiar energii padającego promieniowania. Pozwoliłoby to również ograniczyć negatywny wpływ efektu podziału ładunku w detektorze na rozdzielczość przestrzenną systemu.

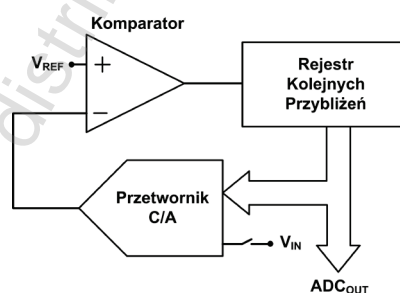
Innym odpowiednim zastosowaniem dla małych, energooszczędnych przetworników A/C są systemy do rejestrowania aktywności neuronowej [3]. Zbudowane są one na bazie matrycy wielu elektrod, z których dane muszą być odczytywane i przesyłane równocześnie. Jako że systemy takie powinny charakteryzować się bardzo dużą ilością kanałów rejestracyjnych (w celu lepszego zrozumienia badanych zależności) istnieje konieczność przesyłania bardzo dużej ilości danych. Jednym ze sposobów ograniczenia ilości danych jest wstępna ich kompresja, która powinna być realizowana w sposób cyfrowy. Wymaga to dodania do każdego kanału odczytowego przetwornika A/C. Jako że dostępna moc oraz powierzchnia przypadająca na pojedynczy kanał odczytowy jest ograniczona, budowa przetwornika A/C odpowiedniego zastosowania w wielokanałowych systemach neurobiologicznych – zajmującego bardzo małą powierzchnię i pobierającego niewielką moc – umożliwiłaby zdecydowanie poprawienie ich funkcjonalności.

Celem pracy jest projekt przetwornika A/C odpowiedniego do przedstawionych zastosowań. Przetwornik powinien osiągać rozdzielczość z zakresu 6-8 bitów, szybkość próbkowania co najmniej 2 MS/s oraz charakteryzować się niskim poborem mocy. Jako że planowane zastosowania układu obejmują systemy wielokanałowe, jego pole powierzchni powinno być jak najmniejsze.

1. Architektura przetwornika

Wybraną architekturą przetwornika jest przetwornik kompensacyjny z równoważeniem ładunku. Schemat blokowy przetwornika został przedstawiony na rysunku 1.

Główną zaletą wybranej architektury jest wysoka sprawność energetyczna – definiowana jako ilość energii potrzebnej do pojedynczej konwersji – FOM (ang. *Figure-of-Merit*). Współczynniki dobroci są mniejsze niż 100 fJ/conv [1], natomiast najniższa zanotowana wartość wynosi 4,4 fJ/conv [2].



Rys. 1. Schemat blokowy przetwornika A/C z równoważeniem ładunku

Kolejną istotną cechą jest brak wzmacniaczy operacyjnych oraz zredukowana część analogowa, ograniczająca się do komparatora oraz przetwornika C/A. Przetwarzanie sygnału opiera się niemal wyłącznie na elementach pasywnych.

Szybkości konwersji osiągane przez tego typu przetworniki wyprodukowane w nowoczesnych procesach produkcyjnych są rzędu 100 MS/s [7], co jest wartością znacznie wyższą niż wymagana do planowanych zastosowań.

Ze względu na to, że najważniejszym kryterium była jak najmniejsza powierzchnia układu, nie zdecydowano się na różnicowe przetwarzanie sygnału, co wymagałoby zastosowania dwóch przetworników C/A.

Konwersja przebiega w dwóch fazach. W pierwszej fazie napięcie wejściowe V_{IN} jest próbkowane oraz zapamiętywana jest jego różnica względem napięcia referencyjnego: $V_{REF} - V_{IN}$. W następnym etapie następuje właściwa konwersja. Najbardziej znaczący bit słowa wejściowego przetwornika C/A, będącego jednocześnie słowem wyjściowym przetwornika A/C, jest ustawiany. Napięcie wyjściowe przetwornika C/A jest równe wówczas połowie pełnego zakresu i wynosi $\frac{1}{2}V_{REF}$. Jeżeli suma napięcia wyjściowego przetwornika C/A oraz zapamiętanego w pierwszej fazie napięcia $V_{REF} - V_{IN}$ jest mniejsza niż wartość napięcia referencyjnego V_{REF} , bit pozostaje ustawiony. W przeciwnym wypadku jest on zerowany. Procedura przebiega analogicznie dla pozostałych bitów. W ten sposób suma napięcia wyjściowego przetwornika C/A oraz zapamiętanego napięcia dąży do V_{REF} . Po wyznaczeniu najmłodszego bitu, możemy zapisać zależność:

$$V_{DAC} + (V_{REF} - V_{IN}) = V_{REF} \quad (1)$$

kóra upraszcza się do równości:

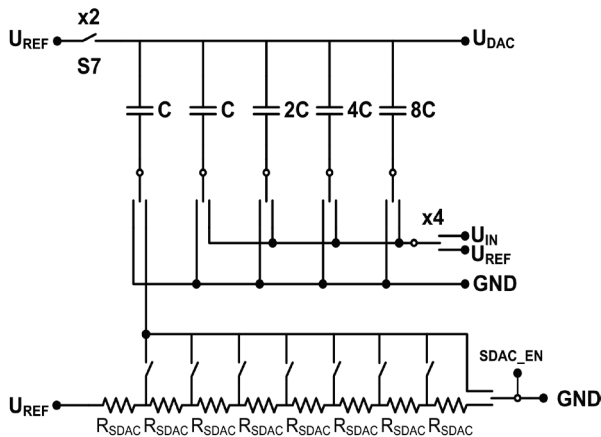
$$V_{DAC} = V_{IN} \quad (2)$$

Oznacza to, że wartość napięcia wyjściowego przetwornika C/A jest równa próbkowanej wartości napięcia wejściowego V_{IN} , a jego słowo wejściowe jest jego cyfrową reprezentacją.

2. Projekt układu

W przetwornikach kompensacyjnych przetwornik C/A jest najważniejszym blokiem, jako że decyduje o rozdzielczości oraz nieliniowości całego przetwornika A/C. Powszechnie stosowanym rozwiązaniem [1, 2, 4, 5, 7] jest przetwornik z podziałem ładunku. Jego zaletami jest zerowy statyczny pobór mocy, dobre dopasowanie scalonych kondensatorów tworzących matrycę (skutkujące dużą liniowością) oraz fakt, że może pełnić on również funkcję układu próbkująco pamiętającego.

Rozdzielczość przetwornika z podziałem ładunku jest proporcjonalna do jego rozmiarów. Aby zwiększyć ją o jeden bit konieczne jest dodanie kolejnego kondensatora o pojemności równej sumie pozostałych. Wymaga to dwukrotnego zwiększenia powierzchni. Do otrzymania wysokich rozdzielczości konieczna jest więc matryca o dużych rozmiarach.



Rys. 2. Schemat przetwornika C/A z równoważeniem ładunku

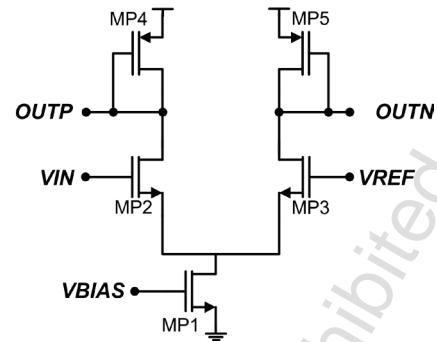
W prezentowanym układzie wybrano rozwiązanie polegające na rozdzieleniu przetwornika C/A na dwie części: przetwornik główny oraz przetwornik pomocniczy [5]. Ma to na celu przede wszystkim zmniejszenie zajmowanej powierzchni oraz pojemności przetwornika C/A, a poprzez to również poboru mocy układu. Jako przetwornik główny użyty został 4-bitowy przetwornik z podziałem ładunku, natomiast jako przetwornik pomocniczy – 3-bitowy dzielnik rezystancyjny.

Aby zminimalizować efekty rozrzutu parametrów w matrycy kondensatorów, przy przygotowywaniu jej planu masek przetwornika wzięto pod uwagę szereg czynników. Podstawową strukturą jest kondensator jednostkowy o wartości najmniejszej pojemności w matrycy. Większe kondensatory są tworzone poprzez równoległe połączenie odpowiedniej liczby kondensatorów jednostkowych. Dodatkowo na granicy zostały dodane dodatkowe kondensatory (ang. *dummy*), w celu zapewnienia jednakowego otoczenia dla pozostałych kondensatorów.

Jako klucze zastosowano bramki transmisyjne. Główną ich zaletą w stosunku do pojedynczego tranzystora jest mniejszy wpływ napięcia na zaciskach klucza na jego rezystancję. Aby zminimalizować błąd wynikający ze wstrzykiwania ładunku kanału wymiary tranzystorów PMOS oraz NMOS są identyczne.

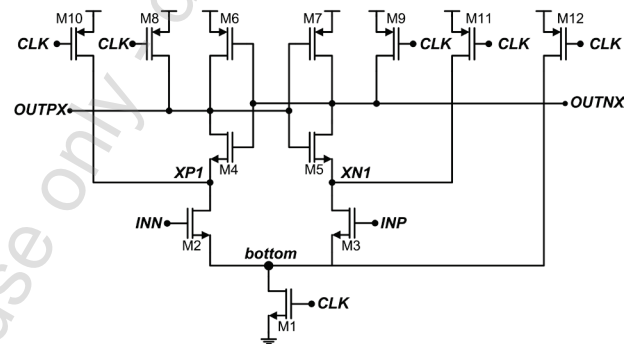
Kolejnym blokiem funkcyjnym składającym się na całość przetwornika A/C jest komparator. Składa się on z dwóch stopni: przedwzmacniacza oraz synchronicznego zatrasku.

Schemat przedwzmacniacza został zaprezentowany na rysunku 3. Jest on zrealizowany jako para różnicowa tranzystorów NMOS MP2-MP3 z diodowo połączonymi tranzystorami PMOS MP4-MP5 pełniącymi funkcję obciążenia. Czas ustalania się wyjścia przedwzmacniacza jest głównym czynnikiem ograniczającym szybkość układu, stąd stopień przedwzmacniacza wymaga stosunkowo wysokiego prądu polaryzacji, który w prezentowanym układzie został ustalony na poziomie 10 μ A. Gwarantuje to, że czas odpowiedzi całego komparatora będzie krótszy od połowy taktu zegarowego.



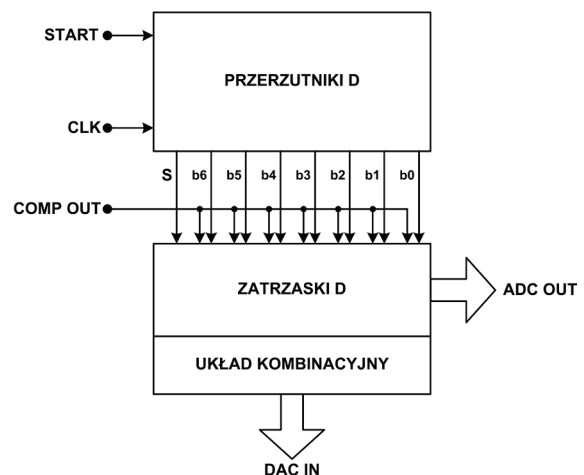
Rys. 3. Schemat przedwzmacniacza

Drugim stopniem komparatora jest synchroniczny zatrask – rysunek 4. Jego zadaniem jest wzmocnienie sygnału do poziomu napięć zasilania. Działa on w dwóch fazach. Gdy sygnał zegarowy jest niski wszystkie węzły są podłączone do napięcia zasilania, w celu uniknięcia efektu histerezy. Jako że tranzystor M1 jest wyłączony układ nie pobiera w tym stanie żadnego prądu. Przy narastającym zboczu zegara rozpoczyna się faza regeneracji. Tranzystor M1 jest włączany, a tranzystory M2-M3 zaczynają przewodzić prąd przez krzyżowo połączoną parę inwerterów M4 i M6 oraz M5 i M7. Potencjał węzłów XP1 oraz XP2 maleje z różną szybkością zależną od napięcia wejściowego zatrasku. W momencie, gdy różnica potencjałów jest dostatecznie duża, następuje regeneratywne przełączenie układu i napięcie wyjściowe jest ustalone. W tym stanie układ również nie pobiera prądu.



Rys. 4. Schemat synchronicznego zatrasku

Ostatnim blokiem składającym się na całość przetwornika A/C jest cyfrowy blok sterowania, zwany również Rejestrem Kolejnych Przybliżeń (ang. *Successive Approximation Register, SAR*). Jego rolą jest generowanie sygnałów sterujących kluczami przetwornika C/A oraz komparatorem. Aby powierzchnia układu była jak najmniejsza, blok ten został w całości zaprojektowany ręcznie (ang. *Full Custom*). Uproszczony schemat blokowy Rejestru Kolejnych Przybliżeń został przedstawiony na rysunku 5.



Rys. 5. Schemat pojedynczej komórki rejestru kolejnych przybliżeń

Układ może się znajdować w jednym z ośmiu stanów. Pierwszym i domyślnym stanem jest próbkowanie napięcia wejściowego (ang. *Sampling*). W tym stanie, po otrzymaniu sygnału rozpoczęcia konwersji „START”, układ automatycznie przechodzi przez siedem pozostałych stanów, w których wyznaczane są bity słowa wyjściowego, kolejno od bitu 6 (MSB) do bitu 0 (LSB). Aktualny stan układu jest przechowywany w przerzutnikach D.

Kolejnym elementem cyfrowego bloku sterowania jest siedem zatrząsków D. Przechowują one słowo wyjściowe przetwornika. Na początku konwersji, po otrzymaniu sygnału „START”, ich wartość jest zerowana. Następnie do zatrząsku odpowiadającemu aktualnie testowanemu bitowi jest zapisywana odpowiedź komparatora.

Sygnaly sterujące kluczami przetwornika C/A są otrzymywane z układu kombinacyjnego, na podstawie aktualnego stanu układu oraz danych zapisanych w zatrząskach D.

Pojedyncza konwersja zajmuje co najmniej osiem cykli zegarowych: jeden lub więcej cykli na próbkowanie napięcia wejściowego, siedem na wyznaczenie kolejnych bitów. Przy częstotliwości zegara równej 25 MHz maksymalna szybkość konwersji wynosi 3,125 MS/s.

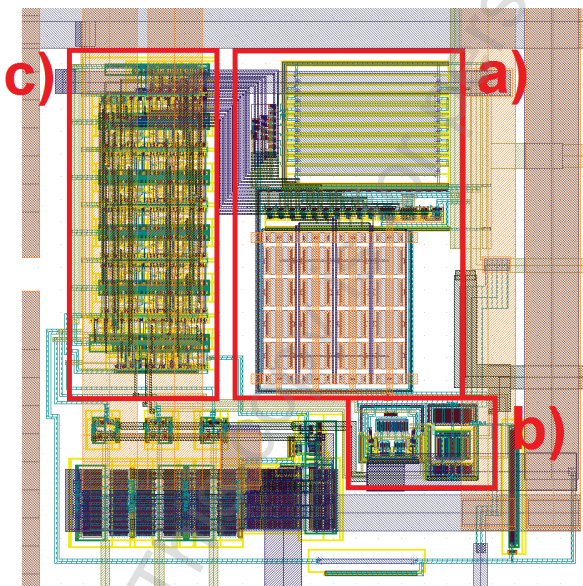
3. Plan masek układu oraz wyniki symulacji

Prezentowany układ został wykonany w technologii CMOS 180nm. Podczas przygotowywania planu masek szczególną uwagę zwrócono na zminimalizowanie wpływu zakłóceń pochodzących z części cyfrowej (rejestr kolejnych przybliżeń) na wrażliwe bloki analogowe (przetwornik C/A). W tym celu zastosowano oddzielne zasilanie bloków analogowych i cyfrowych oraz dodano pierścienie ochronne wokół wspomnianych struktur.

Plan masek gotowego układu został przedstawiony na rysunku 6. Całkowita powierzchnia prezentowanego przetwornika wynosi $90 \times 95 \mu\text{m}^2$. Zestawienie procentowej powierzchni zajmowanej przez poszczególne bloki funkcyjne przedstawiono w tabeli 1.

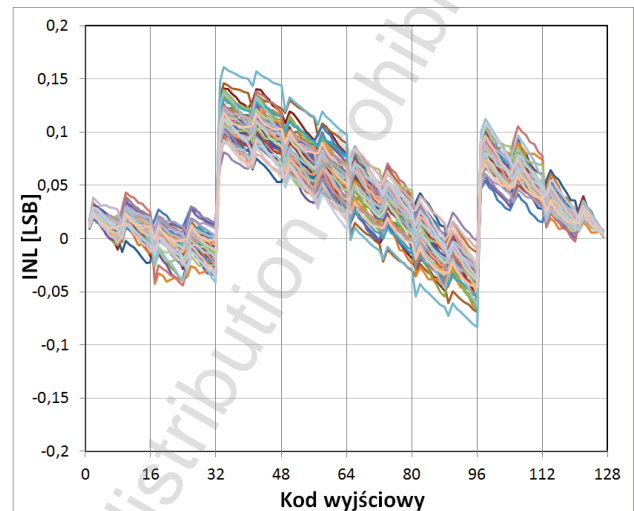
Tabela 1. Zajmowana powierzchnia elementów przetwornika

Blok	Przetwornik C/A	Komparator	SAR	Połączenia między blokami
Powierzchnia	40 %	4,4 %	24 %	31,6 %

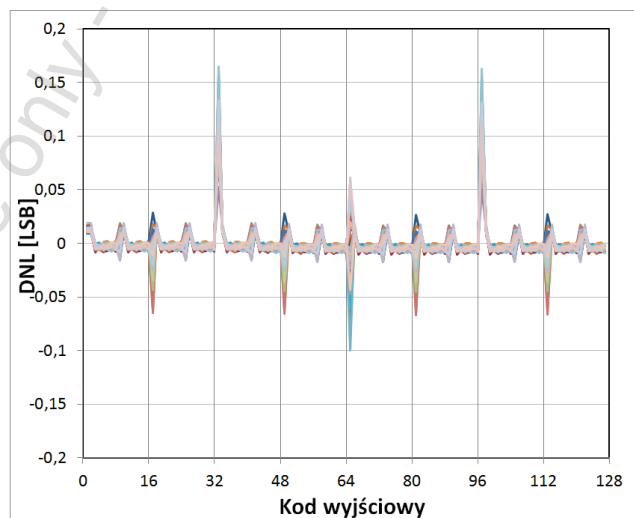


Rys. 6. Plan masek przetwornika A/C: a) przetwornik C/A, b) komparator, c) rejestr kolejnych przybliżeń

W celu weryfikacji projektu przed wysłaniem do produkcji przeprowadzono szereg symulacji pozwalających zminimalizować efekty elementów pasożytniczych oraz symulację charakterystyki przejściowej przetwornika A/C. Jako że w znacznym stopniu zależy ona od rozrzutu wartości elementów – kondensatorów oraz rezystorów w przetworniku C/A – konieczne było przeprowadzenie analiz Monte-Carlo. Rysunek 7 oraz 8 przedstawiają odpowiednio zbiorcze wykresy 50 analiz nieliniowości całkowitej oraz różniczkowej omawianego układu.



Rys. 7. Symulacje Monte-Carlo nieliniowości całkowitej przetwornika A/C



Rys. 8. Symulacje Monte-Carlo nieliniowości różniczkowej przetwornika A/C

Dla najgorszego przypadku nieliniowość całkowita oraz różniczkowa wynoszą odpowiednio $+0.16 / -0.08$ LSB oraz $+0.17 / -0.1$ LSB.

Najważniejsze parametry opisywanego układu zestawiono w tabeli 2.

Tabela 2. Podsumowanie parametrów przetwornika A/C

Proces produkcyjny	180nm CMOS
Rozdzielczość	7 bitów
Szybkość konwersji	3 MS/s
Nieliniowość	0.17 / -0.1 LSB
Zakres napięcia we.	0 - 1200 mV
Częstotliwość zegara	25 MHz
Pobór mocy	77 μW
Napięcie zasilania	1.8 V
Zajmowana powierzchnia	$90 \times 95 \mu\text{m}^2$

4. Podsumowanie

W artykule został przedstawiony projekt oraz wyniki symulacji 7-bitowego przetwornika A/C. Jego małe rozmiary oraz niski pobór mocy czynią go szczególnie atrakcyjnym w zastosowaniach wielokanałowych. Analizy Monte-Carlo przeprowadzone na modelu z wyekstrahowanymi pojemnościami pasożytniczymi wykazują również bardzo niską nieliniowość. Układ został wysłany do produkcji w październiku 2012 roku.

Podziękowania

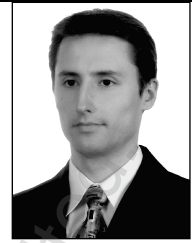
Niniejsza praca była realizowana w ramach grantu UMO-2011/03/N/ST7/01823 - lata 2012-2013.

Literatura

- [1] Chang Y., Wang C., Wang C.: A 8-bit 500-KS/s low power SAR ADC for bio-medical applications. IEEE Asian Solid-State Circuits Conference, 2007, pp. 228–231.
- [2] Elzakker, M., et al.: A 10-bit Charge-Redistribution ADC Consuming 1.9 u W at 1 MS/s. IEEE Journal of Solid-State Circuits, vol. 45, no. 5, pp: 1007 – 1015.
- [3] Grybos P., Kmon P., Zoladz M., Szczygiel R., Kachel M., Lewandowski M., Blasiak T.: 64 Channel Neural Recording Amplifier with Tunable Bandwidth in 180 nm CMOS Technology. Metrol. Meas. Syst., Vol. XVIII, No. 4, pp. 631-644.
- [4] Otfinowski P., Grybos P., Kleczek R.: A 10-bit 3MS/s low-power charge redistribution ADC in 180nm CMOS for neural application. MIXDES 2011, Proceedings of the 18th international conference, s. 197–200.
- [5] Rivetti A., Anelli G., Anghinolfi F., Mazza G.: A low-power 10-bit ADC in a 0.25- μ m CMOS: design considerations and test results. IEEE Trans. on Nuclear Science, vol. 48, no. 4, pp. 1225–1228.
- [6] Szczygiel R., Grybos P., Maj P., Tsukiyama A., Matsushita K., Taguchi T.: RG64—High Count Rate Low Noise Multichannel ASIC With Energy Window Selection and Continuous Readout Mode. IEEE Trans. on Nuclear Science, vol. 56, no. 2, pp. 487–495.
- [7] Zhu Y., et al.: A 10-bit 100-MS/s Reference-Free SAR ADC in 90 nm CMOS. IEEE Journal of Solid-State Circuits, vol. 45, no. 6, pp. 1111-1121.

Mgr inż. Piotr Otfinowski
e-mail: potfin@agh.edu.pl

Ukończył Akademię Górniczo-Hutniczą w 2009, kierunek: Elektronika i Telekomunikacja, specjalność: Sensory i mikrosystemy. Obecnie jest na trzecim roku Studiów Doktoranckich na Wydziale EAIiE, AGH. Pracuje jako asystent w Katedrze Metrologii, AGH. Jego głównym tematem badań naukowych są układy scalonych przetworników analogowo-cyfrowych.



Dr inż. Piotr Kmon
e-mail: kmon@agh.edu.pl

Ukończył studia na Wydziale Elektrotechniki, Automatyki, Informatyki i Elektroniki w 2007 r. Tytuł doktorski uzyskał w 2012 r. broniąc pracy dotyczącej wielokanałowych scalonych układów elektronicznych dedykowanych do eksperymentów neurobiologicznych. W swoich pracach zajmuje się wykorzystywaniem nowoczesnych technologii produkcji układów scalonych do zastosowań w eksperymentach biologicznych.



Mgr inż. Rafał Kleczek
e-mail: rafal.kleczek@agh.edu.pl

Ukończył Akademię Górniczo-Hutniczą w 2009, kierunek: Elektronika i Telekomunikacja, specjalność: Mikroelektronika i aparatura biomedyczna. Obecnie jest na trzecim roku Studiów Doktoranckich na Wydziale EAIiE, AGH. Pracuje jako asystent w Katedrze Metrologii, AGH. Jego głównym zainteresowaniem naukowym jest projektowanie scalonych wielokanałowych układów elektroniki front-end do odczytu półprzewodnikowych detektorów promieniowania X.



Artykuł recenzowany

IMPREZY SPECJALISTYCZNE

Computational and Information Technologies in Science, Technics and Education 2013

Ust-Kamenogorsk, Kazakhstan, September 18-22, 2013



Important Dates:

Until July 1, 2013

Submission of article theses, applications for conference participation, an electronic copy of the payment receipt for registration fee

Until July 5, 2013

Sending of notifications about involvement of reports into the conference program

Until July 10, 2013

Confirmation of participation, information about arrival

18 September 2013

Check-in Day

22 September 2013

Day of departure

Scientific Program

Computational technologies

- Mathematical and computer modeling of complex processes and systems;
- Computer Science, automation and radio electronics;
- Computational technologies to ensure the safety of complex technical systems, mining and metallurgical complex and natural objects;
- Safety ensuring of complex engineering systems and natural objects;
- Modeling of technological processes in mechanical engineering and transport;
- Computers and IT technology for construction industry and agriculture;

Information and telecommunication technologies:

- Intelligent decision support systems and spatial data processing technology;
- The integration of distributed information resources, virtual portals and services;
- Information systems and mathematical methods in economics and innovation management;

Math Technologies

- Information technologies in the methods of teaching Mathematics, Physics and Chemistry;
- Numeric methods in the sphere of Algebra, mathematical logic, differential equations and mathematical Physics