

Bogdan FABIAŃSKI\*

## **ALGORYTM STEROWANA SILNIKIEM RELUKTANCYJNYM PRZEŁĄCZALNYM W SZEROKIM ZAKRESIE PRĘDKOŚCI OBROTOWEJ Z WYKORZYSTANIEM POJEDYNCZEGO, BINARNEGO SYGNAŁU CZUJNIKA POŁOŻENIA WAŁU**

W artykule zaprezentowano implementację algorytmu multiplikacji częstotliwości pojedynczego sygnału czujnika położenia wału w celu umożliwienia sterowania silnikiem reluktancyjnym przełączalnym w szerokim zakresie prędkości obrotowej. Wprowadzono w podstawy konstrukcji SR i wynikającą z niej problematykę sterowania. Przedstawiono naturę zredukowanej liczby do jednego sygnału czujnika położenia kąowego wału oraz realizację synchronizacji fazowej na jego podstawie. Problem niskiej rozdzielczości pomiarowej oraz asymetrii kształtu sygnału czujnika mechanicznego wyeliminowano poprzez zastosowanie zoptymalizowanej dla zadanej jednostki mikroprocesorowej pętli SPLL. Wyprowadzono odpowiednie zależności weryfikując zaproponowane rozwiązanie badaniami eksperymentalnymi. W podsumowaniu wyciągnięto wnioski co do poprawności implementacji oraz wyznaczono dalsze kierunki badawcze.

### **1. WPROWADZENIE**

#### **1.1. Cel i motywacja**

Silnik Reluktancyjnym Przełączalny (*Switched Reluctance Motor – SRM*) jest najstarszym typem silnika elektrycznego zastosowanego w praktyce. Historyczne znaczenie SRM wynika z prostoty jego konstrukcji. Najważniejszą z cech silnika SR jest monolityczna budowa wirnika. Brak na nim uzwojeń, wbudowanej klatki czy naklejonych magnesów. Taka cecha konstrukcyjna znosi podstawowe ograniczenie co do maksymalnej dopuszczalnej prędkości obrotowej wynikające z wytrzymałości struktury wirnika na siłę odśrodkową. Znane są urządzenia, w których napędy SRM osiągają prędkość 100 000 [obr/min] [1]. Dalej, ta sama cecha przekłada się na dużą niezawodność pracy. Dla zapewnienia tej cechy dla całości napędu redukuje się jego złożoność, np. poprzez eliminację mechanicznych czujników położenia. Pociąga to za sobą rozbudowę algorytmów sterowania, których stopień komplikacji i bez tego jest traktowany jako jedna z podstawowych wad SRM [2]. Problemy optymalnego sterowania w układach bezczujnikowych poddawane są systematycznej analizie, ale ze

---

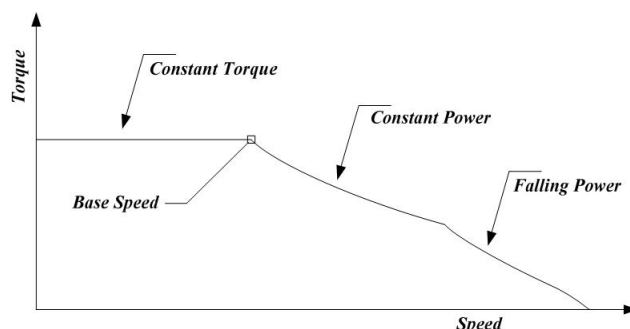
\* Politechnika Poznańska.

względu na swoją złożoność najczęściej nie dają się implementować w praktycznych, ekonomicznych układach.

Stąd konieczność poszukiwania metod sterowania czujnikowego w oparciu o proste, tanie, ale nieprecyzyjne zarazem konstrukcje mechaniczne. Jedną z nich jest próba wykorzystania zredukowanego, pojedynczego sygnału położenia wału silnika o niewielkiej rozdzielczości pomiarowej. Redukcja polega na zmniejszeniu ilości sygnałów interfejsu czujnika położenia wału ze standardowych  $n$  ( $n$  oznacza liczbę faz silnika) do jednego. Specyfika takiego sygnału znacznie komplikuje algorytmiczne zagadnienie synchronizacji fazowej wału silnika oraz sterowanie procesami komutacji. Rozwiązanie tego problemu jest przedmiotem niniejszego artykułu, który kontynuuje rozważania z publikacji [3].

## 1.2. Sterowanie silnikiem SR

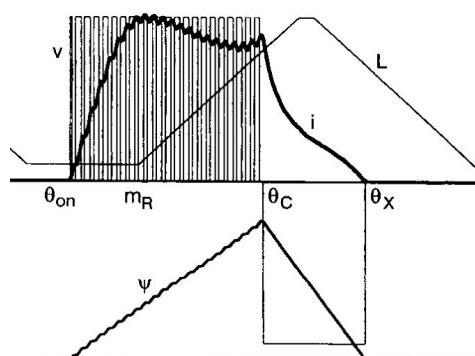
W zakresie podstaw teorii dla silnika SR zmiennym staje się fakt, iż w praktyce nie spotyka się otwartych pętli sterowania ze względu na niestabilność i słabą dynamikę takiego układu.



Rys. 1. Charakterystyka mechaniczna SRM – zakresy pracy napędu

Rysunek 1 przedstawia schematycznie charakterystykę mechaniczną silnika  $T_e = f(\omega)$ . Wyróżnić można w niej 3 strefy: stałego momentu, stałej mocy oraz obszar załamania. Strefy te są związane bezpośrednio z zasadą generowania momentu. Przebiegi poszczególnych wielkości elektrycznych w zależności o kąta obrotu prezentuje rysunek 2. Źródłem momentu elektromagnetycznego w silniku SRM jest zmienna indukcyjność  $L$  fazy w zależności od położenia zęba wirnika względem bieguna fazy stojana. Zmienność ta jest gwarantowana przez mechaniczną konstrukcję silnika. Silnik SRM umożliwia pracę w szerokim zakresie prędkości obrotowej. Pełen zakres jest jednak osiągalny pod pewnymi warunkami. W obszarze I (stałego momentu) wraz ze wzrostem prędkości obrotowej należy utrzymać stałą wartość prądu poprzez zwiększanie średniej wartości napięcia fazowego. W drugim zakresie – stałej mocy – przekroczenie

nominalnej prędkości obrotowej powoduje wytworzenie siły elektromotorycznej (EMF) na poziomie napięcia zasilania. Dalszy wzrost EMF wymusza tak zwiększanie kątów przewodzenia jak i punktów załączenia/wyłączenia. W trzecim zakresie - bardzo wysokich prędkości obrotowych dalsze zwiększanie kąta nie jest już możliwe (powoduje generowanie ujemnych wartości  $T_e$ ), co skutkuje gwałtownym nachyleniem charakterystyki mechanicznej napędu. Zastosowanie się do powyższego schematu wynikającego z ogólnych strategii sterowania wymaga precyzyjnej informacji o kącie położenia wału silnika [4].



Rys. 2. Przebiegi prądu ( $i$ ), napięcia ( $v$ ), indukcji ( $L$ ) i strumienia pola magnetycznego ( $\Psi$ ) w procesie sterowania napięciowego fazy silnika SR

### 1.3. Napęd laboratoryjny

Cechą nadrzędną konstrukcji, która była obiektem badań laboratoryjnych jest bezpieczeństwo i stabilność pracy oraz niewielkie koszty jako uniwersalny napęd dla zastosowań w urządzeniach AGD. Rdzeń systemu oparto na nowoczesnym, powszechnie dostępnym oraz stosunkowo tanim 32-bitowym mikrokontrolerze STM32F107. Układ stanowią impulsowe: moduł zasilania sterownika (PWR), aktywnej korekcji współczynnika mocy (PFC), dalej: mostek w topologii asymetrycznej (INV), płyta centralna (CPU) oraz moduł separacji galwanicznej (ISO). Silnik stanowiła 250 [W], 3-fazowa konstrukcja 12/8. Konstrukcję prototypu (w szczególności mostka asymetrycznego) opisano dokładniej w [5].

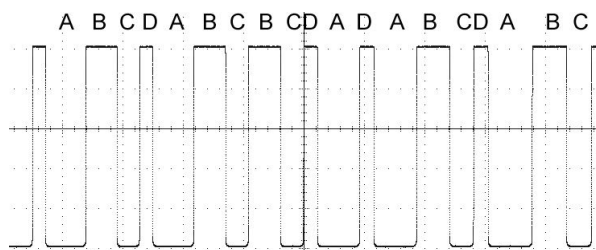
## 2. ALGORYTM STEROWANIA

### 2.1. Właściwości sygnału sprzężenia zwrotnego

Rysunek 3 przedstawia kształt sygnału sprzężenia zwrotnego. N-fazowy interfejs został tu zastąpiony ciągiem binarnym. Sygnały kodowane są ich szerokością oraz poziomem. Ostatecznie opisano 4 litery alfabetu generowanego

rodu, które w dwunasto-elementowych ciągach są powtarzalne. System ten teoretycznie umożliwia jednoznaczne określenie punktu synchronizacji wału silnika. Analizę, opracowanie stosownych algorytmów, implementację w systemie wbudowanym oraz testy funkcjonalności przedstawiono w publikacji [3].

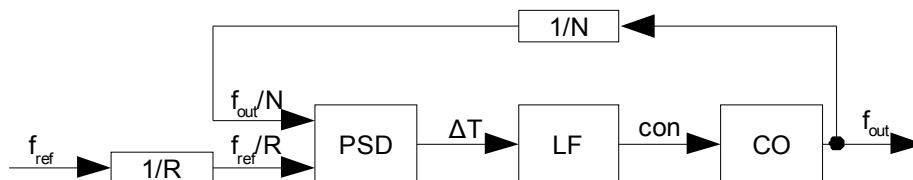
Asymetryczne w cyklu sterowania fazami właściwości sygnału umożliwiające synchronizację nie nadają się do bezpośredniego użycia dla efektywnych procesów komutacji.



Rys. 3. Przebieg sygnału sprzężenia zwrotnego dla stałej prędkości obrotowej

## 2.2. Pętla PLL

Rozwiązania problematycznej asymetrii sygnału sprzężenia zwrotnego oraz jego niskiej rozdzielczości poszukano w dedykowanej implementacji PLL (*Phase Locked Loop*). Analiza teorii, właściwości, zagadnień projektowych w dziedzinie PLL znajduje ujście w ogólnodostępnej publikacji [6].



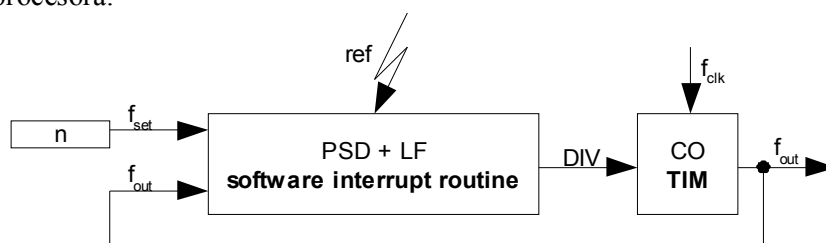
Rys. 4. Zasadnicza struktura pętli PLL

Rysunek 4 prezentuje ogólną strukturę pętli. Istotą jej działania jest możliwie dokładne zwielenokrotnienie częstotliwości sygnału wejściowego *ref* o  $k = N/R$  krotnie. Blok PSD (*Phase Shift Detector*) wyznacza przesunięcie fazowe między sygnałem referencyjnym oraz generowanym. Wartość tego przesunięcia jest filtrowana w bloku LF, aby następnie zostać zamieniona w bloku CO (*Controlled Oscillator*) na sygnał o proporcjonalnej częstotliwości. Analogia do układu automatycznej regulacji nie jest przypadkowa.

Zastępując strukturę CO obiektem sterowania, np. silnikiem SR sprzężonym z czujnikiem położenia wału otrzymujemy układ automatycznej regulacji prędkości obrotowej z dynamicznym wyznaczaniem kąta wyprzedzenia bazującym na wartości obliczonego przesunięcia fazowego  $\Delta T$  [7]. W proponowanym

rozwiązaniu pętla służy wyłącznie do zwielokrotnienia częstotliwości sygnału referencyjnego na zasadzie regulacji nadążnej. Podobne rozwiązanie opisano w [4]. Zaprezentowane rozwiązanie bazuje jednak na 4 sygnałach sprzężenia zwrotnego, które nie są dostępne w badanym układzie. Dodatkowo proponowana realizacja należy do klasy DPLL (*Digital PLL*) - sprzętowo realizowanej, w pełni cyfrowej.

Metoda będąca przedmiotem publikacji klasyfikuje się jako SPLL (*Software PLL*), którego zaletą jest pełna implementacja w obrębie istniejącej jednostki centralnej – mikrokontrolera – bez konieczności stosowania dodatkowych, zewnętrznych struktur. Takie podejście wymaga dedykowanej optymalizacji w taki sposób, aby realizując powierzone zadanie w minimalnym stopniu obciążać rdzeń mikroprocesora.



Rys. 5. Dedykowana struktura pętli PLL

Rysunek 5 przedstawia ideę implementacji ogólnej struktury pętli PLL (rys.4) w systemie mikroprocesorowym przy optymalnym wykorzystaniu układów stowarzyszonych (peryferiów). Jako założenie wyjściowe przyjęto, iż w roli kontrolowanego oscylatora doskonale sprawdzi się wbudowany w mikrokontroler zegar (*TIM*) taktowany stałą częstotliwością  $f_{clk}$  (72 [MHz]), o programowanym dzielniku (*DIV*) oraz rejestrze wewnętrznym *CNT*. Zakłada się działanie w taki sposób, aby między kolejnymi sygnałami odniesienia (*ref*) o danej częstotliwości (proporcjonalnej do prędkości obrotowej silnika) następowało synchroniczne zliczanie impulsów od zera do zadanej liczby  $n$  (określającej w tym przypadku mnożnik częstotliwości). Uzyskiwana w ten sposób wartość rejestru *CNT* jest estymowanym położeniem kątowym, do bezpośredniego wykorzystania w algorytmie sterowania. Problemem staje się odpowiednie dobranie wartości dzielnika *DIV* dla aktualnych warunków pracy. Odbywa się to w połączonym względem referencyjnego modelu bloku *PD* i *LF* realizowanym programowo w instrukcji obsługi przerwania od sygnału referencyjnego. Jako podstawę czasu dla pomiaru przesunięcia fazowego przyjęto wartość licznika *TIM*, która dla znanego podzielnika *DIV* oraz zegara taktującego  $f_{clk}$  może być wykorzystana dla bezwzględnego pomiaru odcinka czasu. Przyjmując, że aktualny okres  $T_{ACT}$  sygnału wyjściowego pętli (*out*) mierzony w momencie wywołania procedury obsługi zdarzenia ( $j$ -ta iteracja) wynosi:

$$T_{AKT_j} = \frac{CNT_j \cdot DIV_j}{f_{clk}} \quad (1)$$

oraz różnica między okresem wymaganym a aktualnym  $T_{DEL}$  mierzona na podstawie wzoru:

$$e_j = n - CNT_j \quad (2)$$

przy założeniu filtracji wartości błędu celem tłumienia zakłóceń w torze regulacji:

$$\Delta n_j = K_p e_j + K_I \sum_{i=0}^j e_i \quad (3)$$

wynosi:

$$T_{DEL_j} = \frac{\Delta n_j \cdot DIV_j}{f_{clk}} \quad (4)$$

otrzymuje się:

$$T_{DES_j} = T_{AKT_j} - T_{DES_j} = \frac{DIV_j (CNT_j - \Delta n_j)}{f_{clk}} \quad (5)$$

Chcąc wyznaczyć nową wartość  $DIV_{j+1}$  bazując na aktualnej należy przekształcić równanie:

$$\frac{DIV_j (CNT_j - \Delta n_j)}{f_{clk}} = \frac{DIV_{j+1} \cdot n}{f_{clk}} \Rightarrow DIV_{j+1} = \frac{DIV_j (CNT_j - \Delta n_j)}{n} \quad (6)$$

Wykonanie powyższego można zoptymalizować odpowiednio dobierając wartość  $n$  (np. na 1024), co w kodzie ostatecznie oznacza przesunięcie bitowe o  $N$  pozycji w prawo z równania  $2^N = n$ .

Dla bloku LF zastosowano strukturę filtru proporcjonalno-całkującego (PI) z układem anty-windup 2-go rzędu. Nastaw wzmocnień  $K_p$  i  $K_i$  dokonano na podstawie przeprowadzonej w [8] analizy modelu liniowego dyskretnego zapewniające stabilność i dobre tłumienie oscylacji spełniające zależności:

$$K_p + K_i = 1 \wedge K_i = K_p^2 \quad (7)$$

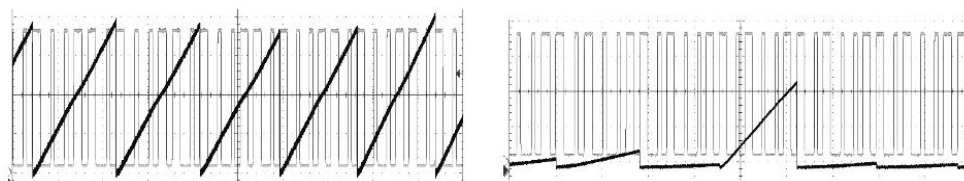
Rozwiązując (7) uzyskano wyniki:  $K_p = 0,62$  oraz  $K_i = 0,38$ .

Przy działającej pętli PLL zwiększającej rozdzielczość czujnika pomiaru położenia kąтового wału silnika możliwe w implementacji stają się algorytmy wyznaczania optymalnych kątów załączenia i wyłączenia poszczególnych faz silnika. W publikacji [9] zaproponowano stosunkowo łatwe w implementacji rozwiązanie mające na celu maksymalizację efektywności energetycznej napędu.

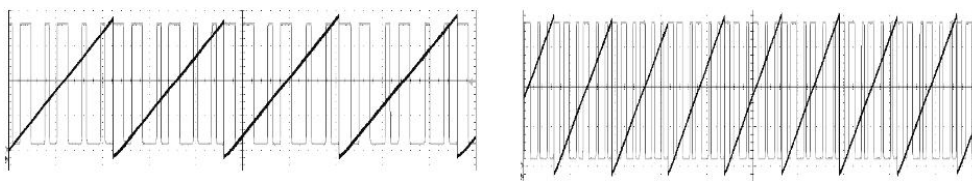
### 3. BADANIA

Badania działania zaimplementowanej pętli PLL dokonano rejestrując przebiegi wartości licznika pełniącego rolę generatora NCO (*Numerical Controlled Oscillator*). Ustalony w eksperymencie mnożnik częstotliwości wyniósł 1000, co odpowiada amplitudzie 0,8 [V] (podziałka pionowa we wszystkich

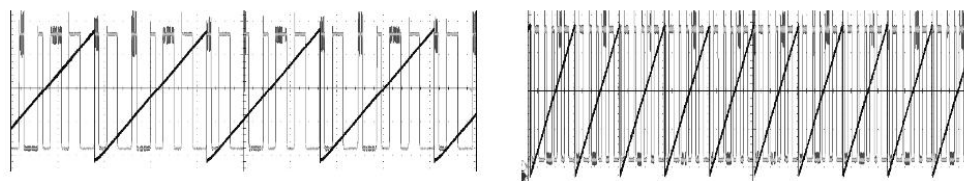
zaprezentowanych oscylogramach wynosiła 200 [mV/DIV]). Przebiegi z rysunku 6 przedstawiają efekt niestabilności pętli PLL w wyniku braku procedur ograniczających wartość rejestru części całkującej filtra LF. Rysunek 7 prezentuje działanie pętli dla optymalnych nastaw współczynników wzmocnienia w niekorzystnych warunkach pracy – widoczne są wahania amplitudy wartości licznika na poziomie 5 [%]. Rysunek 8 to zestaw oscylogramów prezentujący działanie SPLL w stanach ustalonych. Na podstawie eksperymentów nad strukturami filtra PI oraz doбором wartości jego współczynników należy stwierdzić zgodność z wnioskami z analizy teoretycznej – symulacyjnej.



Rys. 6. Działanie pętli PLL – nastawy  $K_i = K_p = 0.5$ ; 200 [obr/min]; brak ograniczenia wartości rejestru składowej całkującej bloku LF



Rys. 7. Działanie pętli PLL – nastawy  $K_i = 0,38$ ;  $K_p = 0,62$ ; duże wachania prędkości obrotowej dla wartości średnich odpowiednio: 100 [obr/min], 500 [obr/min]; filtr PI z układem *anti-windup*



Rys. 8. Działanie pętli PLL – nastawy  $K_i = 0,38$ ;  $K_p = 0,62$ ; stan ustalony; 200 [obr/min], 1000 [obr/min]; filtr PI z układem *anti-windup*

#### 4. PODSUMOWANIE

Artykuł będący rozwinięciem publikacji [3] w zakresie wykorzystania pojedynczego sygnału sprzężenia zwrotnego położenia wału w celu efektywnego sterowania napędem SR rozpoczęto krótkim wprowadzeniem w tematykę silników SRM - w szczególności zwrócono uwagę na aspekty konstrukcyjne decydujące o złożoności algorytmu sterowania. Opisano strukturę napędu laboratoryjnego, w

którym poddawano weryfikacji proponowane algorytmy. Przedstawiono osobliwą naturę sygnału sprzężenia zwrotnego i metody jego dekodowania celem uzyskania synchronizacji fazowej. Dalej opisano problem niewystarczającej rozdzielczości wbudowanego czujnika położenia w celach efektywnego sterowania silnikiem SR. Zaproponowano metodę adaptacyjnego zwielokrotniania sygnału referencyjnego poprzez zastosowanie pętli PLL. Przytoczono strukturę wyjściową oraz zoptymalizowaną pod kątem realizacji w mikroprocesorze w postaci SPLL. Przeprowadzone badania potwierdziły tak słuszność analizy teoretycznej, wyprowadzonych zależności oraz wypracowanej implementacji w układzie docelowym. Otrzymane rezultaty stanowią podstawę dla badań nad docelowymi algorytmami optymalnego sterowania w napędzie SR.

### BIBLIOGRAFIA

- [1] Murphy A., *Design of a Switched Reluctance Machine Drive for Automotive Applications*, p.12, p.19, p.30-34, School of Electronic Engineering Dublin City University, 2008.
- [2] Krishnan R., *Switched reluctance motor drives*, ch.:1.4, 5.2, CRC Press, 2001.
- [3] Fabiański B., *Synchronizacja fazowa silnika reluktancyjnego przelączalnego na podstawie asymetrycznego sygnału sprzężenia zwrotnego*, Studia z Automatyki i Informatyki, tom 36, p. 15-26, Poznań 2011.
- [4] Deskur J., Maciejuk A., *Application of digital phase locked loop for control of SRM drive*, 12<sup>th</sup> European Conference on Power Electronics and Applications (EPE), Aalborg 2007.
- [5] Fabiański B., *Przekształtnik napędu silnika reluktancyjnego przelączalnego*, materiały konferencyjne SEN, CD ISBN: 978-83-7283-439-3, Łódź 2011.
- [6] Banerjee D., *PLL Performance, Simulation and Design*, 2006, [www.national.com/assets/en/boards/deansbook4.pdf](http://www.national.com/assets/en/boards/deansbook4.pdf).
- [7] Jin-Woo Ahn, Seok-Gyu Oh, Sung-Young Pyo, Cheul-U Kim, Young-Moon Hwang, *Digital PLL Technique for Precise Speed Control of SR Drive*, Power Electronics Specialist Conference (PESC), p.815-819 vol. 2, 1999.
- [8] Zawirski K. (kierownik), *Bezczujnikowe sterowanie silnikiem reluktancyjnym przelączalnym*, sprawozdanie z projektu 3T10A06427, p. 48-57, Poznań 2007.
- [9] Sozer Y., Torrey D.A., *Optimal turn-off angle control in the face of automatic turn-on angle control for switched-reluctance motor*, Electric Power Applications, IET, p.395-401, 2007.