

Irena BUŁATOWA, Valery SALAUYOU, Paweł MATUJEWICZ

POLITECHNIKA BIAŁOSTOCKA,
ul. Wiejska 45A, 15-351 Białystok

Dekompozycja sieci działań układów sekwencyjnych w celu obniżenia poboru mocy

Dr inż. Irena BUŁATOWA

Ukończyła studia na Wydziale Systemów Komputerowych Uniwersytetu Informatyki i Radioelektroniki w Mińsku na Białorusi, gdzie też obroniła pracę doktorską w 1992 r. Pracuje jako starszy wykładowca na Wydziale Informatyki Politechniki Białostockiej. Zainteresowania naukowe są związane z opracowaniem metod syntezy automatów skończonych na układach programowalnych.



e-mail: i.bulatowa@pb.edu.pl

Dr hab. inż. Valery SALAUYOU

Ukończył w 1978 r. studia na wydziale Matematyki Stosowanej w Białoruskim Państwowym Uniwersytecie w Mińsku. Obronił pracę doktorską w 1986 r. i uzyskał tytuł doktora habilitowanego w 2003 r. Jest adiunktem na Wydziale Informatyki Politechniki Białostockiej. Od ponad 30 lat pracuje naukowo w dziedzinie projektowania logicznego systemów cyfrowych.



e-mail: v.salauyou@pb.edu.pl

Inż. Paweł MATUJEWICZ

Student kierunku informatyka na specjalności Grafika i Multimedia oraz kierunku matematyka na Wydziale Informatyki Politechniki Białostockiej. Zainteresowania naukowe koncentrują się wokół analizy matematycznej oraz metod syntezy automatów skończonych.



e-mail: pawel.matujewicz@gmail.com

Keywords: low power, sequential circuit, decomposition, partitioning, Algorithmic State Machine (ASM), hierarchical structure.

1. Wprowadzenie

Dekompozycja układów sekwencyjnych jest bardzo efektywnym podejściem do obniżania poboru mocy przy projektowaniu układów sterowania [1-3]. Połączenie dekompozycji z metodą bramkowania sygnału synchronizacji (*clock-gating*) [4, 5] pozwala zmniejszyć pobór mocy w znacznym stopniu.

W pracach [4-6] udowodniono, że metoda bramkowania sygnału synchronizacji prowadzi do istotnego obniżenia poboru mocy w układach sekwencyjnych. Metoda polega na odłączeniu sygnału synchronizacji od nieaktywnych w danej chwili fragmentów układu, sygnał taktowania doprowadzany jest tylko do aktywnego fragmentu. W większości prac wykorzystujących dane podejście wykonuje się dekompozycja grafu przejść automatu na podgrafy realizowane w postaci oddzielnych automatów. Cechą wyróżniającą metodę syntezy przedstawioną w danej pracy jest wyłonienie dekompozycji na poziomie algorytmu sterowania opisanego siecią działań. Poszczególne fragmenty sieci działań wyróżnione w procesie dekompozycji realizowane są przez oddzielne automaty połączone w uporządkowaną strukturę hierarchiczną.

W pracy przedstawiono metodę syntezy układów sekwencyjnych o obniżonym poborze mocy, algorytmy sterowania których opisywane są za pomocą sieci działań. Metoda syntezy polega na dekompozycji sieci działań na fragmenty realizowane w postaci oddzielnych automatów połączonych w dwupoziomą strukturę hierarchiczną. Automat nadrzędny w takiej strukturze uruchamia sekwencyjnie automaty podrzędne realizujące kolejne fragmenty sieci działań. Sygnał synchronizacji jest odłączany od nieaktywnych w danym momencie automatów podrzędnych i doprowadzany jedynie do automatu, który realizuje aktualnie wykonywany fragment algorytmu.

Opracowany został algorytm dekompozycji sieci działań na fragmenty realizowane jako komponenty struktury hierarchicznej. Zaproponowano schemat bramkowania sygnału synchronizacji z wykorzystaniem sygnałów generowanych przez strukturę hierarchiczną. Opisano metodę modelowania pobieranej mocy, wykorzystaną do oceny efektywności zaproponowanego podejścia.

2. Dwupoziomowa struktura hierarchiczna

Dwupoziomowa struktura hierarchiczna (rys. 1) umożliwia przedstawienie układów sekwencyjnych w postaci sieci współdziałających automatów realizujących określone fragmenty sieci działań [7]. W strukturze wyróżniono automat nadrzędny S_0 , który w odpowiednich momentach uruchamia automaty S_1, \dots, S_F , generując sygnały z_1, \dots, z_F , oraz oczekuje na zakończenie działania automatów zgłaszane za pomocą sygnałów h_1, \dots, h_F .

Realizacja algorytmu sterowania rozpoczyna się od uruchomienia automatu S_0 , pozostałe automaty w tym czasie znajdują się

Streszczenie

Opracowana została metoda syntezy układów sekwencyjnych o obniżonym poborze mocy, algorytmy sterowania których opisywane są za pomocą sieci działań. Metoda syntezy polega na dekompozycji sieci działań na fragmenty realizowane w postaci oddzielnych automatów połączonych w dwupoziomą strukturę hierarchiczną. Zmniejszenie poboru mocy osiąga się przez odłączenie sygnału synchronizacji od nieaktywnych w danym momencie automatów. Zaproponowano schemat bramkowania sygnału synchronizacji z wykorzystaniem sygnałów struktury hierarchicznej. Opracowany został algorytm dekompozycji sieci działań na fragmenty realizowane jako komponenty struktury hierarchicznej. Przeprowadzone badania potwierdziły efektywność zaproponowanej metody.

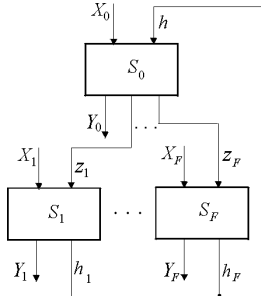
Słowa kluczowe: układ sekwencyjny, pobór mocy, sieć działań, dekompozycja sieci działań, struktura hierarchiczna.

ASM decomposition for low-power design of sequential circuits

Abstract

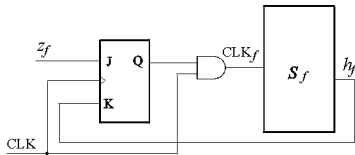
In this paper a method for low-power design of hierarchical structures of sequential circuits specified by the Algorithmic State Machine (ASM) charts is presented. The proposed method uses a decomposition of the original sequential circuit into the smaller automata which are connected in a two-level hierarchical structure topology (Fig.1). A clock-gating approach [4, 5] is used to reduce power consumption of the sequential circuit. Due to this approach the power can be saved by clocking only one automaton of hierarchical structure at a time while the clock to the other automata is gated. As a result, only one automaton of hierarchical structure is active at any time while the others are idle, thus reducing the switching activity and minimizing the power dissipation. The algorithm of decomposition of the ASM chart into the fragments, which are implemented as components of a hierarchical structure, has been developed. The clock-gating circuit (Fig. 2) which uses the control signals generated by the hierarchical structure is proposed. The power simulation method used to estimate the power consumption for original and decomposed circuits is described. Experimental results show that the proposed partitioning technique can reduce power consumption, on average 20.31%, over the original undecomposed circuit. An additional power saving is available by using special state encoding which reduces the switching activity of sequential circuits.

w stanie początkowym. Aby uruchomić automat niższego poziomu S_f , $f=1..F$, automat S_0 generuje sygnał z_f , a sam przechodzi w stan oczekiwania na sygnał h_f , który zostanie wygenerowany po zakończeniu pracy automatu S_f . Ponieważ w danym momencie pracuje tylko jeden automat podrzędny, możliwe jest odłączenie synchronizacji od pozostałych automatów struktury.



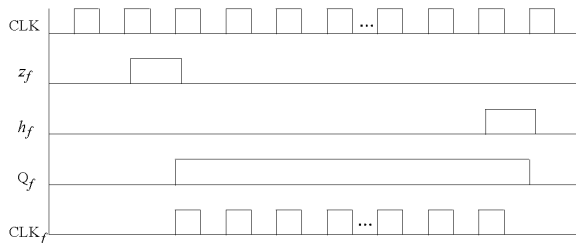
Rys. 1. Dwupoziomowa struktura hierarchiczna
Fig. 1. Two-level hierarchical structure

Do bramkowania sygnału synchronizacji poszczególnych automatów struktury wykorzystane zostały generowane w strukturze hierarchicznej sygnały sterujące z_1, \dots, z_F oraz h_1, \dots, h_F . Sygnał synchronizacji automatu S_f jest uaktywniany w momencie uruchomienia automatu, natomiast po zakończeniu działania automatu zostaje odłączony. Schemat synchronizacji automatu podrzędnego S_f przedstawiony został na rys. 2, pokazuje on sposób wykorzystania sygnałów z_f i h_f do sterowania synchronizacją automatu.



Rys. 2. Schemat bramkowania sygnału synchronizacji
Fig. 2. Clock-gating circuit

Na rys. 3 przedstawione zostały przebiegi sygnałów wykorzystanych do bramkowania sygnału taktowania automatu S_f . Sygnały z_f i h_f określają momenty rozpoczęcia i zakończenia pracy automatu. Pojawienie się sygnału z_f przełącza stan wyjścia przerzutnika JK na wysoki poziom, co powoduje przepuszczenie sygnału synchronizacji na wejście automatu S_f . Sygnał $h_f=1$ zeruje stan przerzutnika i tym samym blokuje przepływ sygnału synchronizacji.



Rys. 3. Generowanie sygnału synchronizacji CLK_f
Fig. 3. Waveforms for CLK_f signal forming

Sygnał synchronizacji automatu nadrzędnego S_0 nie jest bramkowany, podtrzymywany jest przez cały czas pracy układu.

3. Algorytm dekompozycji sieci działań

W celu realizacji dwupoziomowej struktury hierarchicznej należy wykonać dekompozycję sieci działań G na fragmenty realizowane w postaci automatów S_1, \dots, S_F . Początkowo w sieci działań G odnajdywane są wszystkie fragmenty H_t , $t=1..T$, które posiadają jedno wejście i jedno wyjście i odpowiadają ograniczeniom na rozmiar fragmentów. Następnie spośród fragmentów H_t , $t=1..T$ wybiera się te, które będą realizowane automatami S_1, \dots, S_F .

Niech U jest zbiorem bloków sieci działań G ; U_t – zbiór bloków fragmentu H_t , $U_t \subseteq U$, $t=1..T$; φ_t – zbiór bloków sieci działań, wyjścia których prowadzą do bloków zbioru U_t ; ψ_t – zbiór bloków, do których prowadzą wyjścia bloków zbioru U_t ; ξ_t – liczba bloków fragmentu H_t , do których prowadzą połączenia spoza fragmentu.

Fragment H_t sieci działań może być realizowany w postaci automatu podrzędnego struktury hierarchicznej, jeśli posiada tylko jedno wejście oraz jedno wyjście:

$$\xi_t = |\psi_t| = 1. \quad (1)$$

Parametrem określającym ograniczenie na rozmiar fragmentów sieci działań jest liczba l_t bloków operacyjnych w wyróżnionym fragmencie. Przy syntezie automatu Moore'a liczba bloków operacyjnych przekłada się bezpośrednio na liczbę stanów automatu.

Wprowadzono ograniczenie l_{max} na maksymalny rozmiar fragmentów, ponieważ zmniejszenie rozmiarów automatów, z których tylko jeden jest aktywnym w danym momencie, prowadzi do większej redukcji pobieranej mocy. W tym celu algorytm dekompozycji sieci działań uwzględnia następujące ograniczenie:

$$l_t \leq l_{max} - 2, \quad (2)$$

które bierze pod uwagę dwa dodatkowe stany – początkowy oraz stan generujący sygnał h_f . Wprowadzono także ograniczenie na minimalny rozmiar fragmentu, $l_t \geq l_{min}$, ponieważ wyróżnienie zbyt małych fragmentów jest nieopłacalne z powodu realizacji oddzielnych schematów bramkowania sygnału synchronizacji.

Algorytm tworzenia zbioru fragmentów sieci działań, realizacja których jest możliwa w strukturze hierarchicznej, jest następujący:

1. Przyjmuje się $t := 1$, $l_t := 0$.
2. Blok u_t wybiera się jako podstawowy dla fragmentu H_t . Jeśli nie ma więcej bloków, następuje przejście do p. 10.
3. Blok u_t dodaje się do zbioru U_t : $U_t := \{u_t\}$; jeśli u_t jest blokiem operacyjnym, to $l_t := l_t + 1$.
4. Sprawdzany jest warunek (2). Jeśli się nie spełnia, fragment ma maksymalny rozmiar, następuje przejście do p. 5; w innym przypadku algorytm przechodzi do p. 6.
5. Sprawdzany jest warunek (1). Jeśli się spełnia, fragment dodawany jest do zbioru fragmentów, $t := t + 1$, następuje przejście do p. 2 i zaczyna się tworzenie kolejnego fragmentu; w innym przypadku algorytm przechodzi do p. 6.
6. Jeśli $l_t < l_{min}$, kontynuuje się tworzenie fragmentu, przechodząc do p. 8, inaczej – następuje przejście do p. 7.
7. Sprawdzany jest warunek (1). Jeśli warunek się nie spełnia, kontynuuje się tworzenie fragmentu, przechodząc do p. 8; inaczej, fragment H_t został stworzony i rozpoczyna się tworzenie kolejnego fragmentu przez dodawanie do H_t kolejnych bloków: $t := t + 1$; $U_t := U_{t-1}$; $\varphi_t := \varphi_{t-1}$; $\psi_t := \psi_{t-1}$.
8. W przypadku gdy zbiór ψ_t zawiera tylko blok końcowy, wykonywane jest przejście do p. 2; inaczej – przejście do p. 9.
9. Z elementów zbioru ψ_t wybiera się blok u_j , który jest dołączany do zbioru U_t : $U_t := U_t \cup \{u_j\}$; jeśli u_j jest blokiem operacyjnym, to $l_t := l_t + 1$; następuje przejście do p. 4.
10. Koniec algorytmu.

Na kolejnym etapie syntezy ze zbioru $H = \{H_1, \dots, H_T\}$ należy wybrać zbiór $V = \{G_1, \dots, G_F\}$ fragmentów, które będą realizowane automatami S_1, \dots, S_F . W tym celu dla każdego fragmentu H_t obliczana jest wartość $P(H_t)$ jako suma prawdopodobieństw wystąpienia stanów danego fragmentu. Do wyboru fragmentów G_1, \dots, G_F można zastosować następujący algorytm:

1. Przyjmuje się $V := \emptyset$.
2. Spośród elementów zbioru H wybierany jest fragment H_t , $H_t \in H$, dla którego prawdopodobieństwo $P(H_t)$ wystąpienia stanów fragmentu jest największe.
3. Przyjmuje się $V := V \cup \{H_t\}$.
4. Ze zbioru H wykluczany jest fragment H_t , a także fragmenty, które mają wspólne bloki z fragmentem H_t .
5. Jeśli $H = \emptyset$, następuje przejście do p. 6, inaczej – do p. 2.
6. Koniec algorytmu.

4. Metoda obliczania pobieranej mocy

Do modelowania pobieranej mocy została wykorzystana metoda [8], według której moc pobierana przez układ sekwencyjny obliczana jest na podstawie wyników kodowania stanów wewnętrznych oraz wartości prawdopodobieństw pojawienia się jedynki (zera) na wejściach układu.

Moc pobieraną przez układ sekwencyjny wykonany w technologii CMOS można obliczyć według następującego wzoru:

$$P_S = \frac{1}{2} \cdot V_{DD}^2 \cdot f \cdot C \cdot \sum_{r=1}^R N_r \quad (3)$$

gdzie V_{DD} – napięcie zasilania, f – częstotliwość działania układu, C – pojemność wyjściowa elementu pamięci, N_r – aktywność przełączania elementu r , R – rozmiar kodu stanu.

Przy obliczaniu aktywności N_r przełączania elementu r , uwzględniane są wyniki kodowania stanów wewnętrznych:

$$N_r = \sum_{m=1}^M \sum_{s=1}^M P(a_m \rightarrow a_s) \cdot (k_m^r \oplus k_s^r), \quad (4)$$

gdzie $P(a_m \rightarrow a_s)$ – prawdopodobieństwo zmiany stanu z a_m na a_s , M – liczba stanów automatu, k_m^r , k_s^r – wartości bitu r kodów stanów a_m i a_s , odpowiednio.

Prawdopodobieństwo $P(a_m \rightarrow a_s)$ można obliczyć ze wzoru:

$$P(a_m \rightarrow a_s) = P(a_m) \cdot P(X_{ms}), \quad (5)$$

gdzie $P(a_m)$ – prawdopodobieństwo statyczne stani a_m , $P(X_{ms})$ – prawdopodobieństwo podania wektora X_{ms} , który spowoduje zmianę stanu z a_m na a_s . Prawdopodobieństwa statyczne $P(a_i)$ poszczególnych stanów można obliczyć z układu równań [8]:

$$P(a_i) = \sum_{m=1}^M P(a_m) \cdot P(X_{mi}), \quad i=1..M. \quad (6)$$

Jedno z równań układu (6) należy zastąpić równaniem wynikającym z definicji prawdopodobieństwa:

$$\sum_{m=1}^M P(a_m) = 1. \quad (7)$$

Moc P_D pobieraną przez hierarchiczną strukturę automatu można obliczyć następująco:

$$P_D = P_N + \sum_{f=1}^F P_{Sf} \cdot P(A_{Sf}) \quad (8)$$

gdzie P_N – moc dla automatu nadrzędnego S_0 ; P_{Sf} – moc dla automatu podrzędnego S_f ; $P(A_{Sf})$ – prawdopodobieństwo aktywacji automatu S_f ; F – ilość automatów podrzędnych.

5. Badania eksperymentalne

Badania efektywności zaproponowanej metody zostały przeprowadzone na przykładach algorytmów sterowania z biblioteki sieci działań systemu projektowania Abelite [9]. Dla każdego przykładu sieci działań została wykonana synteza automatu Moore'a oraz synteza struktury hierarchicznej z zastosowaniem zaproponowanej metody dekompozycji. Do kodowania stanów wewnętrznych w obu przypadkach wykorzystano kod Graya. Obliczenie pobieranej mocy zostało wykonane przy następujących założeniach: $C = 5\text{pF}$, $f = 5\text{MHz}$, $V_{DD} = 5\text{V}$ oraz $P(x_i=1) = 0,5$.

W tabeli 1 przedstawione są wyniki badań efektywności metody syntezy, gdzie B – liczba bloków sieci działań, S – liczba stanów wewnętrznych automatu, L – liczba wejść, N – liczba wyjść układu. Kolumna P_B zawiera wartość pobieranej mocy dla układu, synteza którego wykonana została bez zastosowania metody de-

kompozycji, a kolumna P_D – moc obliczoną dla układu po dekompozycji. Ostatnia kolumna tabeli $\%P_{BD}$ pokazuje, o ile procent zmniejszyła się pobierana moc po zastosowaniu zaproponowanej metody syntezy w porównaniu do syntezy bez dekompozycji.

Analiza wyników przedstawionych w Tab.1 pokazuje, że zastosowanie metody syntezy powoduje zmniejszenie pobieranej mocy dla wszystkich przykładów, w najlepszym przypadku osiągnięto spadek pobieranej mocy o 38,20%. Średnie obniżenie poboru mocy automatów po dekompozycji wynosi 20,31%.

Tab. 1. Wyniki badań eksperymentalnych metody syntezy
Tab. 1. Experimental results

Przykład	B	S	L	N	P_B (μW)	P_D (μW)	$\%P_{BD}$
asm16	42	16	26	19	60,39	44,63	26,10%
asm18	41	17	24	19	60,26	43,89	27,17%
bcomp	73	36	18	39	68,45	61,07	10,78%
bech	73	36	18	39	69,12	61,92	10,42%
bens	307	144	21	56	176,29	124,92	29,14%
berg	133	71	21	51	94,96	82,55	13,07%
bib	212	100	21	41	74,37	59,13	20,49%
dav	183	73	19	61	102,60	94,06	8,32%
gabys	352	176	29	72	171,75	117,11	31,81%
lior	135	38	24	31	70,89	43,81	38,20%
md	169	85	22	53	106,26	70,51	33,64%
ort	157	95	61	48	107,42	101,08	5,90%
raft	183	103	18	70	99,22	82,59	16,76%
raz	139	72	23	72	73,25	64,10	12,49%
Średnia					95,37	75,10	20,31%

6. Wnioski

Zmniejszenie pobieranej mocy jest wynikiem dekompozycji układu sekwencyjnego na automaty znacznie mniejszych rozmiarów i odłączenia sygnału synchronizacji od nieaktywnych w danym momencie fragmentów układu. Poszczególne automaty łączone są w dwupoziomą strukturę hierarchiczną, a sygnały sterujące generowane w tej strukturze wykorzystywane są do bramkowania sygnału synchronizacji automatów podrzędnych.

Badania eksperymentalne wykazały zmniejszenie pobieranej mocy w testowanych układach średnio o ok. 20%. Dodatkowo zmniejszenie poboru mocy można osiągnąć stosując algorytmy kodowania stanów wewnętrznych automatu, które zmniejszają aktywność przełączania elementów pamięci układu.

Praca została zrealizowana w ramach projektu badawczego S/WI/1/13.

7. Literatura

- [1] Benini L., De Micheli G., Vermeulen F.: Finite-state machine partitioning for low power. Proceedings of the IEEE International Symposium on Circuits and Systems ISCAS '98, vol. 2, p. 005-008, 1998.
- [2] Xia Y., Ye X., Wang L., Tap J., Almain A.E.: A novel low power FSM partition approach and its implementation. Proceedings of the 23rd NORCHIP Conference, p. 102-105, 2005.
- [3] Roy S., Banerjee P., Sarrafzadeh M.: Partitioning sequential circuits for low power. Proceedings of the 11th International Conference on VLSI Design, p. 212-217, 1998.
- [4] Benini L., De Micheli G.: Automatic synthesis of low-power gated-clock finite-state machines. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 15, p. 630-643, 1996.
- [5] Lee W.K., Tsui C.Y.: Finite state machine partitioning for low power. Proceedings of the 1999 IEEE International Symposium on Circuits and Systems ISCAS '99, vol. 1, p. 306-309, 1999.
- [6] Monteiro J.C., Oliveira A.L.: FSM decomposition by direct circuit manipulation applied to low-power design. Proceedings of the Design Automation Conference ASP-DAC, p. 351-358, 2000.
- [7] Salauyou V., Bułatowa I.: Synteza hierarchicznych struktur automatów mikroprogramowalnych, Pomiary Automatyka Kontrola, vol. 58, nr 7, s. 599-601, 2012.
- [8] Tsui C.Y., Monteiro J., Pedram M., Devadas S., Despain A.M., Lin B.: Power estimation methods for sequential logic circuits. IEEE Trans. on VLSI Systems, vol. 3, No 3, p. 404-416, 1995.
- [9] Baranov S.: High level synthesis in EDA tool "Abelite". Electronics and Telecommunications Quarterly, vol. 55, No 2, p. 123-156, 2009.