

KAWALEC Piotr

## STOCHASTYCZNE KOMPARATORY BEZPIECZNE DLA SYSTEMÓW STEROWANIA RUCHEM KOLEJOWYM

### *Streszczenie*

*W artykule przedstawiono sprzętową realizację komparatorów stochastycznych, porównujących niezależne losowe ciągi binarne. Wykorzystując skokową funkcję Heaviside'a, oraz stochastyczne układy mnożące – sumujące, opracowano strukturę komparatora. Dla zapewnienia maksymalnej szybkości działania komparatora zastosowano elementy cyfrowe oraz rejestry przesuwające. Przeprowadzono syntezę komparatora w układach FPGA oraz przeprowadzono badanie prototypu, uzyskując wysoką szybkość działania, oraz pewność realizacji funkcji skokowej.*

### WSTĘP

Pierwsze publikacje związane z zastosowaniem metod probabilistycznych w budowie niezawodnych systemów z zawodnych elementów, można odnieść do pracy von Neumanna [12]. Idea sprzętowej realizacji tych metod, znalazła swoje odzwierciedlenie w postaci koncepcji układów i systemów cyfrowych, nazywanych komputerami stochastycznymi, lub stochastycznymi przetwornikami informacji [5,6]. Jednak, ze względu na ograniczone możliwości ówczesnej techniki cyfrowej, koncepcje te nie znalazły praktycznej realizacji.

Obecnie, dzięki dostępności programowalnych i reprogramowalnych struktur logicznych, oraz odpowiednich narzędzi wspomagania komputerowego, możliwa stała się implementacja stochastycznych przetworników informacji w programowalne struktury logiczne. Wybór efektywnych metod generowania losowych ciągów binarnych, tworzenie prostych układów arytmetyki stochastycznej, realizacja przetwarzania współbieżnego, oraz implementacja projektowanych systemów w jednej strukturze SoC, pozwoliły na pokonanie najważniejszego ograniczenia algorytmów probabilistycznych, jakim była ich niska zbieżność [7,9,11]. Dzięki temu stochastyczne przetworniki informacji są wykorzystywane nie tylko w sprzętowych realizacjach stochastycznych sieci neuronowych [2], lecz również w różnego rodzaju sterownikach czasu rzeczywistego [14].

Należy podkreślić, że efektywność zastosowania stochastycznych przetworników informacji, wzrasta wraz ze wzrostem złożoności tworzonych systemów sterowania i przetwarzania danych, występowania w nich zmiennych losowych i algorytmów probabilistycznych, oraz ze wzrostem stopnia niepewności danych wejściowych [2]. Wszystkie wymienione cechy są charakterystyczne dla systemów sterowania i kierowania ruchem w transporcie.

# 1. ZASADA DZIAŁANIA KOMPARATORÓW STOCHASTYCZNYCH

Do zasadniczych wymagań stawianych układom i systemom sterowania ruchem w transporcie jest zapewnienie odpowiedniego poziomu niezawodności i bezpieczeństwa działania. Zapewnienie wymaganego poziomu bezpieczeństwa uzyskuje się poprzez zastosowanie redundancji, polegającej na zwielokrotnianiu sprzętowym lub czasowym w systemie sterowania [4,8]. Przy czym na poziom bezpieczeństwa w systemie zwielokrotnionym, zasadniczy wpływ mają parametry zastosowanego układu porównującego, nazywanego komparatorem [10].

Komparatory są układami przeznaczonymi do porównywania wielkości, lub wyboru wartości maksymalnej (bądź minimalnej) z grupy porównywanych wielkości. W modelowaniu procesów ruchu w transporcie często konieczne jest porównywanie atrybutów obiektów lub procesów przedstawionych postaci losowych ciągów binarnych (np. intensywności zgłoszeń pojazdów ruchu drogowego na poszczególnych pasach).

Zakładamy, że w przypadku komparatorów stochastycznych, porównywane są niezależne losowe ciągi binarne  $A$  i  $B$ , spełniające kryteria losowania schematu Bernoulliego [1]. Natomiast na wyjście komparatora przekazywany jest ciąg, dla którego wartość oczekiwana symbolu 1 jest większa. W przypadku równości wartości oczekiwanych porównywanych ciągów, na wyjście przekazywany będzie ciąg odpowiadający średniej arytmetycznej porównywanych ciągów.

Przy porównywaniu dwóch wielkości, komparatory muszą charakteryzować się szybką, skokową zmianą stanu (przełącznikową charakterystyką przełączania), przy zmianie zależności między porównywanymi wielkościami. Wykorzystując skokową funkcję Heaviside'a (jednostkową funkcję skokową), dla wyznaczenia wartości maksymalnej z dwóch zmiennych  $A$  i  $B$  możemy zapisać

$$\max(A, B) = A \cdot H(A - B) + B \cdot H(B - A). \quad (1)$$

gdzie  $H(x)$  – skokowa symetryzowana funkcja Heaviside'a [13], postaci

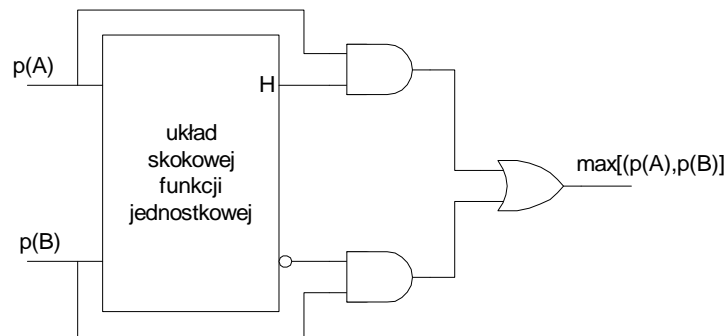
$$H(x) = \begin{cases} 0 & \text{dla } x < 0 \\ 0,5 & \text{dla } x = 0 \\ 1 & \text{dla } x > 0. \end{cases} \quad (2)$$

## 2. SCHEMAT BLOKOWY KOMPARATORA STOCHASTYCZNEGO

Sprzętowa realizacja zależności (1), przy założeniu, że przetwarzane są losowe ciągi binarne, z prawdopodobieństwem wystąpienia symbolu 1 w każdym z nich, oznaczonym odpowiednio  $p(A)$  oraz  $p(B)$ , polega na syntezie układu skokowych funkcji jednostkowych  $H(x)$ , oraz zastosowaniu stochastycznych multiplikatorów i stochastycznego sumatora.

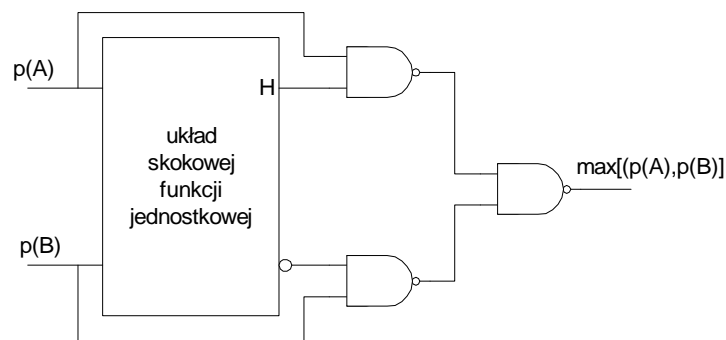
Ponieważ dla  $A \neq B$  funkcje skokowe  $H(A-B)$  oraz  $H(B-A)$  przyjmują przeciwstawne wartości, to w sensie logicznym jedną z nich można traktować jako negację drugiej. Również dla  $A = B$ , jednostkowe funkcje skokowe można również traktować jako przeciwstawne, jeśli uwzględnimy, że dla  $p = 0,5$ , prawdopodobieństwo symbolu 1 w ciągu binarnym jest równe prawdopodobieństwu symbolu 0. Dzięki temu, wyjścia jednostkowych funkcji skokowych zapewniają rozłączność zdarzeń, co jest niezbędne dla zapewnienia prostej realizacji układów mnożąco – sumujących.

Schemat blokowy komparatora stochastycznego będzie zawierał układ realizacji skokowej funkcji jednostkowej z wyjściem prostym i zanegowanym, oraz układy mnożenia i sumowania stochastycznego (rys. 1).



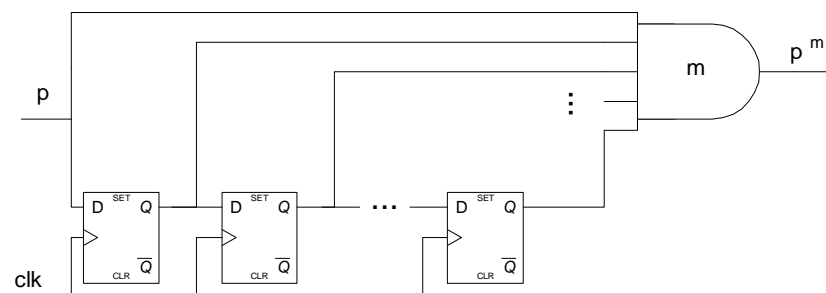
**Rys. 1.** Schemat blokowy komparatora stochastycznego z elementami AND i OR  
Źródło: opracowanie własne

Elementy logiczne AND i OR mogą zostać zastąpione elementami NAND (rys. 2).



**Rys. 2.** Schemat blokowy komparatora stochastycznego z elementami NAND  
Źródło: opracowanie własne

Przy realizacji jednostkowej funkcji skokowej Heaviside'a zastosowano układy stochastycznego podnoszenia do całkowitoliczbowej potęgi  $m$  (rys.3).

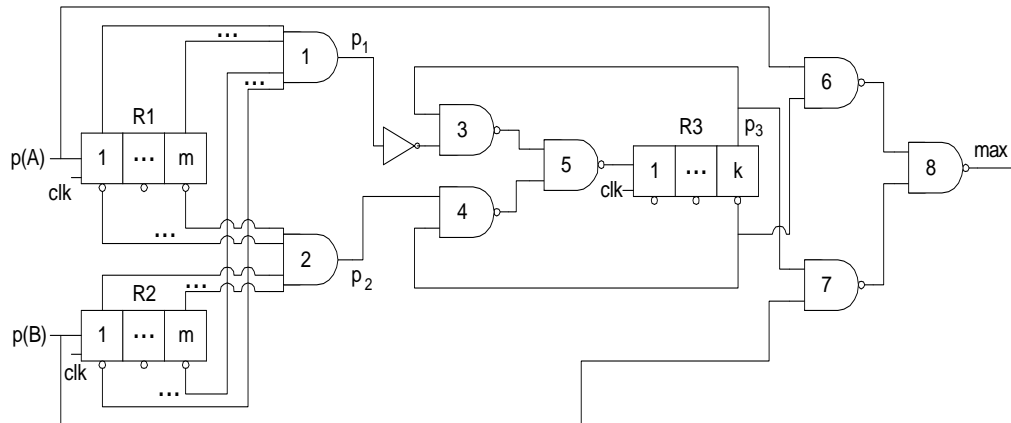


**Rys. 3.** Stochastyczny układ potęgowania z wielowejściowym elementem AND  
Źródło: opracowanie własne

Nachylenie charakterystyki jednostkowej funkcji skokowej  $H(x)$ , będzie tym większe im wyższa potęga  $m$  będzie wykorzystywana, oraz im większa będzie różnica między porównywanymi prawdopodobieństwami  $p(A)$  i  $p(B)$ .

### 3. SCHEMAT FUNKCJONALNY KOMPARATORA STOCHASTYCZNEGO

Komparator stochastyczny zawiera trzy rejestry przesuwające z wyjściami prostymi i zanegowanymi: R1 i R2 –  $m$  bitowe, R3 –  $k$  bitowy; wielowejsciowe elementy logiczne AND 1 i 2, oraz dwa układy mnożaco – sumujące zbudowane na elementach NAND 3, 4, 5 i 6, 7, 8 (rys. 4).



**Rys. 4.** Schemat funkcjonalny komparatora stochastycznego  
Źródło: opracowanie własne

Na wejścia komparatora podawane są niezależne binarne ciągi losowe o rozkładzie zerojedynkowym z prawdopodobieństwem wystąpienia symbolu 1 odpowiednio  $p(A)$  i  $p(B)$ . Na wejścia elementu AND o nr 1 podawane są sygnały z wyjść prostych rejestru R1, oraz sygnały z wyjść zanegowanych rejestru R2. Ponieważ ciągi A i B są również ciągami niezależnymi, to prawdopodobieństwo  $p_1$  symbolu 1 na wyjściu elementu AND o numerze 1 wyniesie

$$p_1 = [p(A)]^m [1 - p(B)]^m = [p(A)(1 - p(B))]^m. \quad (3)$$

Analogicznie na wejście elementu AND o nr 2, podawane są sygnały z wyjść prostych rejestru R2, oraz sygnały z wyjść zanegowanych rejestru R1. Prawdopodobieństwo  $p_2$  symbolu 1 na wyjściu elementu AND o numerze 2 wyniesie

$$p_2 = [p(B)]^m [1 - p(A)]^m = [p(B)(1 - p(A))]^m. \quad (4)$$

Dla zapewnienia niezależności zdarzeń w każdym z ciągów  $p_1$  i  $p_2$ , oraz w ciągu na wyjściu rejestru R3, długość rejestru przesuwającego R3 powinna być większa niż długości rejestrów R1 i R2 ( $k > m$ ). Natomiast rozłączność zdarzeń, w układzie mnożaco – sumującym, zapewniamy wykorzystując proste i zanegowane wyjścia ostatniej,  $k$  – tej pozycji rejestru przesuwającego R3.

Prawdopodobieństwo  $p_3$  wystąpienia symbolu 1 na  $k$  – tym wyjściu prostym rejestru R3 wynosi

$$p_3 = (1 - p_1) p_3 + p_2 (1 - p_3). \quad (5)$$

Przekształcając wyrażenie (5) i podstawiając do niego wyrażenia (3) dla  $p_1$  i (4) dla  $p_2$ , otrzymujemy

$$p_3 = \frac{p_2}{p_1 + p_2} = \frac{[p(B)(1-p(A))]^m}{[p(A)(1-p(B))]^m + [p(B)(1-p(A))]^m}. \quad (6)$$

Z wyrażenia (6) wynika, że

$$\begin{aligned} p(A) > p(B) &\Rightarrow p_3 \xrightarrow{m \rightarrow \infty} 0 \\ p(A) = p(B) &\Rightarrow p_3 \xrightarrow{m \rightarrow \infty} 0,5. \\ p(A) < p(B) &\Rightarrow p_3 \xrightarrow{m \rightarrow \infty} 1 \end{aligned} \quad (7)$$

Wzór (7) odpowiada postaci symetryzowanej jednostkowej funkcji skokowej Heavisde'a, przy czym, ze względu na wykładniczą zależność  $p_3$  od  $m$ , zbieżność  $p_3$  do podanych granic jest bardzo duża. Zbieżność ta dodatkowo rośnie wraz ze wzrostem różnicy między porównywanymi prawdopodobieństwami  $p(A)$  i  $p(B)$ .

Z uwzględnieniem wpływu układu mnożący – sumujący, zrealizowanego na elementach NAND o numerach 6,7 i 8 (rys. 4), opisywana wzorem (1) zależność realizowana na wyjściu komparatora stochastycznego przyjmie następującą postać

$$\begin{aligned} p(A) > p(B) &\Rightarrow \max\{p(A), p(B)\} \xrightarrow{m \rightarrow \infty} p(A) \\ p(A) = p(B) &\Rightarrow \max\{p(A), p(B)\} \xrightarrow{m \rightarrow \infty} \frac{p(A) + p(B)}{2}. \\ p(A) < p(B) &\Rightarrow \max\{p(A), p(B)\} \xrightarrow{m \rightarrow \infty} p(B) \end{aligned} \quad (8)$$

Jeśli porównywane dane wejściowe są dostępne w postaci deterministycznej, albo są danymi losowymi niespełniającymi warunku niezależnych losowych ciągów binarnych o rozkładzie zerojedynkowym, to konieczne jest przeprowadzenie randomizacji danych wejściowych. Proces randomizacji przeprowadzany jest analogicznie jak dla innych układów arytmetyki stochastycznej, to znaczy metodą niezależnego losowania z wykorzystaniem sprzętowych generatorów liczb pseudolosowych [7].

Przedstawiony komparator stochastyczny (rys. 4), został wyspecyfikowany w języku VHDL. Założono, że rejestry R1 i R2 mają długość 10 bitów, natomiast długość rejestru R3 przyjęto równą 12 bitów. Opracowany układ został zweryfikowany, a następnie zaimplementowany w układach FPGA serii Spartan 3. Prototyp układu został poddany testowaniu w trybie symulacji funkcjonalnej oraz czasowej, z częstotliwością taktowania 100 MHz. Potwierdzona została poprawność działania układu, przy czym jeśli różnica między porównywanymi prawdopodobieństwami wystąpienia symbolu 1 w binarnym ciągu losowym przekraczała 10%, w ciągu kilkunastu taktów zegarowych CLK, następowała realizacja skokowej funkcji Heavisde'a, bowiem ciąg binarny  $p_3$  przyjmował stabilnie wartość 0 albo 1. Im bliższe sobie były wartości porównywanych prawdopodobieństw, tym dłużej należało prowadzić losowanie, natomiast przy  $p(A) = p(B)$ , dokładność wyznaczania wyjściowego losowego ciągu binarnego, była proporcjonalna do kwadratu czasu losowania i porównywalna z dokładnością działania sumatorów i multiplikatorów stochastycznych.

W opracowanym układzie komparatora stochastycznego wykorzystano zarówno bloki potęgujące jak i bloki mnożący – sumujący oraz mnożący – odejmujący. Jednak ze względu

na zachowanie zasady przetwarzania tylko ciągów binarnych, czas wykonania operacji we wszystkich tych blokach zależy jedynie od czasów propagacji sygnału w elementach logicznych, bowiem nie ma w nich przetwarzania słów wielobitowych.

Dlatego też, przy implementacji komparatora stochastycznego w układach FPGA, możliwe było uzyskanie częstotliwości taktowania rzędu 100 MHz, natomiast wynik porównania binarnych ciągów losowych uzyskiwano, po derandomizacji, w najgorszym przypadku – przy  $p(A) = p(B)$  – z częstotliwością rzędu dziesiątek kHz.

Bowiem, przy wyznaczeniu dokładności wykonywania operacji sumowania w sumatorach stochastycznych, należy uwzględnić, że zmienna losowa  $K$ , odpowiadająca liczbie wartości 1 w wynikowym losowym ciągu binarnym, ma rozkład dwumianowy, dla którego funkcja prawdopodobieństwa ma postać [1]

$$P(k) = C_n^k p^k (1-p)^{n-k} = \frac{n!}{k!(n-k)!} p^k (1-p)^{n-k} \quad (9)$$

Wartość oczekiwana i wariancja dla rozkładu dwumianowego

$$E(K) = np ; \text{Var}(K) = np(1-p) \quad (10)$$

Uwzględniając, że błędy, przy losowaniu niezależnym, dla dużych  $n$  mają rozkład normalny, błąd względny sumowania stochastycznego wyniesie

$$\delta(K) = \lambda_p \frac{\sqrt{\text{Var}(K)}}{E(K)} = \lambda_p \frac{\sqrt{np(1-p)}}{np} \leq \frac{\lambda_p}{\sqrt{n}} \quad (11)$$

Z wyrażenia (9) wynika, że dokładność przetwarzania jest proporcjonalna do kwadratu liczby losowań. Dla zapewnienia błędu względnego  $\delta(Z) \leq 5\%$ , z prawdopodobieństwem 0,95 (kwantyl rozkładu normalnego  $\lambda_p = 1,645$ ), licznik stosowany do derandomizacji, powinien być licznikiem co najmniej 10 bitowym.

## PODSUMOWANIE

Zastosowanie, do realizacji jednostkowej funkcji skokowej, układów potęgujących pozwala na uzyskanie prawie idealnej charakterystyki przekaźnikowej przełączania komparatora stochastycznego. Jest to szczególnie widoczne w przypadku porównywania binarnych ciągów losowych, dla których występuje znaczna różnica między prawdopodobieństwami wystąpienia symbolu 1. Równocześnie, implementacja komparatora stochastycznego w układach FPGA, pozwala na uzyskanie częstotliwości działania rzędu 100 MHz. W przypadku konieczności randomizacji danych wejściowych, częstotliwość działania komparatora stochastycznego determinowana jest częstotliwością pracy zastosowanego sprzętowego generatora liczb losowych lub pseudolosowych. Należy zauważyć, że opracowany komparator stochastyczny, podobnie jak i inne przetworniki stochastyczne, jest odporny na przekłamanie i błędy przemijające, a więc może być zastosowany jako układy fault tolerant w krytycznych systemach sterowania, w tym w systemach sterowania ruchem w transporcie.

## BIBLIOGRAFIA

1. Bobrowski D.: *Probabilistyka w zastosowaniach technicznych*. WNT, Warszawa, 1986.
2. Brown B.D., Card H.C. *Stochastic neural computation I: Computational elements*. IEEE Transactions on computers, vol. 50, No.9, 2001, pp. 891-905.
3. Bubnicki Z.: *Teoria i algorytmy sterowania*. PWN, Warszawa, 2005.
4. Dąbrowa Bajon M.: *Podstawy sterowania ruchem kolejowym. Funkcje, wymagania, zarys techniki*. wyd. 2 popr., Oficyna Wydawnicza Politechniki Warszawskiej, Warszawa, 2007.
5. Fiodorov R.F., Jakovlev V.V., Dobris G.V.: *Stochasticeskije priobrazovatieli informacii*. Maszynostrojenije, Leningrad, 1978.
6. Gaines B.R.: *Stochastic computing systems*. Advances in Information Systems Science, New York, 1969, pp. 37 – 172.
7. Kawalec P.: *Badanie stochastycznych przetworników informacji i ich implementacja w programowalne struktury logiczne FPGA*. Sprawozdanie z grantu JM Rektora PW, Wydział Transportu PW, Warszawa, 2001.
8. Kawalec P., Firlag K.: *Reliability analysis of specialized traffic control devices*. Archives of Transport, Quarterly, Polish Academy of Sciences, volume 19, iss. 1–2, Warsaw 2007, p. 75 – 82.
9. Mansinghka V., Jonas E., Tenenbaum J.: *Stochastic digital circuits for probabilistic interference*. Report MIT CSAIL-TR-2008-069, Cambridge, 2008.
10. Sapożnikov V.V. (red.): *Mietody postrojenija bezopasnych mikroelektronnych sistem żelieznodorożnoj avtomatiki*. Transport, Moskwa, 1995.
11. US Patent 5412587: *Pseudorandom stochastic data processing*. US Patent Issued on May 2, 1995.
12. von Neumann J.: *Probabilistic logic and the synthesis of reliable organisms from unreliable components, in automata studies*. Princeton University Press, Princeton, New York, 1956, pp. 43 – 98.
13. Zemanian A.H.: *Teoria dystrybucji i analiza transformacji*. PWN, Warszawa, 1969.
14. Zhang D., Li H., Foo S. Y.: *A simplified FPGA implementation of neural network algorithms integrated with stochastic theory for power electronics applications*. IEEE-IECON, 2005, pp.1018 – 1023.

## SAFE STOCHASTIC COMPARATORS FOR RAILWAY CONTROL SYSTEMS

### *Abstract*

*The article presents hardware implementation of stochastic comparators which compare independent random binary sequences. The structure of comparator has been designed by applying Heaviside step function and stochastic multiply-adder circuits. In order to ensure maximum speed of comparator operation, digital elements have been applied as well as shift registers. Comparator synthesis has been conducted in FPGA devices and examination of the prototype has been performed achieving high operational speed and certainty of step function implementation.*

### **Autor:**

prof. nzw. dr hab. inż. **Piotr Kawalec** – Politechnika Warszawska, Wydział Transportu,  
pka@wt.pw.edu.pl