

**Paweł KWIATKOWSKI**, Ryszard SZPLET, Zbigniew JACHNA, Krzysztof RÓŻYC

WOJSKOWA AKADEMIA TECHNICZNA,  
ul. Gen. Sylwestra Kaliskiego, 00-908 Warszawa

## Scalony licznik czasu z użyciem stempli czasowych i interpolacji dwustopniowej

**Mgr inż. Paweł KWIATKOWSKI**

Jest absolwentem Wydziału Elektroniki Wojskowej Akademii Technicznej. Kontynuuje naukę na studiach doktoranckich. Jego zainteresowania naukowe dotyczą precyzyjnej metrologii czasu, w szczególności projektowania cyfrowych układów generacji i pomiaru odcinków czasu w programowalnych układach FPGA.



e-mail: [pkwiatkowski@wat.edu.pl](mailto:pkwiatkowski@wat.edu.pl)

**Dr hab. inż. Ryszard SZPLET**

Jest pracownikiem naukowo-dydaktycznym Wydziału Elektroniki (WEL) Wojskowej Akademii Technicznej (WAT), wykładowcą przedmiotów dotyczących teorii układów cyfrowych oraz projektowania systemów cyfrowych z użyciem układów programowalnych i specjalizowanych. Jego aktywność naukowo-badawcza koncentruje się na opracowywaniu metod i technik precyzyjnego pomiaru i generacji odcinka czasu. Kieruje zespołem badawczym metrologii czasu w Zakładzie Techniki Cyfrowej WEL WAT.



e-mail: [rszplet@wat.edu.pl](mailto:rszplet@wat.edu.pl)

**Dr inż. Zbigniew JACHNA**

Ukończył studia na Wydziale Elektroniki Wojskowej Akademii Technicznej. W roku 2003 uzyskał stopień doktora nauk technicznych. Jest adiunktem w Instytucie Telekomunikacji Wydziału Elektroniki WAT. Jego zainteresowania naukowe to projektowanie układów cyfrowych oraz tworzenie oprogramowania w zakresie precyzyjnej metrologii czasu.



e-mail: [zjachna@wat.edu.pl](mailto:zjachna@wat.edu.pl)

**Mgr inż. Krzysztof RÓŻYC**

Ukończył studia na Wydziale Elektroniki Wojskowej Akademii Technicznej. Jest pracownikiem Instytutu Telekomunikacji WAT. Specjalizuje się w projektowaniu i testowaniu urządzeń do pomiaru i generacji odcinków czasu oraz dystrybucji sygnałów zegarowych.



e-mail: [krozyc@wat.edu.pl](mailto:krozyc@wat.edu.pl)

### Streszczenie

W artykule opisano budowę i działanie licznika czasu opartego na metodzie stempli czasowych i dwustopniowej interpolacji. Licznik został zaimplementowany w układzie programowalnym FPGA Kintex-7 firmy *Xilinx*. Pokazano sposób tworzenia stempli czasowych o wysokiej rozdzielczości oraz opisano problemy projektowe pojawiające się podczas implementacji projektu w układzie FPGA. Opracowany licznik charakteryzuje się wysoką rozdzielczością (< 11,6 ps) i precyzją (< 12 ps) oraz dużą szybkością powtarzania pomiarów (do 12 milionów pomiarów na sekundę).

**Słowa kluczowe:** układy programowalne, przetworniki czasowo-cyfrowe, metoda stempli czasowych, interpolacja dwustopniowa.

### An integrated time counter based on timestamps and two-stage interpolation

#### Abstract

This paper presents an integrated time counter based on timestamps and two-stage interpolation methods implemented in an FPGA programmable device. The timestamps method [2, 3] is useful, among others, in physical experiments and laser ranging systems [2, 4, 5]. To obtain high (picoseconds) resolution, it can be combined with the Nutt interpolation method [1, 6]. The principle of measurement is described in Section 2 and shown in Fig. 1. The time counter contains a period counter, a period counter register and 8 independent channels (Fig. 2, Section 3). Each channel consists of a multiphase clock generator, first and second interpolation stage modules and a channel register. The principle of operation and the way of implementing them in a Kintex-7 FPGA device (*Xilinx*) [7] are also presented in Section 3. The time counter was examined in terms of resolution and precision for each measurement channel (Section 4). The resolution was evaluated using the statistical code density test [8] and its value was below 12 ps. In Fig. 3 there is shown the time counter precision. In the range up to 1 ms it does not exceed 12 ps. For longer time intervals the precision is worsened by the limited stability of the reference clock. The maximum measurement rate for a single channel was experimentally estimated as 12 million measurements per second. The presented time counter is characterized by high metrological parameters (due to the interpolation method) and wide functionality (due to the time stamps).

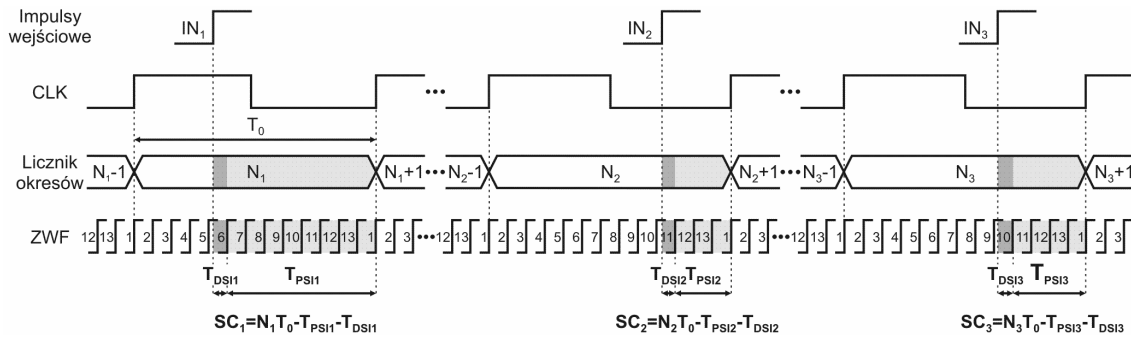
**Keywords:** programmable device, time-to-digital converters, timestamps method, two-stage interpolation.

### 1. Wstęp

W licznikach czasu typowo stosowana jest tzw. „start-stopowa” metoda pomiaru [1]. Impulsy wejściowe START i STOP, oznaczające odpowiednio początek i koniec mierzonego odcinka czasu, wykrywane są w oddzielnych torach pomiarowych. Wystąpienie impulsu START powoduje blokadę jednego z torów do czasu zakończenia pomiaru (tj. pojawienia się impulsu STOP), odczytania wyniku i wyzerowania układu. Metoda ta charakteryzuje się więc względnie dużym czasem martwym oraz trwałym przyporządkowaniem kanałom funkcji pomiarowych (START lub STOP), co ogranicza zakres zastosowań licznika.

Znaczną minimalizację czasu martwego oraz uniezależnienie się od kolejności występowania impulsów wejściowych, zapewnia metoda stempli czasowych [2, 3]. W metodzie tej stosowana jest ciągła oś czasu, wspólna dla wszystkich torów pomiarowych. W chwili pojawienia się impulsu wejściowego zapamiętywany jest aktualny moment na osi czasu. Informacja ta nosi nazwę stempla czasowego. Tory pomiarowe nie mają w tej metodzie ściśle określonej funkcji (START/STOP) i niezależnie od siebie rejestrują zdarzenia wejściowe. Użytkownik określa interesujące go odcinki czasu pomiędzy wybranymi stemplami czasu. Uzyskuje się w ten sposób dużą elastyczność w obliczaniu wyników pomiarów, pozwalającą na szersze zastosowanie liczników czasu np. w eksperymentach fizycznych, czy dalmierzach laserowych [2, 4, 5].

W prostej metodzie stempli czasowych wystąpienie impulsu wejściowego powoduje zapamiętanie aktualnego stanu licznika okresów [3]. Rozdzielczość takiego pomiaru jest więc ograniczona do okresu sygnału zegarowego taktującego licznik. W celu uzyskania szerokiego zakresu pomiarowego i wysokiej, pikosekundowej rozdzielczości należy dodatkowo zastosować interpolacyjną metodą pomiaru [6]. Łączne zastosowanie obu metod pozwala skonstruować licznik czasu o wysokich parametrach metrologicznych, dużej szybkości powtarzania pomiarów i szerokiej funkcjonalności.



Rys. 1. Metoda pomiaru z użyciem stempli czasowych i dwustopniowej interpolacji  
Fig. 1. Measurement method with the use of timestamps and two-stage interpolation

## 2. Metoda stempli czasowych z interpolacją

W metodzie stempli czasowych licznik okresów pracuje w trybie ciągłym inkrementując swą zawartość wraz z kolejnym zboczem narastającym sygnału zegara referencyjnego. Wytwarzana jest w ten sposób ciągła oś czasu, wspólna dla wszystkich torów pomiarowych licznika czasu. Pojawianie się impulsów na wejściach licznika czasu powoduje zapamiętanie „w locie” (np. w rejestrze) aktualnego stanu licznika okresów ( $N$ , rys. 1).

Dokładność takiego pomiaru jest ograniczona okresem referencyjnego sygnału zegarowego ( $T_0$ ). W celu jej poprawy, w opracowanym liczniku zastosowano dwustopniową metodę interpolacyjną [6]. Interpolacja dwustopniowa pozwala zastosować precyzyjniejsze przetworniki w ostatnim stopniu, co przekłada się na poprawę parametrów metrologicznych całego licznika. W pierwszym stopniu interpolacji (PSI) identyfikowane jest, w którym przedziale sygnału zegara wielofazowego (ZWF) pojawił się impuls wejściowy ( $T_{PSI}$ ). W prezentowanym rozwiązaniu generator ZWF wytwarza 13 jednakowo odległych od siebie faz, co daje 13-krotną poprawę rozdzielczości w porównaniu do prostej metody stempli czasowych. Drugi stopień interpolacji (DSI) umożliwia precyzyjny pomiar krótkiego odcinka czasu ( $T_{DSI}$ ) pomiędzy impulsem wejściowym a najbliższym zboczem narastającym sygnału ZWF.

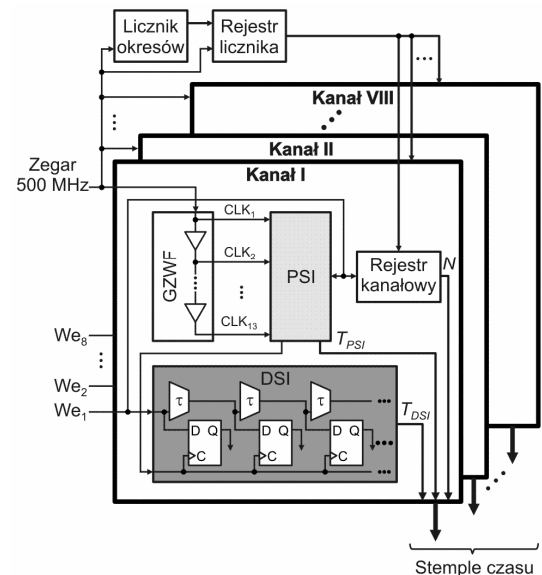
Każdy stempel czasu ( $SC_n$ ) zawiera informację o chwili wystąpienia impulsu wejściowego względem wartości licznika okresów ( $N T_0 - T_{PSI} - T_{DSI}$ ). Użytkownik otrzymuje więc precyzyjną informację o chwilach pojawiania się kolejnych impulsów wejściowych na wspólnej osi czasu. Istnieje zatem możliwość określania odcinków czasu pomiędzy dowolnie wybranymi impulsami.

## 3. Budowa licznika czasu

Uproszczony schemat blokowy licznika czasu opartego na metodzie stempli czasowych i dwustopniowej interpolacji, jest pokazany na rys. 2. Projekt licznika został opisany w języku VHDL i zaimplementowany w układzie programowalnym FPGA Kintex-7 firmy Xilinx [7].

Licznik czasu składa się z ośmiu niezależnych kanałów pomiarowych. Jako zegar referencyjny zastosowano sygnał o częstotliwości 500 MHz. Taktuje on licznik okresów i rejestr licznika oraz jest doprowadzony do wejść generatorów zegarów wielofazowych (GZWF) umieszczonych w każdym z kanałów pomiarowych. Licznik okresów jest 41-bitowym licznikiem równoległym z przeniesieniami szeregowymi. Umożliwia wytworzenie ciągłej osi czasu o długości do 70 minut. Do licznika okresów dołączony jest dodatkowy rejestr licznika. Każdy kanał zawiera także rejestr kanałowy oraz moduły PSI i DSI.

Stan licznika okresów jest przepisywany z opóźnieniem jednego taktu sygnału zegarowego do rejestru licznika. Impuls wejściowy powoduje przepisanie stanu rejestru licznika do rejestru kanałowego.



Rys. 2. Schemat blokowy licznika czasu  
Fig. 2. Block diagram of the time counter

GZWF zbudowany jest z linii opóźniającej z odczepami. Jako elementy opóźniające zastosowano tablice LUT (tablice przeglądowe, zawarte w podstawowych komórkach programowalnych układu FPGA). W efekcie na kolejnych odczepach linii uzyskuje się sygnał zegarowy opóźniony o ok. 150 ps względem poprzedniego odczepu.

PSI identyfikuje fazę sygnału zegarowego, w której wystąpił impuls wejściowy i wytwarza aktywne zbocze sygnału zegarowego dla przerzutników w linii kodującej w DSI. PSI zbudowany jest z 13-tu synchronizatorów podwójnych. Dokładny opis budowy i sposobu działania PSI jest zawarty w [6].

DSI zawiera dyskretną linię kodującą. Składa się ona z linii opóźniającej z odczepami oraz dołączonych do niej przerzutników typu D. Każdy z elementów opóźniających linii wprowadza opóźnienie  $\tau$ . Przerzutniki identyfikują liczbę  $n$  elementów opóźniających, przez które zdążył przepropagować się impuls wejściowy zanim pojawiło się najbliższe aktywne zbocze ZWF. Odcinek czasu pomiędzy obydwojma impulsami jest obliczany jako  $T_{DSI} = n \cdot \tau$ . Do budowy dyskretniej linii opóźniającej w układzie Kintex-7 użyte zostały wbudowane łańcuchy szybkich przeniesień (ang. *carry chain*). Są to dedykowane elementy do realizacji szybkich operacji arytmetycznych w układach programowalnych FPGA firmy Xilinx. Składają się z czterech szeregowo połączonych multiplexerów, umieszczonych w każdej komórce programowalnej (SLICE). Elementy łańcuchów przeniesień z komórek SLICE mogą być ze sobą łączone dedykowanymi ścieżkami omijającymi matryce przełącznikowe. Jest to najkrótsze i najszybsze dostępne połączenie pomiędzy sąsiednimi komórkami SLICE.

Zastosowanie ZWF pozwala skrócić długość łańcucha szybkich przeniesień w DSI, poprawiając tym samym nieliniowość przetwarzania w DSI. Ponadto, mniejsza liczba szeregowo połączonych ze sobą elementów wprowadza mniejsze rozmycie czasowe zbczoty impulsów, co z kolei przekłada się na lepszą precyzję przetwarzania.

Na wyjściu każdego kanału otrzymuje się 54-bitowe słowo zawierające: liczbę zliczonych okresów zegara ( $N$ , 41 bitów), wyniki w kodzie NB z PSI (4 bity) i DSI (6 bitów) oraz numer kanału (3 bity). Wyniki (stemple czasu) zapisywane są do pamięci FIFO, a następnie przesyłane do komputera za pomocą interfejsu USB.

Metoda stempli czasowych jest realizowana przez pracujący w trybie ciągłym licznik okresów oraz skojarzone z nim rejestry (licznika i kanałowe). Czas propagacji przeniesienia w liczniku okresów jest stosunkowo długi (1,66 ns, wartość uzyskana w symulacji) w porównaniu do okresu zegara (2 ns). Aby dane z tego licznika były stałe przez dłuższy czas, wprowadzony został dodatkowy rejestr licznika. Utrzymuje on na wyjściu stabilny stan przez czas równy okresowi zegara (2 ns) pomniejszony o czas ustalania przerzutnika (10 ps) [7]. Dodatkowo, elementy licznika okresów oraz rejestrów rozlokowano z użyciem instrukcji RLOC w sąsiadujących ze sobą komórkach SLICE. Skrócono w ten sposób czas propagacji sygnałów pomiędzy poszczególnymi elementami.

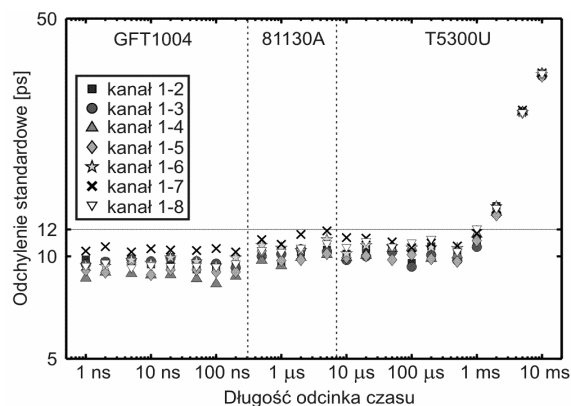
## 4. Wyniki pomiarów

Stosując statystyczny test gęstości kodu [8] określono szerokości kanałów kwantowania w DSI. Następnie na tej podstawie obliczono średnią rozdzielczość każdego z kanałów pomiarowych. Pomimo implementacji linii kodujących w różnych miejscach układu programowalnego uzyskano zbliżone wartości rozdzielczości w poszczególnych kanałach. Wyniosły one od 9,8 ps do 11,6 ps.

Precyzja licznika została zbadana dla odcinków czasu mierzonych w zakresie od 1 ns do 10 ms. Jako źródeł sygnałów mierzonych użyto trzech generatorów odcinków czasu: GFT1004 (odcinki czasu do 200 ns), Agilent 81130A (od 500 ns do 5  $\mu$ s) oraz T5300U (powyżej 5  $\mu$ s). Każdy z użytych generatorów charakteryzował się najmniejszym rozmyciem czasowym wytwarzanych odcinków czasu w wybranym zakresie pomiarowym. Sygnały z generatorów były dystrybuowane za pomocą rozdzielacza sygnałów do 8 kanałów pomiarowych licznika (sygnał START do kanału pierwszego, a STOP do pozostałych). We wszystkich sesjach pomiarowych rejestrowano po 8000 stempli czasu, tj. po 1000 pomiarów w każdym kanale. Wartości odcinków czasu obliczano jako różnicę pomiędzy wartościami stempli z kanałów od 2 do 8 a stemplami z kanału pierwszego. Następnie dla próbek otrzymanych wyników obliczono odchylenie standardowe. Wyniki pokazane są na rys. 4.

W każdym z kanałów precyzja licznika nie przekracza 12 ps dla mierzonych odcinków czasu w zakresie do 1 ms. Dla dłuższych odcinków precyzja pomiarów pogarszana jest ograniczoną stabilnością krótkoczasową źródła sygnału referencyjnego. W przedstawionych badaniach jako źródła użyto generatora kwarcowego TCXO. W celu poprawy precyzji licznika dla odcinków dłuższych od 1 ms należy zastosować stabilniejszy sygnał zegarowy, np. z generatora rubidowego.

Podczas badań zweryfikowano także czas martwy pojedynczego kanału rozumiany jako suma czasu niezbędnego na wykonanie pomiaru w PSI i DSI, przepisanie wyniku do pamięci FIFO oraz wyzerowania kanału. Stosując metodę stempli czasowych czas ten można oszacować w sposób eksperymentalny, poprzez zwiększanie częstotliwości powtarzania sygnału mierzony na jednym z wejść licznika do momentu kiedy uzyskiwana wartość odcinka czasu pomiędzy kolejnymi stemplami czasu będzie większa niż 1 okres tego sygnału. W ten sposób określono maksymalną szybkość powtarzania pomiarów w jednym kanale (12 milionów pomiarów na sekundę), i oszacowano czas martwy (83 ns = 1/12 MHz).



Rys. 3. Precyzja licznika w zakresie do 10 ms

Fig. 3. Precision of the time counter within the range up to 10 ms

## 5. Wnioski

Opisany licznik czasu charakteryzuje się wysokimi parametrami metrologicznymi (rozdzielczość < 11,6 ps, precyzja < 12 ps dla odcinków czasu o długości < 1 ms). Zastosowanie znaczników czasu zwiększyło jego funkcjonalność, poprzez skrócenie czasu martwego (83 ns) oraz umożliwienie użytkownikowi obliczania wartości odcinków czasu pomiędzy dowolnie wybranymi stemplami.

Implementacja prezentowanego licznika czasu w układzie programowalnym FPGA jest relatywnie tania, zważywszy na jego dużą złożoność konstrukcyjną oraz uzyskiwane wysokie parametry metrologiczne. Ponadto, reprogramowalność układu pozwala dostosowywać funkcjonalność urządzenia do potrzeb konkretnej aplikacji.

*Projekt został sfinansowany ze środków Narodowego Centrum Badań i Rozwoju przyznanymi na podstawie umowy numer PBS1/B3/3/2012.*

## 6. Literatura

- [1] Carbone P., Kiaei S., Xu F.: Design, Modeling and Testing of Data Converters, Chapter 7, Szplet R.: Time-to-Digital Converters, Springer, 2014.
- [2] Zieliński M., Chaberski D., Kowalski M., Frankowski R., Grzelak S.: High-resolution time-interval measuring system implemented in single FPGA device, Measurement vol. 35, 2004.
- [3] Szplet R., Perko K.: Scalony licznik czasu z użyciem stempli czasowych. Pomiary Automatyka Kontrola, vol. 59, 2013.
- [4] Gupta S. K., Christiansen J., Hayashi Y., Jain A., Mohanty P. K., Ravindran K. C., Satyanarayana B.: Measurement of arrival time of particles in extensive air showers using TDC32, Experimental Astronomy, vol. 35, no. 3, 2013.
- [5] Jansson J. P., Koskinen V., Mantyniemi A., Kostamovaara J.: A Multi-Channel High Precision CMOS Time-to Digital Converter for Laserscanner Based Perception Systems, Transactions on Instrumentation and Measurement, vol. 61, no. 9, 2012.
- [6] Szplet R., Kalisz J., Jachna Z.: A 45 ps time digitizer with a two-phase clock and dual-edge two-stage interpolation in a field programmable gate array device, Measurement Science and Technology, vol. 20, 025108, 2009.
- [7] Kintex-7 FPGAs Data Sheet: DC and Switching Characteristics, DS182, Xilinx, v2.4, December 12, 2012.
- [8] Cova S., Bertolaccini M.: Differential linearity testing and precision calibration of multichannel time sorters. Nuclear Instruments and Methods, vol. 77, no. 2, 1970.