

OBWODY LOGIKI ODWRACALNEJ ODPORNE NA BŁĘDY

Streszczenie

Szybkość systemów cyfrowych (w tym nowoczesnych komputerów) ograniczają zjawiska związane ze stratami energii i wydzielaniem ciepła. Rozwiązaniem alternatywnym jest wykorzystanie logiki rewersyjnej w syntezie systemów cyfrowych. W artykule przedstawiono podstawowe bramki rewersyjne oraz przykład ich wykorzystania w syntezie systemów cyfrowych. Zaletą logiki odwracalnej jest możliwość syntezy układów samotestujących i odpornych na błędy. Wykorzystanie tych układów umożliwi konstrukcję bezpiecznych systemów sterowania.

WSTĘP

Rozpraszanie energii jest istotnym czynnikiem podczas projektowania układów VLSI. Obwody logiki kombinacyjnej wydzielają ciepło rzędu $kT \ln 2$ dżuli przy każdym traconym bicie informacji, gdzie k to stała Boltzmana i T to temperatura pracy [5]. Utraty tej doświadczamy wtedy, gdy na podstawie wektora wyjść nie jesteśmy w stanie jednoznacznie określić wektora wejść. Korzystając z elementów logiki odwracalnej naturalnie pozbywamy się nadmiaru wydzielanego ciepła, gdyż nie ma problemu utraty informacji. Można zatem stwierdzić, że logika odwracalna stanie się znacznie bardziej istotna w tworzeniu obwodów cyfrowych przyszłości.

Ponieważ druga zasada termodynamiki zabrania zmniejszenie entropii w zamkniętym układzie, to zmniejszenie entropii w jednym miejscu musi być skompensowane generacją entropii w innym miejscu. Generowana entropia wskutek skasowania bitu informacji wynosi:

$$\Delta S = k_B T \cdot \ln 2 \quad (1)$$

A zatem komputery pracujące na podstawie algebry Boole'a są zawsze urządzeniami rozpraszającymi energię nie mniejszą niż:

$$k_B T \cdot \ln 2 \quad (2)$$

Synteza obwodów logiki odwracalnej zasadniczo różni się od klasycznej. W przypadku bramek odwracalnych każde wyjście zostaje użyte tylko raz (nie można podłączyć kilku wejść kolejnych bramek do wyjścia poprzedniej). Dla każdego zestawu wejść przypada unikalny zestaw wyjść. Natomiast końcowy obwód musi być acykliczny.

Dowolna bramka odwracalna dokonuje permutacji sygnałów wejściowych i wykonuje funkcje odwracalne. Bramka posiadająca k wejść – a zatem również k wyjść – nazywana jest bramką odwracalną $k \times k$. Każdy układ odwracalny może się składać jedynie z bramek odwracalnych. Wszystkie zbędne wyjścia takiego obwodu (pozostawione jedynie dla zachowania odwracalności) nazywane są „śmieciowymi wyjściami”; natomiast wejścia z przydzieloną niezmienną wartością nazywane są „stałymi wejściami”. Projektując układy dąży się do minimalizowania liczby śmieciowych wyjść.

Sprawdzanie parzystości jest jedną z szerzej stosowanych metod wykrywania błędów w logice cyfrowej oraz systemach komunikacyjnych. Jest tak, ponieważ funkcje arytmetyczne nie zachowują parzystości. Jeżeli parzystość wejść zostanie zachowana podczas prowadzenia obliczeń, sprawdzanie wartości na kolejnych etapach drogi do wyjścia układu nie byłoby potrzebne. Wystarczającym warunkiem zachowania parzystości obwodu odwracalnego jest zbudowanie go jedynie z bramek zachowujących parzystość [6].

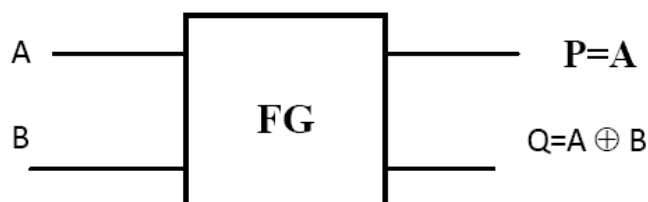
W dalszej części artykułu przedstawiono przykłady bramek zachowujących parzystość, jak również możliwość ich zastosowania do budowy układów cyfrowych.

1. ODWRACALNE BRAMKI LOGICZNE

W literaturze można znaleźć wiele przykładów bramek odwracalnych – od podstawowych, opracowanych dekady temu przez naukowców zgłębiających tę dziedzinę, po nowsze ich odmiany (uwzględniające kontrolę parzystości wejść i wyjść). Poniżej pokazano przykłady obu rodzajów bramek wraz z tabelami prawdy.

1.1. Podstawowe bramki odwracalne

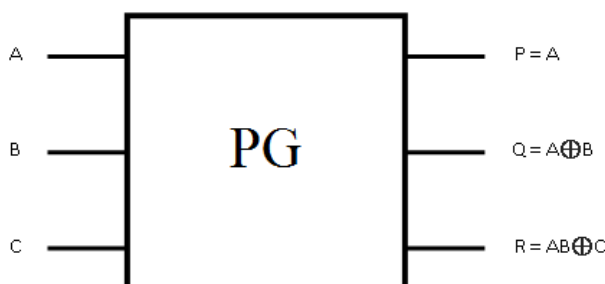
Do podstawowych bramek w logice rewersyjnej zalicza się: bramka Feynmana (FG), bramka Peresa (PG), bramka Toffoli (TG) oraz bramka Fredkina (FRG). Pierwsza z wymienionych bramek ma wymiar 2×2 , natomiast pozostałe 3×3 . Wszystkie z nich dokładnie przestudiowano na przestrzeni lat. Natomiast ich prosta budowa oraz kwantowy koszt realizacji sprawiają, że jest wiele podejść do projektowania oraz narzędzi wykorzystujących je pojedynczo, lub wspólnie.



Rys. 1. Bramka Feynmana

Tab. 1. Tablica prawdy dla bramki Feynmana

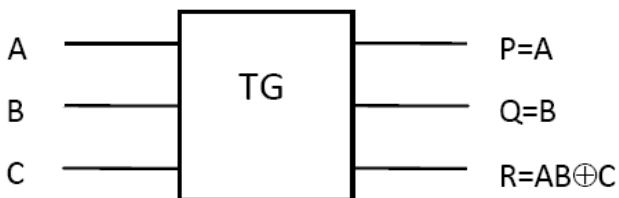
WEJŚCIA		WYJŚCIA	
A	B	P	Q
0	0	0	0
0	1	0	1
1	0	1	1
1	1	1	0



Rys. 2. Bramka Peresa

Tab. 2. Tablica prawdy dla bramki Peresa

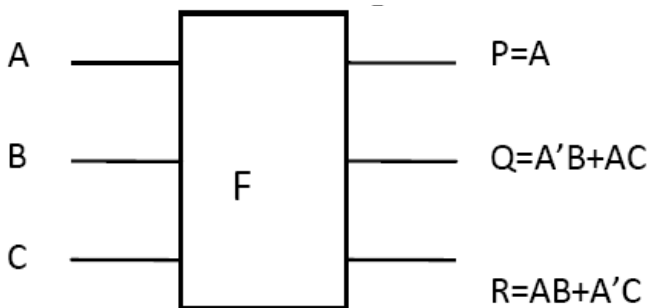
WEJŚCIA			WYJŚCIA		
A	B	C	P	Q	R
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	1	0	1
1	1	1	1	0	0



Rys. 3. Bramka Toffoligo

Tab. 3. Tablica prawdy dla bramki Toffoligo

WEJŚCIA			WYJŚCIA		
A	B	C	P	Q	R
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	0	0
1	0	1	1	0	1
1	1	0	1	1	1
1	1	1	1	1	0



Rys. 4. Bramka Fredkina

Tab. 4. Tablica prawdy dla bramki Fredkina

WEJŚCIA			WYJŚCIA		
A	B	C	P	Q	R
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	0	0
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	1	1	1

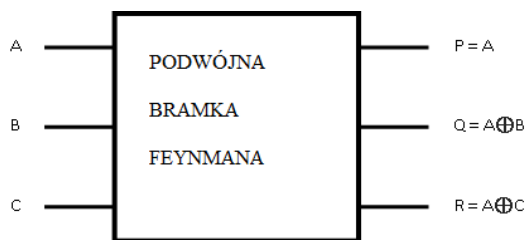
1.2. Bramki odwracalne zachowujące parzystość

Oporność na błędy jest właściwością, która pozwala na poprawne działanie systemu w przypadku pojawienia się błędu lub awarii niektórych jego elementów. Jeżeli system jest zbudowany z elementów, które są odporne na błędy, wówczas wykrywanie oraz poprawianie ich jest znacznie łatwiejsze. W wielu przypadkach (m.in. w systemach komunikacji) odporność ta osiągana jest dzięki parzystości.

Logika odwracalna odporna na błędy z wykorzystaniem bramek zachowujących parzystość została przedstawiona przez Behrooza

Parhami w 2006 roku [6]. W tych bramkach parzystość wejść odpowiada parzystości wyjść. Ujmując to inaczej, wykonanie operacji alternatywy wykluczającej (XOR) na wszystkich wejściach ($A\oplus B\oplus C$ w przypadku bramki 3*3) i na wszystkich wyjściach ($P\oplus Q\oplus R$ dla bramki 3*3) daje ten sam wynik. Wykonując szybkie sprawdzenie danych w przedstawionych wcześniej tabelach prawdy pokazuje, że bramka Fredkina 3*3 jest jedyną podstawową bramką, która zachowuje parzystość. W dalszej części zostaną przedstawione kolejne przykłady elementów posiadających tę cechę.

W 2006 roku Parhami przedstawił podwójną bramkę Feynmana (F2G) [6]. Powstała przez szeregowe połączenie dwóch bramek Feynmana dla 3 wejść – w tym jednego wspólnego.

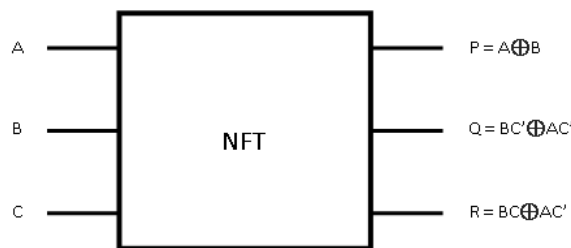


Rys. 5. Podwójna bramka Feynmana

Tab. 5. Tablica prawdy dla podwójnej bramki Feynmana

WEJŚCIA			WYJŚCIA		
A	B	C	P	Q	R
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	1	1
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	1	0	0

W 2008 Haghparast przedstawił nową bramkę, nazwaną nową odporną na błędy bramką (NFT), zaprojektowaną dla systemów opartych o nanotechnologię [3].



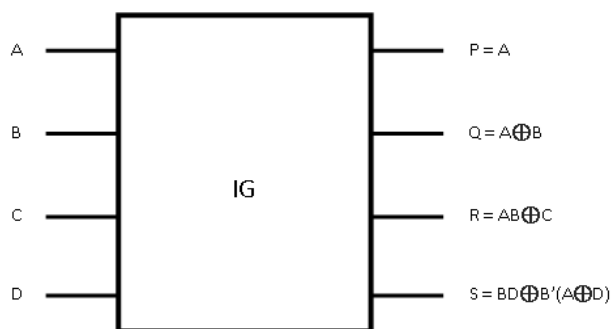
Rys. 6. Bramka New Fault Tolerant

Tab. 6. Tablica prawdy dla bramki NFT

WEJŚCIA			WYJŚCIA		
A	B	C	P	Q	R
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	1	0	0
0	1	1	1	0	1
1	0	0	1	1	1
1	0	1	1	1	0
1	1	0	0	1	1
1	1	1	0	0	1

W 2009 Saiful Islam, Rehman, Hafiz i Begum opracowali nową konstrukcję pełnego sumatora odpornego na błędy, gdzie wykorzystaną nową bramką 4*4 nazwaną bramką Islama (IG) [1]. Podobnie do bramek podstawowych, jest ona jedno-przepustowa – tzn. jedno z wejść jest przekazywane na wyjście bez zmian. Jest również

uniwersalna, czyli przy odpowiednim wykorzystaniu wejść stałych można z jej wykorzystaniem zrealizować każdą funkcję logiczną [1].



Rys. 7. Bramka Islama

Tab. 7. Tablica prawdy dla bramki Islama

WEJŚCIA				WYJŚCIA			
A	B	C	D	P	Q	R	S
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	0
0	1	1	1	0	1	1	1
1	0	0	0	1	1	0	1
1	0	0	1	1	1	0	0
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	0
1	1	1	1	1	0	0	1

2. PRZYKŁADY ZASTOSOWAŃ

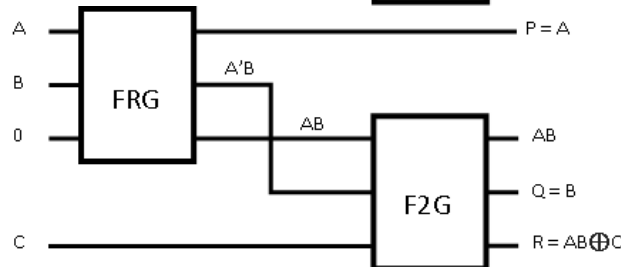
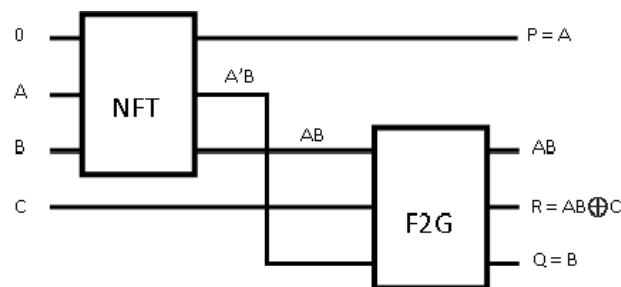
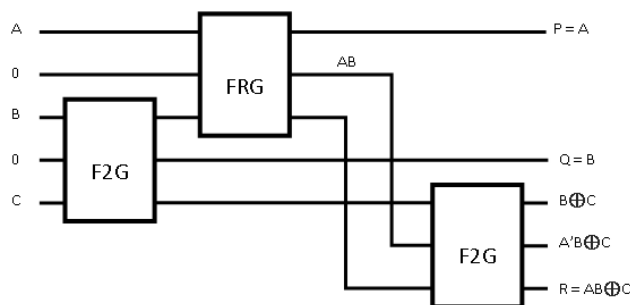
2.1. Bramka Toffoliego odporna na błędy

Z uwagi na swoją wszechstronność i popularność bramka Toffoliego 3*3 została bardzo dobrze opracowana w literaturze. Niestety przez nie zachowywanie parzystości nie ma możliwości jej wykorzystania w układach odpornych na błędy. Istnieje jednak możliwość odtworzenia jej z pewnymi modyfikacjami, aby spełniała wszystkie warunki. Aby powstała bramka Toffoliego z kontrolą parzystości można zastosować jedno z trzech rozwiązań przedstawionych w [6], [3] i [1].

Już jedno spojrzenie na przedstawione rozwiązania pozwala zauważyć znaczące różnice w strukturze, liczbie wykorzystanych bramek i ich rodzajach. Układy z i wykorzystują tylko dwie bramki odwracalne z kontrolą parzystości. Można jeszcze porównać przedstawione realizacje bramki Toffoliego ze względu na złożoność sprzętową. Wprowadzając następujące oznaczenia szybko można liczbowo przedstawić elementarne operacje logiczne wymagane do zrealizowania nowej wersji bramki Toffoliego:

- α = jedna dwuwejściowa operacja XOR;
- β = jedna dwuwejściowa operacja AND;
- δ = jedna operacja negacji (NOT);
- T = suma operacji logicznych.

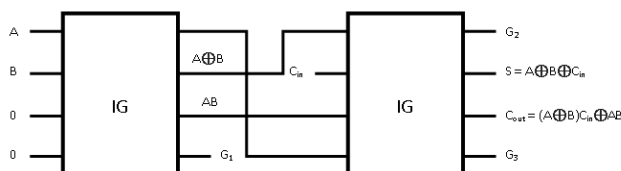
Suma operacji dla układu z [6] wynosi $T = 6\alpha + 4\beta + 2\delta$, dla układu z [3] wynosi $T = 5\alpha + 3\beta + 2\delta$, natomiast dla układu z [1] $T = 4\alpha + 4\beta + 1\delta$. Zatem najmniej złożony obliczeniowo jest ostatni układ.



Rys. 8. Trzy realizacje bramki zachowującej parzystość

2.2. Pełny sumator odporny na błędy

Układy pełnego sumatora zrealizowanego na elementach logiki odwracalnej często opisywane są w literaturze. Są jednak tylko 3 wersje odporne na błędy. W [4] przedstawiono układ zrealizowany przy pomocy 6 bramek zachowujących parzystość (dwóch FRG i czterech F2G), w [2] osiągnięto ten sam efekt przy użyciu czterech bramek FRG. Natomiast w [1] wykorzystano 2 bramki IG.



Rys. 9. Pełny sumator odporny na błędy [1]

Podobnie, jak w poprzednim wypadku, trzy wspomniane sumatory można ze sobą porównać ze względu na liczbę użytych bramek, stałych wejść, śmieciowych wyjść, cykli zegarowych, czy elementarnych obliczeń koniecznych do ich odtworzenia. Porównanie poszczególnych rozwiązań (znanych z literatury) przedstawiono w tabeli 8.

Tab. 8. Porównanie pełnych sumatorów odpornych na błędy

	Liczba użytych bramek	Cykle zegarowe	Liczba śmieciowych wyjść	Liczba stałych wejść	Suma elementarnych operacji logicznych
Sumator Błąd! Nie można odnaleźć źródła odwołania	2 IG	2	3	2	$8\alpha + 6\beta + 2\delta$

nia.					
Sumator Błąd! Nie można odnaleźć źródła odwołania.	4 FRG	4	3	2	$8\alpha+16\beta+4\delta$
Sumator Błąd! Nie można odnaleźć źródła odwołania.	2 FRG + 2 F2G	6	6	5	$12\alpha+8\beta+2\delta$

Zależnie od posiadanych możliwości konstrukcyjnych, tj. dostępnych bramek, możemy skorzystać z jednej z 3 możliwości budowy pełnego sumatora odwracalnego odpornego na błędy. Widać jednak wyraźnie, że niezależnie od wybranego kryterium, najsprawniejsza i najmniej wymagająca sprzętowo konstrukcja opiera się na wykorzystaniu nowo opracowanych bramek IG.

PODSUMOWANIE

Przedstawione w artykule rozwiązania układów z kontrolą parzystości umożliwiają konstruowanie bezpiecznych systemów cyfrowych. Sterowniki zależnościowe, wykorzystywane w systemach sterowania ruchem kolejowym realizują stosunkowo proste funkcje logiczne. Rozbudowa tych systemów wynika z konieczności samokontroli w celu zapewnienia bezpieczeństwa. Zastosowanie logiki rewersyjnej pozwala na prostą realizację funkcji zależnościowych przy jednoczesnym zapewnieniu bezpieczeństwa.

BIBLIOGRAFIA

1. Al Mahamud A., Begum Z., Hafiz M. Z., Rahman M. M., Saiful Islam Md.: "Synthesis of Fault Tolerant Reversible Logic Circuits". Proceedings of IEEE International Conference on Testing and Diagnosis, Chengdu, China, 2009, s. 1-4
2. Bruce J. W., Kokate P. S., Li X., Shivakumaraiah L., Thornton A.: "Efficient adder circuits based on conservative reversible logic gates", In Proceedings of IEEE Computer Society Annual Symposium on VLSI, Pittsburg, PA, 2002, s. 83-88

3. Haghparast M., Navi K.: "A novel fault tolerant reversible gate for nanotechnology based systems", American Journal of Applied Sciences, Vol. 5, No. 5, 2008, s. 519-523
4. Haghparast M., Navi K.: "Design of novel fault tolerant reversible full adder for nanotechnology based systems", World Applied Sciences Journal, Vol. 3, No. 1, 2008, s. 114-118
5. Landauer R.: "Irreversibility and heat generation in the computational process". IBM Journal of Research and Development, Vol. 5, Issue 3, 1961, s. 183-191
6. Parhami B.: "Fault-Tolerant Reversible Circuits". Proceedings of 40th Asilomar Conference on Signals, Systems and Computers, Pacific Grove, CA, 2006, s. 1722-1726
7. Pniewski R., Pniewska J.: "Symulacja układów z logiką rewersyjną w programie QUCS". TTS 10/2013

FAULT TOLERANT REVERSIBLE LOGIC CIRCUITS

Abstract

The speed digital systems (including modern computers) limit phenomena associated with energy losses and heat generation. An alternative is to use in the synthesis of reversible logic digital systems. The article presents the main gate reverse and an example of their use in the synthesis of digital systems. The advantage is the possibility of reversible logic synthesis selftesting and fault tolerant systems. The use of these systems will enable the construction of safe control systems.

Autorzy:

mgr inż. **Michał Dobrzański** – Uniwersytet Technologiczno-Humanistyczny w Radomiu – Wydział Transportu i Elektrotechniki, doktorant.

dr hab. inż. **Roman Pniewski** prof. nadzw. – Uniwersytet Technologiczno-Humanistyczny w Radomiu – Wydział Transportu i Elektrotechniki, r.pniewski@uthrad.pl, (48) 3617728