

Piotr Bogusz, Mariusz Korkosz, Adam Powróżek
Politechnika Rzeszowska

SYSTEM STEROWANIA GENERATORA RELUKTANCYJNEGO PRZEŁĄCZALNEGO Z ZASTOSOWANIEM PROCESORA SYGNAŁOWEGO I UKŁADU FPGA

CONTROL SYSTEM OF SWITCHED RELUCTANCE GENERATOR BASED ON DSP AND FPGA

Streszczenie: W niniejszej pracy przedstawiono strukturę systemu sterowania czteropasmowego generatora reluktancyjnego przełączalnego 8/6. Układ sterowania zbudowano z zastosowaniem karty DS1104 firmy dSPACE wyposażonej w procesor sygnałowy DSP (ang. Digital Signal Processor) oraz układu programowalnego FPGA (ang. Field Programmable Gate Arrays) – zestaw uruchomieniowy Spartan-3AN firmy XILINX. Oba układy zostały ze sobą sprzęgnięte poprzez port szeregowy i przydzielono im odpowiednie funkcje w procesie sterowania. Zamieszczono przykładowe wyniki badań eksperymentalnych w postaci przebiegów napięć i prądów.

Abstract: In the paper a structure of a control system of four-phase 8/6 switched reluctance generator was presented. The control system was built based on DSP: dSPACE's DS1104 card and FPGA: XILINX's evaluation board Spartan 3-AN. DSP and FPGA were coupled together through serial port and proper functions in control process were assigned to them. Exemplary results of laboratory studies as waveforms of voltages and currents were given.

Słowa kluczowe: generator reluktancyjny przełączalny, procesor sygnałowy, układ FPGA

Keywords: switched reluctance generator, DSP, FPGA

1. Wstęp

Maszyny reluktancyjne przełączalne (ang. Switched Reluctance Machine – SRM) należą do grupy maszyn sterowanych elektronicznie [1]. Ze względu na prostotę budowy wirnika (brak uzwojeń i magnesów), a co za tym idzie niski koszt produkcji, niewielką bezwładność wirnika czy możliwość pracy w wysokiej temperaturze prowadzone są na świecie badania nad wykorzystaniem maszyn SRM w napędach pojazdów elektrycznych i hybrydowych [2], w systemach lotniczych czy w elektrowniach wiatrowych [3].

Maszyna SRM poprzez odpowiedni dobór kątów sterujących może pracować zarówno, jako silnik jak i generator. W przypadku pracy generatorowej wymagana jest duża dokładność kontroli kąta położenia wirnika, co prowadzi do konieczności zastosowania szybkiego układu sterowania. Procesor sygnałowy DSP stosowany obecnie do sterowania pracą maszyn elektrycznych może okazać się zbyt wolny, aby zapewnić wymaganą dokładność wyznaczenia kąta położenia wirnika [4,5]. Obecnie w prowadzonych na świecie badaniach stosowane są układy programowalne FPGA [6,7] lub połączenie procesora DSP z układem

FPGA do sterowania pracą maszyn elektrycznych [4]. Połączenie obu układów pozwala na pełne wykorzystanie zalet obu układów. Procesor DSP wykorzystywany jest do przetwarzania sygnałów wymagających dużej mocy obliczeniowych, podczas gdy układ FPGA odpowiada za algorytmy wymagające dużej prędkości działania.

Celem niniejszej pracy jest prezentacja opracowanego systemu sterowania generatora SRG zbudowanego z wykorzystaniem procesora DSP (karta DS1104 firmy dSPACE) oraz układu programowalnego FPGA (zestaw uruchomieniowy Spartan 3-AN firmy XILINX). Oba układy zostały ze sobą sprzęgnięte poprzez port szeregowy i przydzielono im odpowiednie funkcje w procesie sterowania. Przedstawiony układ sterowania może służyć do implementacji i badania zaawansowanych metod sterowania pracą generatora SRG (stabilizacja napięcia wyjściowego, maksymalizacja sprawności, mocy wyjściowej). Przedstawiono wyniki badań laboratoryjnych w postaci przebiegów napięć i prądów.

2. Obiekt badań

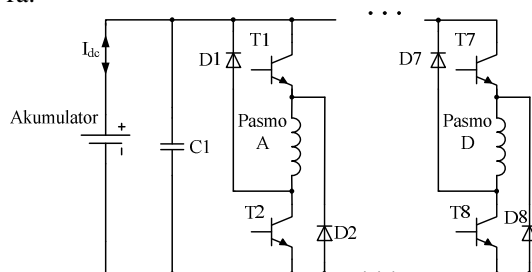
Obiektem badań była czteropasmowa maszyna reluktancyjna przełączalna o konfiguracji 8/6 i parametrach zestawionych w tabeli 1.

Tabela 1. Zestawienie wybranych parametrów elektrycznych i geometrycznych badanej maszyny

Parametr	Wartość
Liczba pasm maszyny m	4
Liczba biegunów stojana N_s	8
Liczba zębów wirnika N_r	6
Napięcie znamionowe U_N [V]	24
Moc znamionowa P_N [W]	750
Prędkość znamionowa n_N [obr/min]	3000

3. Struktura układu sterowania

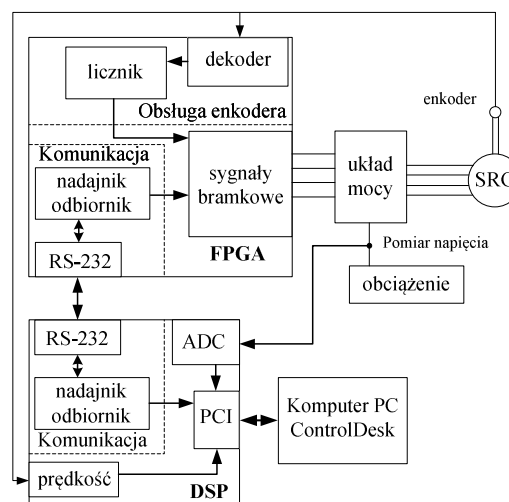
W skład układu sterowania generatora SRG wchodzi: układ mocy, zestaw uruchomieniowy Spartan-3AN firmy Xilinx, karta kontrolno-pomiarowa DS1104 firmy dSPACE. Na rysunku 1 pokazano schemat zastosowanego układu mocy, w którym akumulator kwasowy pełnił rolę wzbudzenia i obciążenia generatora.



Rys. 1. Schemat układu mocy SRG

Układ Spartan-3AN oraz karta DS1104 komunikują się poprzez port szeregowy przesyłając wymagane wartości zmiennych w czasie rzeczywistym. Do programowania układu FPGA zastosowano język VERILOG. Program odpowiedzialny za sterowanie generatora SRG ma budowę modułową. Każdy moduł jest niezależny i może funkcjonować indywidualnie. Wywołanie poszczególnych modułów w programie głównym odbywa się poprzez ich instancje. Układ programowalny FPGA odpowiedzialny jest za: obsługę przetwornika obrotowo - impulsowego, wytwarzanie sygnału PWM oraz generowanie sygnałów bramkowych. Karta DS1104 programowana była w systemie Matlab/Simulink z zastosowaniem biblioteki RTILIB. Przy wykorzystaniu zintegrowanego z kartą DS1104 środowiska Con-

trolDesk zbudowano graficzny panel sterujący. Środowisko ControlDesk umożliwia modyfikację istotnych zmiennych w czasie rzeczywistym. Karta DS1104 odpowiedzialna jest za: pomiar prędkości i napięcia wyjściowego, zadawanie parametrów sterujących oraz wizualizację graficzną wybranych parametrów (panel sterujący w środowisku ControlDesk). Na rysunku 2 pokazano graficzną strukturę układu sterowania generatora SRG z podziałem na funkcje przydzielone poszczególnym modułom sprzętowym.

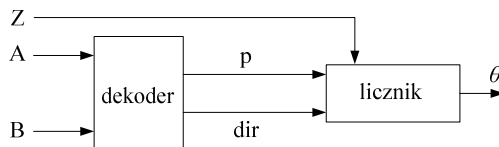


Rys. 2. Struktura układu sterowania generatora SRG

4. Funkcje układu FPGA

4.1. Obsługa enkodera

W układzie zastosowano przetwornik obrotowo - impulsowy o rozdzielczości 360 imp/obr. Przetwornik generuje trzy podstawowe sygnały A, B i Z. Sygnały A i B są przesunięte względem siebie o 90°, co pozwala na określenie kierunku obrotu enkodera, natomiast sygnał Z informuje o wykonaniu pełnego obrotu. Na rysunku 3 pokazano schemat blokowy układu do obsługi enkodera.



Rys. 3. Schemat układu do obsługi enkodera

Najważniejszym elementem jest dekodery wykrywający wszystkie cztery zbocza sygnałów A i B, które zliczane są w liczniku. Dekoder generuje dwa sygnały: p i dir . Przy każdym narastającym zboczu sygnału p licznik jest

zwiększany lub zmniejszany w zależności od stanu sygnału *dir* określającego kierunek wirowania wirnika (gdy *dir*=1 licznik jest zwiększany, gdy *dir*=0 licznik jest zmniejszany). Po pojawieniu się narastającego zbocza sygnału *Z* licznik jest zerowany.

Na rysunku 4 pokazano fragment programu odpowiedzialny za dekodowanie sygnału z przetwornika obrotowo-impulsowego z uwzględnieniem kierunku wirowania wirnika.

```

11 wire A_posedge = (Ar==2'b01);
12 wire A_negedge = (Ar==2'b10);
13 wire B_posedge = (Br==2'b01);
14 wire B_negedge = (Br==2'b10);
15
16 always @ (posedge clk) begin
17     Ar <= {Ar[0], A};
18     Br <= {Br[0], B};
19     if (A_posedge) begin
20         p <= 1;
21         if (~Br[1]) dir<=1;
22         else dir<=0;
23     end
24     else if (A_negedge) begin
25         p <= 1;
26         if (Br[1]) dir<=1;
27         else dir<=0;
28     end
29     else if (B_posedge)
30     begin
31         p <= 1;
32         if (Ar[1]) dir<=1;
33         else dir<=0;
34     end
35     else if (B_negedge) begin
36         p <= 1;
37         if (~Ar[1]) dir<=1;
38         else dir<=0;
39     end
40     else p<=0;
41 end

```

Rys. 4. Fragment programu odpowiedzialny za dekodowanie sygnału z enkodera inkrementalnego

4.2. Generator sygnału PWM

Generator sygnału PWM zbudowano z zastosowaniem licznika, służącego do wytworzenia przebiegu piókształtnego i komparatora porównującego wartość zadaną z wartością licznika. Moduł generatora umożliwia zmianę częstotliwości sygnału PWM przy wykorzystaniu bloku DCM (ang. Digital Clock Manager) będącego integralną częścią układu Spartan-3AN. DCM składa się z 4 bloków: syntezy częstotliwości DFS, pętli DLL, programowanego przesuwnika fazy (Phase Shifter) oraz zespołu logiki (Status Logic). Wykorzystanie bloku DCM umożliwia zwielokrotnienie lub zmniejszenie częstotliwości taktowania (w przypadku układu Spartan-3AN wynosi ona 50MHz). Na rysunku 5 pokazano frag-

ment programu odpowiedzialny za wytwarzanie sygnału PWM o częstotliwości 12,2kHz, po zmniejszeniu częstotliwości taktowania do 25MHz.

```

22
23 always @(*) begin
24     ctr_d = ctr_q + 1'b1;
25     if (compare > ctr_q)
26         pwm_d = 1'b1;
27     else
28         pwm_d = 1'b0;
29 end
30 always @(posedge CLK_25) begin
31     if (rst) begin
32         ctr_q <= 1'b0;
33     end else begin
34         ctr_q <= ctr_d;
35     end
36     pwm_q <= pwm_d;
37 end

```

Rys. 5. Fragment programu odpowiedzialny za wytwarzanie sygnału PWM

4.3. Generator sygnałów bramkowych

Na podstawie odebranych parametrów sterujących z układu DS1104 (kąty sterujące) układ generuje w odpowiednim czasie sygnały bramkowe. Podziałka biegunowa badanego generatora SRG wynosi 60°, stąd kąt położenia wirnika otrzymany z modułu licznika impulsów enkodera dzielony jest z resztą przez 60. Do tego celu opracowano moduł dzielenia całkowitego z resztą. Wykorzystano tzw. metodę restytucyjną polegającą na iteracyjnym przesuwaniu w lewo wszystkich bitów słowa złożonego z dzielnej i reszty częściowej, odejmowaniu dzielnika i badaniu znaku różnicy. Gdy znak ten jest ujemny, oznacza to, że należy powrócić do poprzedniej wartości reszty częściowej (restytuować ją). W przeciwnym razie, jako bieżącą wartość reszty częściowej przyjmuje się wynik odejmowania.

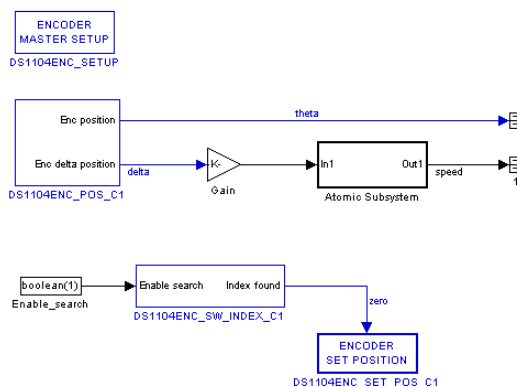
4.4. Komunikacja między DSP a FPGA

Do komunikacji między kartą DS1104 a układem Spartan-3AN wykorzystano port szeregowy UART. Zbudowano moduł nadajnika i odbiornika umożliwiającego transmisję z prędkością 115200 bit/s. Zadanie nadajnika UART jest bardzo proste i polega na wygenerowaniu synchronicznie z sygnałem taktującym bitu startu, 8 bitów danych oraz bitu stopu. Odbiornik UART monitoruje stan wejścia danych i w momencie pojawienia się zbocza opadającego tego sygnału (przesyłany bit startu) synchronizuje swoje układy czasowe, aby poprawnie odmierzać interwały czasowe odpowiadające transmisji jednego bitu z zadaną szybkością. Odbiornik taktowany jest z czę-

stotliwością 16 razy większą niż częstotliwość transmisji, aby dany odebrany bit mógł być próbkowany kilkakrotnie w przeciągu odpowiadającego mu interwału czasowego (w tym przypadku trzykrotnie).

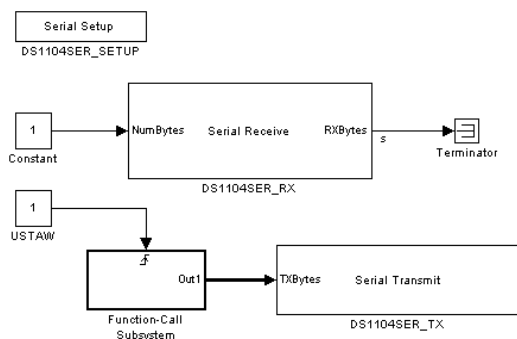
5. Funkcje procesora DSP

Do pomiaru prędkości wirnika przez kartę DS1104 w systemie Simulink wykorzystano interfejs enkodera inkrementalnego z biblioteki RTILIB (DS1104ENC_SETUP). Na rysunku 6 pokazano model do pomiaru prędkości.



Rys. 6. Schemat pomiaru prędkości wirnika zrealizowany w systemie Matlab/Simulink

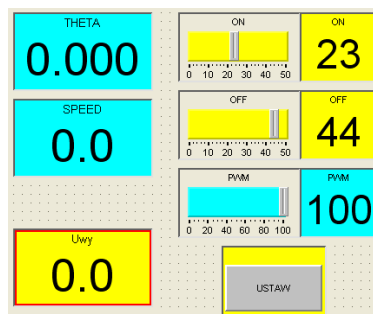
Do obsługi portu szeregowego wykorzystano interfejs portu szeregowego (DS1104SER_SETUP). Na rysunku 7 pokazano schemat obsługi portu szeregowego w systemie Matlab/Simulink.



Rys. 7. Schemat obsługi portu szeregowego w systemie Matlab/Simulink

Pomiar napięcia wyjściowego odbywa się poprzez przetwornik ADC, wykorzystując blok DS1104ADC z biblioteki RTILIB. Wizualizacja wielkości mierzonych oraz zadawanie kątów sterujących i wartości współczynnika wypełnienia sygnału PWM odbywa się w środowisku ControlDesk. Na rysunku 8 pokazano opracowany panel sterujący.

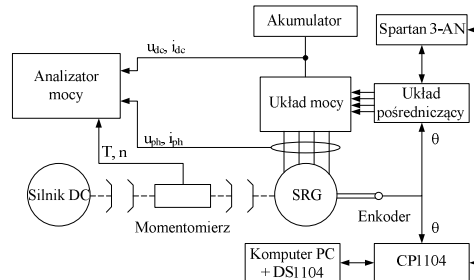
wisku ControlDesk. Na rysunku 8 pokazano opracowany panel sterujący.



Rys. 9. Widok panelu sterującego zbudowanego w środowisku ControlDesk

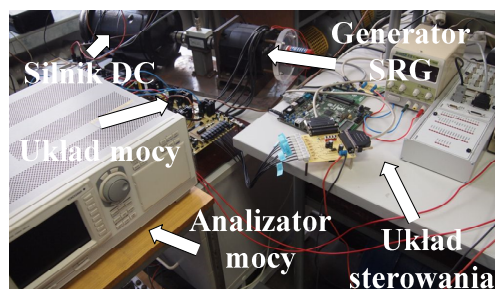
6. Badania laboratoryjne

Na rysunku 9 pokazano schemat blokowy stanowiska badawczego.



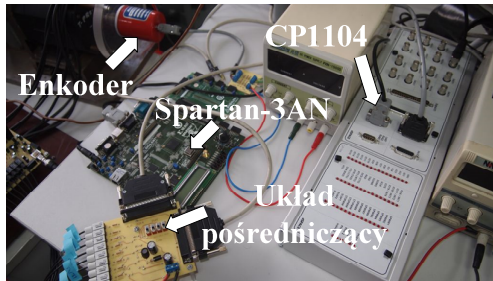
Rys. 9. Schemat stanowiska badawczego

Na rysunku 10 pokazano widok stanowiska badawczego, natomiast na rysunku 11 elementy systemu sterowania generatorem SRG.



Rys. 10. Stanowisko badawcze

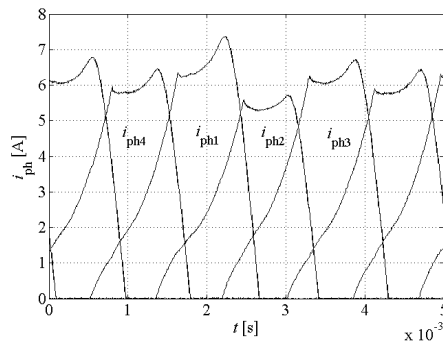
Układ CP1104 jest panelem we/wy karty DS1104. Układ pośredniczący jest modulem dopasowującym poziomy sygnałów pomiędzy enkoderem a układem FPGA, jak również układem FPGA i układem mocy. Sygnały bramkowe są odseparowane elektrycznie od układu sterowania poprzez połączenie światłowodowe. Sygnał z przetwornika obrotowo - impulsowego jest skalowany z systemu 5V na 3,3V akceptowanego przez układ Spartan-3AN.



Rys. 11. Elementy systemu sterowania generatora SRG

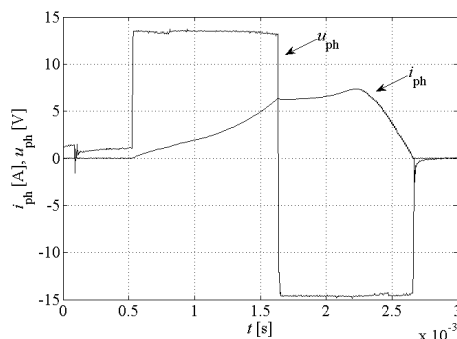
W ramach badań laboratoryjnych wyznaczono przebiegi czasowe prądów i_{ph} i napięć u_{ph} poszczególnych pasm przy sterowaniu jednopulсовym.

Na rysunku 12 pokazano przebiegi prądów i_{ph} poszczególnych pasm zarejestrowane przy $\theta_{on}=20^\circ$, $\theta_{off}=40^\circ$ i prędkości wirnika $n=3000$ obr/min.



Rys. 12. Przebiegi prądów i_{ph} poszczególnych pasm przy $\theta_{on}=20^\circ$, $\theta_{off}=40^\circ$ i prędkości wirnika $n=3000$ obr/min

Na rysunku 13 pokazano przebieg napięcia u_{ph} i prądu i_{ph} jednego pasma zarejestrowane przy $\theta_{on}=20^\circ$, $\theta_{off}=40^\circ$ i prędkości wirnika $n=3000$ obr/min.



Rys. 13. Przebiegi napięcia u_{ph} i prądu i_{ph} jednego pasma przy $\theta_{on}=20^\circ$, $\theta_{off}=40^\circ$ i prędkości wirnika $n=3000$ obr/min

7. Podsumowanie

W pracy przedstawiono strukturę systemu sterowania czteropasmowego generatora reluktancyjnego przełączalnego 8/6 zbudowanego z zastosowaniem procesora sygnałowego i układu FPGA. Połączenie obu układów ze sobą pozwala na pełne wykorzystanie zalet każdego z nich. Prezentowany układ może zostać wykorzystany do implementacji zaawansowanych algorytmów sterowania pracą generatora SRG (stabilizacja napięcia wyjściowego, maksymalizacja mocy wyjściowej, sprawności) z wykorzystaniem zarówno klasycznych regulatorów jak i regulatorów neuronowych i rozmytych. Przedstawiono wyniki badań laboratoryjnych w postaci przebiegów napięć i prądów generatora.

8. Literatura

- [1] T. J. E. Miller "Electronic Control of Switched Reluctance Machines", Newnes, 2001,
- [2] K. M. Rahman, B. Fahimi, G. Suresh, A. V. Rajarathnam, M. Ehsani "Advantages of Switched Reluctance Motor Applications to EV and HEV: Design and Control Issues", *IEEE Transaction on Industry Applications*, vol. 36, no. 1, 1/2 2000, 111-121,
- [3] A. Fluery, D. A. Andrade, F. Silva, J. L. Domingos "Switched Reluctance Generator for complementary Wind Power Generation in Grid Connection", *IEEE International Electric Machines & Drives Conference*, 2007,
- [4] D. Wang, K. Yu, H. Guo "Functional design of FPGA in a brushless DC motor system based on FPGA and DSP", *IEEE Vehicle Power and Propulsion Conference (VPPC)*, September 3-5, 2008, Harbin, China,
- [5] P. M. Menghal, A. Jaya Laxmi "Real time control of electrical machine drives: a review" *Power, Control and Embedded Systems (ICPCES)*, November 29 – December 1, 2010,
- [6] A. Stumpf, D. Elton, J. Devlin, H. Lovatt "Benefits of an FPGA based SRM controller" *Industrial Electronics and Applications (ICIEA)*, June 9-11, 2014,
- [7] Gottschlich J., Coenen Ch., De Doncker R. W. "Fully Digital FPGA-Based Current Controller for Switched Reluctance Machines" *SLED/PRECEDE Conference*, October 17-19, 2013.

Autorzy

dr inż. Piotr Bogusz, pbogu@prz.edu.pl
 dr hab. inż. Mariusz Korkosz, mkosz@prz.edu.pl
 mgr inż. Adam Powrózek, apow@prz.edu.pl
 Politechnika Rzeszowska
 Wydział Elektrotechniki i Informatyki
 ul. W. Pola 2, 35-959 Rzeszów