

**Romuald MAŚNICKI, Damian HALLMANN**

AKADEMIA MORSKA w GDYNI,  
ul. Morska 81-87, 81-225 Gdynia

**Zastosowanie FPGA w akwizycji danych z systemu elektroenergetycznego****Dr inż. Romuald MAŚNICKI**

Akademia Morska w Gdyni, Wydział Elektryczny, Katedra Elektroenergetyki Okrętowej, adiunkt. Specjalność: elektrotechnika, metrologia. Członek Sekcji Kształcenia i Rozwoju Kadry KMİAN PAN. Działalność dydaktyczna: systemy kontrolno-pomiarowe, mikroprocesorowe układy pomiarowe, sieci komputerowe, metrologia.



e-mail: romas@am.gdynia.pl

**Mgr inż. Damian HALLMANN**

Akademia Morska w Gdyni, Wydział Elektryczny, Katedra Elektroenergetyki Okrętowej, pracownik inżyniersko-techniczny, absolwent Wydziału Elektrycznego Akademii Morskiej w Gdyni, specjalność: komputerowe systemy sterowania.



e-mail: damian.ha@wp.pl

**Streszczenie**

W artykule przedstawiono konfigurację kanału komunikacyjnego oraz operacje prowadzone na przesyłanej przez niego informacji, zrealizowane go z wykorzystaniem FPGA. Kanał jest istotną, integralną częścią układu akwizycji danych z systemu elektroenergetycznego w oryginalnym urządzeniu do analizy i oceny jakości energii elektrycznej (Estymator-Analizator), ze względu na różniące się standardy portów komunikacyjnych głównych elementów układu akwizycji: przetworników ADC oraz procesora DSP. W szczególności, omówiono sterowanie przetwornikiem ADC oraz przetwarzanie jego danych wyjściowych w układzie FPGA i dostarczanie ich do procesora DSP. Omówiono algorytmy programu konfiguracyjnego FPGA oraz podsumowano wyniki uzyskane w trakcie badań urządzenia, w którym zaimplementowano omawiany układ.

**Słowa kluczowe:** FPGA, ADC, interfejs, DSP.

**The FPGA application in data acquisition from electrical power system****Abstract**

The paper presents the configuration of the communication channel and the operations carried out on the data sent by it, realized using the FPGA layout. The channel is an important, integral part of the data acquisition unit in the original device for the analysis and estimation of power quality in electrical power system. The channel enables communication between different standard interface ports present in main elements of acquisition system: ADC and DSP. In particular, the paper discusses the ADC control, the processing of its output data in FPGA and delivering them to the DSP. During these operations in FPGA the data are converted taking into account the format of communication frames, features of carrying them signals as well as the speed of transmission. The data are transmitted from the ADC via the three-lines serial interface at the physical layer compatible with the SPI standard, and after processing in the FPGA they are sent to the DSP with the participation of the four-lines serial Link Port. The procedures for the data sending from the ADC to the FPGA buffers, their conversion and subsequent transmission to the DSP TigerSHARC are described. Algorithms of the FPGA configuration program are discussed. The results obtained during testing of the device, which implements the considered channel, are summarized.

**Keywords:** FPGA, ADC, interface, DSP.

**1. Konfiguracja urządzenia**

Analiza i ocena jakości energii elektrycznej w systemie elektroenergetycznym wiąże się z potrzebą pozyskiwania i przetwarzania znacznej liczby danych z badanego systemu. Na rys. 1 przedstawiono konfigurację urządzenia Estymator-Analizator, zaprojektowanego i zbudowanego w Katedrze Elektroenergetyki Okrętowej Akademii Morskiej w Gdyni dla oceny napięć trójfazowych, analizy prądów, mocy i wyznaczania wskaźników oceny jakości energii, określonych w odnośnych zaleceniach, np. w [1, 2].

Obwody wejściowe torów pomiarowych urządzenia zawierają typowe układy dzielników napięcia, separacji galwanicznej, filtry antyaliasingowe. Przebiegi napięciowe przenoszące informacje o sygnałach z systemu elektroenergetycznego podawane są na wejścia układów AD7656 firmy Analog Devices, zawierających przetworniki analogowo-cyfrowe (ang. analog-to-digital converter, ADC) [3].

Wyznaczanie wartości poszczególnych wielkości, wykorzystywanych w ocenie jakości energii elektrycznej, odbywa się w procesorze sygnałowym (ang. digital signal processing, DSP) firmy Analog Devices z rodziny TigerSHARC typu ADSP TS-201 [4]. Algorytmy przetwarzania danych w DSP nie są omawiane w niniejszym artykule.

Procesor DSP komunikuje się z układami zewnętrznymi za pośrednictwem niestandardowego interfejsu Link Port [4,5]. Z drugiej strony, AD7656 posiada szybki interfejs równoległy (16 linii danych) i interfejs szeregowy (3 linie danych). Ze względu na brak kompatybilności pomiędzy interfejsami układów ADC i DSP, zarówno w zakresie formatu ramek danych, parametrów sygnałów interfejsowych, standardów sygnałowych portów interfejsowych, jak i szybkości transmisji, dla wymiany danych pomiędzy nimi zastosowano układ FPGA (ang. field programmable gate array) Spartan 3 firmy Xilinx [7]. Układ FPGA pośredniczy również w wymianie informacji z mikrokontrolerem GPP (ang. general purpose processor) LPC3250 (ARM926EJ-S core), który realizuje funkcje interfejsu użytkownika.

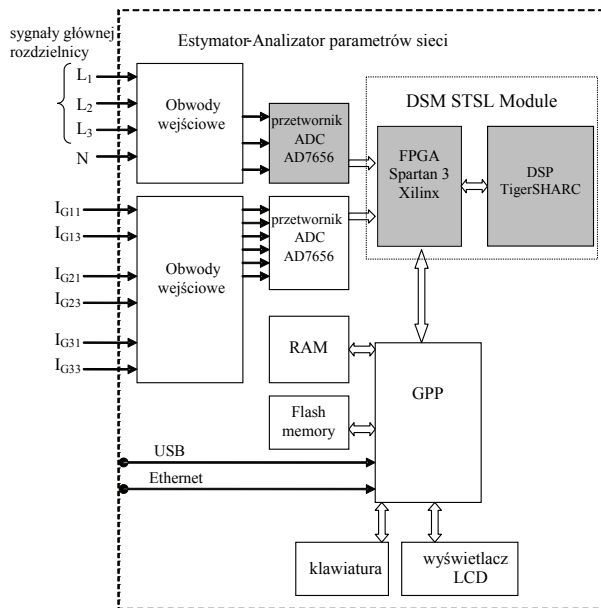
Podstawowe tryby pracy urządzenia Estymator-Analizator to:

- Estymator - próbki napięć fazowych przetwarzane są w ADC z szybkością 250 kS/s,
- Analizator - próbki napięć fazowych i prądów z trzech generatorów przetwarzane są z szybkością 25 kS/s.

W trybie Estymator odbywa się ocena parametrów charakteryzujących trzy napięcia fazowe, zaś w trybie Analizator wyznaczane są parametry odnoszące się do trzech napięć fazowych i sześciu prądów z trzech generatorów synchronicznych.

Kanał komunikacyjny pomiędzy przetwornikami ADC a procesorem DSP został zaprojektowany i zrealizowany przez autorów. Zważywszy na zupełną odmienną standardów portów komunikacyjnych obydwu układów, między którymi konieczna jest wymiana informacji ze stosunkowo dużą szybkością (zwłaszcza w trybie Estymator), zastosowane rozwiązanie techniczne umożliwiło efektywne przesyłanie danych w torze akwizycji danych. Dodatkowo, w układzie FPGA generowane są sygnały sterujące i zegarowe, niezbędne w wymianie danych pomiędzy ADC i DSP.

W referacie, obok opisu odnośnych parametrów ADC i DSP, omówiono konfigurację wspomnianego kanału komunikacyjnego oraz operacje na danych przesyłanych przez niego między ADC a DSP.

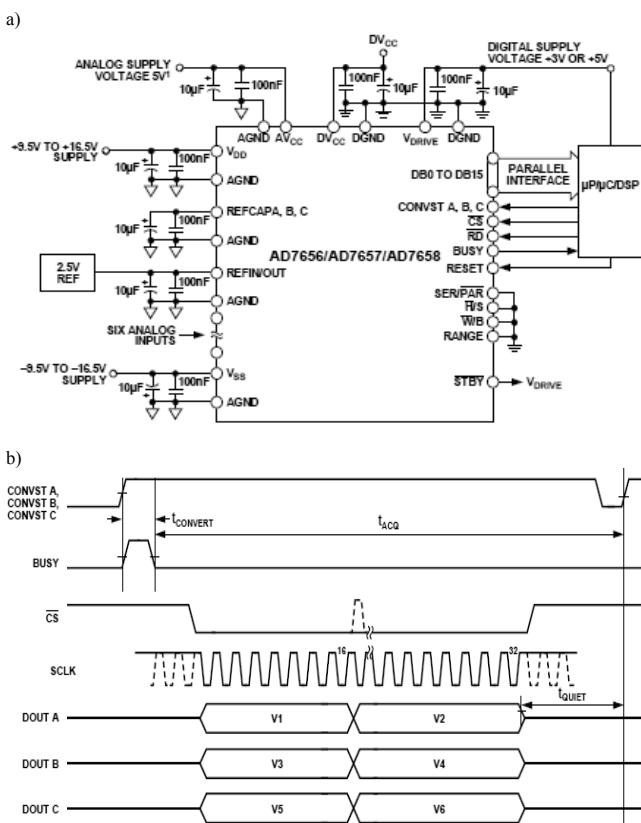


Rys. 1. Konfiguracja urządzenia do oceny i analizy jakości energii elektrycznej

Fig. 1. The configuration of the device for estimation and analysis of power quality

## 2. Przetwornik ADC i jego właściwości komunikacyjne

W układzie AD7656 (rys. 2a) znajduje się sześć niezależnych, 16-bitowych przetworników SAR (ang. successive approximation register) o niskim poborze mocy [3].



Rys. 2. Układ AD7656 [3]: a) konfiguracja, b) przebiegi przy 3-liniowym szeregowym wyprowadzaniu danych

Fig. 2. AD7656 chip [3]: a) configuration, b) waveforms in 3-line serial output of data

Maksymalna szybkość przetwarzania A/C (analogowo-cyfrowego) każdego z przetworników wynosi 250 kS/s. Na rys. 2b przedstawiono operację przetwarzania A/C jednocześnie realizowaną w układzie ADC7656 w sześciu kanałach, oraz sekwencję odczytu wyników przy wykorzystaniu trzech linii DOUT A, B i C.

Czas konwersji A/C wynosi około 3  $\mu$ s. Wyniki przetwarzania są przechowywane w rejestrach wyjściowych DOUT. Choć w interfejsie równoległym czas wymagany do wyprowadzania wszystkich sześciu 16-bitowych słów (V1 do V6) z rejestrów DOUT wynosi tylko 700 ns, ze względu na liczbę niezbędnych połączeń zewnętrznych zdecydowano się wykorzystać nieco wolniejszy interfejs szeregowy. Wówczas, pomijając dodatkowe linie sterujące, zamiast 16 ścieżek niezbędne są tylko trzy linie danych. Pod względem funkcjonalnym oraz z uwagi na parametry elektryczne sygnałów, 3-liniowy interfejs szeregowy układu AD7656 jest kompatybilny ze standardowym interfejsem SPI (ang. serial peripheral interface) [6] i umożliwia przesyłanie danych z szybkością do 48 Mb/s.

## 3. Właściwości DSP TigerSHARC

ADSP TS-201 TigerSHARC [4] jest 128-bitowym procesorem DSP. Komunikacja z urządzeniami zewnętrznymi może być realizowana przez cztery łącza typu full-duplex Link Port, które mogą działać równolegle. Porty te używają w warstwie fizycznej interfejsu LVDS (ang. low voltage differential signal) [5], w którym informacje (w ramach 128-bitowych) są przesyłane za pomocą niskonapięciowego sygnału różnicowego w symetrycznych liniach w układzie pętli prądowej z szybkością do 4 Gb/s.

## 4. FPGA i program konfiguracyjny

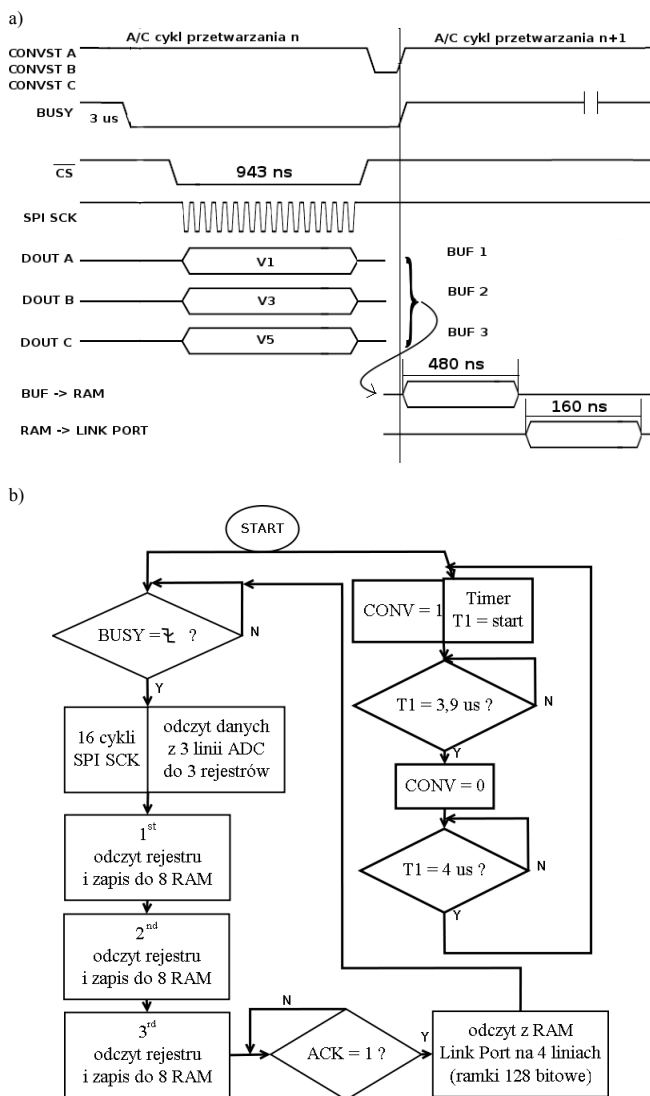
Dla dostarczania do procesora DSP danych z przetworników ADC zastosowano układ FPGA XCS1000 [7]. Podobnie jak w procesorach, zmianę funkcji realizowanej w FPGA realizuje się przez zmianę programu, jednakże w tym przypadku program ten nie jest wykonywany, ale organizuje on sieć połączeń między wybranymi obwodami FPGA, a następnie tak skonfigurowany układ pracuje autonomicznie, jak każde urządzenie sprzętowe.

W omawianym projekcie podstawowym zadaniem wypełnianym w układzie FPGA jest konwersja pomiędzy różniącymi się w warstwie fizycznej i w strukturze formatów danych standardami interfejsów, w które wyposażono układy AD7656 i TigerSHARC. Do obsługi interfejsu szeregowego AD7656 odpowiednie linie FPGA zostały skonfigurowane zgodnie ze standardem LVCMOS25, zaś linie do połączeń z Link Port procesora TigerSHARC w standardzie LVDS\_25.

Dane wyjściowe z ADC są dostępne w jednym czasie na trzech liniach DOUT A, B i C (rys. 2a, rys. 3a). Wysłanie wszystkich danych z ADC wymaga 32 cykli SCLK, ale w przypadku, gdy tylko trzy kanały są wykorzystywane i gdy sygnały wejściowe są podłączone do wejść kanałów 1, 3 i 5 - do przesłania takich danych niezbędnych jest tylko 16 cykli SCLK. Kiedy częstotliwość SCLK jest równa 16 MHz, transfer trzech 16-bitowych słów z ADC zajmuje około 943 ns. Konwersja A/C trwa 3  $\mu$ s, więc pełny cykl wraz z wyprowadzeniem danych z buforów DOUT wymaga czasu około 3,95  $\mu$ s. Oznacza to, że maksymalna szybkość operacji przetwarzania A/C może być realizowana z szybkością powyżej 253 kS/s.

Inne operacje wykonywane w FPGA, połączone z transmisją danych do DSP, są realizowane równolegle z operacjami następnego cyklu przetwarzania A/C. Dane z trzech buforów BUF w FPGA są przesyłane do ośmiu bloków pamięci RAM (około 480 ns), co wynika z konfiguracji cztero-liniowego różnicowego interfejsu LVDS. (cztery pary wyprowadzeń). Transmisja ramki (128 b) przez Link Port wymaga około 160 ns.

Zależności czasowe, pokazane na rys.3a, ilustrują relacje pomiędzy poszczególnymi operacjami, wykonywanymi podczas cyklu przetwarzania A/C dla trybu Estymator. Procedury realizowane w FPGA są przedstawione w algorytmie na rys. 3b.



Rys. 3. Operacje realizowane w FPGA: a) zależności czasowe, b) algorytmy  
 Fig. 3. Operations implemented in the FPGA: a) timing, b) algorithms

Cykl przetwarzania A/C powtarza się co 4  $\mu$ s. Rozpoczyna się, gdy sygnał CONVST przechodzi do poziomu wysokiego. Po zakończeniu przetwarzania w cyklu  $n$ , gdy sygnał BUSY zmienia się do poziomu niskiego, zegar SCLK z układu FPGA wymusza wyprowadzanie danych V1, V3 i V5 (słowa 16-bitowe) z rejestrów DOUT (w ADC) do trzech buforów BUF (w FPGA). Po 16 cyklach zegara SCLK i przesunięciu danych do buforów BUF, dane są przemieszczane do ośmiu rejestrów w pamięci Block RAM w układzie FPGA. Gdy stan linii wyjściowej ACK z DSP jest wysoki oraz zostało zakończone przepisywanie danych z BUF do Block RAM, zegar z FPGA o częstotliwości 100 MHz inicjuje transfer danych z Block RAM do DSP na czterech różnicowych (4 pary) liniach interfejsu LVDS. Operacje transferu danych, pozyskanych w cyklu  $n$ , z BUF do Blok RAM i dalej do DSP, wykonywane są podczas cyklu  $n+1$  konwersji A/C w czasie nie przekraczającym 1  $\mu$ s, równoległe z przetwarzaniem A/C kolejnej partii próbek wartości chwilowych napięć fazowych.

## 5. Weryfikacja działania układu

Poprawność odbioru danych z ADC, ich konwersji w FPGA i dostarczania do DSP badane były wstępnie na stanowisku testowym omówionym w [6]. Jednakże, opracowane algorytmy konfi-

guracyjne FPGA omówione powyżej, można było zweryfikować w pełni dopiero w uruchomionym urządzeniu Estymator-Analizator. Początkowe badania obejmowały dobór częstotliwości sygnału zegarowego SCLK, kontrolującego wyprowadzanie danych z ADC, generowanego w układzie FPGA. Decyduje on o czasie wyprowadzania danych z ADC. W danych technicznych AD7656 maksymalną częstotliwość określono jako 18 MHz [3]. Po eksperymentach, w których badano poprawność transmisji danych z ADC, częstotliwość zegara generującego sygnał SCLK ustalono na 16 MHz.

Do testów funkcjonalnych urządzenia wykorzystano programowalny trójfazowy generator sygnałów sieciowych Chroma AC Source 6590. Przeprowadzone testy polegały m.in. na generacji sygnałów o znanej zawartości harmonicznych. Dla znanych wymuszeń, na podstawie przetworzonych wartości chwilowych sygnałów wejściowych, w procesorze DSP TigerSHARC wyznaczano m.in. wartości współczynnika THD. Wartości odniesienia i obliczone przez DSP różniły się między sobą na trzecim miejscu po przecinku (wartości wyrażone w %).

## 6. Podsumowanie

Dzięki zastosowaniu FPGA, zrealizowane tory akwizycji danych z systemu elektroenergetycznego pozwalają w trybie Estymator na pozyskiwanie danych z trzech kanałów z szybkością przetwarzania 250 kS/s, tak jak przyjęto w założeniach projektu. Założoną szybkość przetwarzania A/C i efektywne wykorzystanie danych pozyskanych z ADC uzyskano dzięki równoległemu wykonywaniu w FPGA części operacji na danych w kolejnych cyklach akwizycji.

W trybie Analizator przyrząd wykorzystywany jest do analizy prądów i mocy w systemie. Wówczas przetwarzanie A/C sygnałów z trzech kanałów napięciowych i sześciu prądowych odbywa się z szybkością 25 kS/s. Warunki realizacji procesów przetwarzania A/C, jak i konwersja danych w FPGA, w tym przypadku nie są tak krytyczne, jak to ma miejsce w trybie Estymator, gdy próbkowanie odbywa się z dziesięć razy większą szybkością.

Wyniki przeprowadzonych badań pozwoliły na pozytywną ocenę poprawności działania, zarówno kanału komunikacyjnego łączącego ADC i DSP, zrealizowanego z wykorzystaniem układu FPGA, całego układu akwizycji danych, jak i algorytmów obliczeniowych w DSP, odnoszących się do wyznaczania parametrów charakteryzujących jakość energii elektrycznej.

## 7. Literatura

- [1] IEC Standard 61 000-4-30. Testing and measurement techniques - power quality measurement methods, 2003.
- [2] IEEE Standard 1459-2010, Standard definitions for the measurement of electric power quantities under sinusoidal, nonsinusoidal, balanced or unbalanced conditions.
- [3] AD7656/AD7657/AD7658, Data sheet. Rev. D, Analog Devices, 2010.
- [4] Analog Devices, ADSP-TS201 TigerSHARC® Processor. Hardware Reference, Revision 1.1, December 2004.
- [5] National Semiconductor. LVDS Owner's Manual, 4th Edition; 2008.
- [6] Maśnicki R., Hallmann D.: Konwersja danych pomiędzy interfejsami Link Port i SPI, PAK vol. 56, nr 12/2011, str. 1466-1468.
- [7] Xilinx. Spartan-3 FPGA Family Data Sheet, Product Specification. Application Note DS099; January 17, 2005.

otrzymano / received: 22.12.2013

przyjęto do druku / accepted: 03.11.2014

artykuł recenzowany / revised paper