

Grzegorz LENTKA, Piotr A. KOŚCIŃSKI, Kamil D. SMUŻYŃSKI

POLITECHNIKA GDAŃSKA,
ul. Narutowicza 11/12, 80-233 Gdańsk

Woltomierz wektorowy z wykorzystaniem DFT na bazie układu FPGA dla analizatora spektroskopii impedancyjnej

Dr inż. Grzegorz LENTKA

Ukończył studia na Wydziale ETI Politechniki Gdańskiej w 1996 r. uzyskując dyplom magistra inżyniera o specjalności Systemy Pomiarowe. W tym samym roku podjął pracę w Katedrze Miernictwa Elektronicznego PG. W 2003 obronił pracę doktorską. Zajmuje się projektowaniem systemów pomiarowo-diagnostycznych układów elektronicznych i obiektów technicznych oraz wykorzystaniem DSP w pomiarach impedancji. Autor i współautor ponad 70 publikacji i 2 patentów.

e-mail: lentka@eti.pg.gda.pl



Mgr inż. Kamil D. SMUŻYŃSKI

Ukończył studia na Wydziale ETI Politechniki Gdańskiej w 2010 r. uzyskując dyplom magistra inżyniera o specjalności Komputerowe Systemy Elektroniczne. Obecnie pracuje nad opracowaniem urządzeń opartych na układach FPGA.

e-mail: amster1@op.pl



Mgr inż. Piotr A. KOŚCIŃSKI

Ukończył studia na Wydziale ETI Politechniki Gdańskiej w 2010 r. uzyskując dyplom magistra inżyniera o specjalności Komputerowe Systemy Elektroniczne. Obecnie zatrudniony jest w Katedrze Inżynierii Biomedycznej w ramach projektu „DOME-STIC – Domowy Asystent Osób Starszych i Chorych”. Pracuje przy projektowaniu, realizacji i wdrażaniu urządzeń do zdalnego monitoringu stanu zdrowia.

e-mail: pak86@eti.pg.gda.pl



Streszczenie

W pracy zaproponowano i przetestowano nową koncepcję woltomierza wektorowego z wykorzystaniem cyfrowego przetwarzania sygnałów. Obliczenia prowadzone są sukcesywnie z akwizycją próbek sygnałów pomiarowych, bez gromadzenia ich w pamięci, przy zachowaniu wysokiej częstotliwości próbkowania. Wymaganej mocy obliczeniowej dostarcza układ FPGA. Do obliczania transformaty użyto pamięci wzorca sinususa umieszczonej w układzie FPGA oraz 4 identycznych bloków pracujących równolegle: mnożnika i akumulatora.

Słowa kluczowe: spektroskopia impedancyjna, pomiary impedancji.

A vector voltmeter using DFT based on the FPGA chip for the impedance spectroscopy analyzer

Abstract

In the paper, a new concept of a vector voltmeter for the impedance spectroscopy analyzer is proposed. The voltmeter uses the digital signals processing method for determination of orthogonal parts of measurement signals. The Discrete Fourier Transform calculations are performed “on-the-fly”, successively with acquisition of measurement signals samples, without the need of storing samples in a memory, while assuring the high sampling frequency. The required processing power was supplied by a Spartan 3 FPGA chip. For Fourier transform calculation, the sine pattern stored in the FPGA and 4 identical block sets, a multiplier and an accumulator, were created by Core Generator and used. The previously used vector voltmeter solution was based on a DSP processor with additional circuits (CPLD chip, memories, buffers) and was replaced by a single FPGA chip solution. The selected FPGA offers enough resources and allows reducing the number of additional external components. The prototype of the proposed solution was realized using the FPGA evaluation board with an added module of A/D and D/A converters (Fig. 3). The analyzer was realized in a form of a virtual instrument, the control panel was created by software. The tests were performed on the reference resistors (Figs. 8 and 9). The prototype proved the concept. However, it requires further works. It is necessary to look for a more energy-efficient FPGA chip as well as to optimize the project in terms of power-consumption minimization.

Keywords: impedance spectroscopy, impedance measurement.

1. Wprowadzenie

Od wielu lat obserwujemy ekspansję zastosowań spektroskopii impedancyjnej [1-3]. Bardzo dobrym przykładem jest zastosowanie w diagnostyce powłok antykorozyjnych do nieniszczącego wykrywania defektów i korozji pod powłoką [4]. Ciągłe monitorowanie stanu powłoki chroniącej metalową konstrukcję podnosi jej trwałość i niezawodność, co jest uzasadnione ze względów ekonomicznych i bezpieczeństwa.

Zastosowanie analizatora w elektrochemicznej spektroskopii impedancyjnej narzuca specyficzne wymagania - pojawia się potrzeba pomiaru impedancji w paśmie częstotliwości od 100 μ Hz do 1 MHz. Prawdziwym wyzwaniem jest konstrukcja detektorów fazoczułych pracujących na częstotliwościach poniżej 1 Hz. Tradycyjne analogowe układy mnożące nie sprawdzają się w tej roli [5]. Alternatywą jest próbkowanie sygnałów pomiarowych i zastosowanie cyfrowego przetwarzania sygnałów.

W ramach pracy sprawdzono nową koncepcję podstawowego bloku analizatora impedancji - woltomierza wektorowego wykorzystującego cyfrowe przetwarzanie sygnałów: obliczenia prowadzone są sukcesywnie z pozyskiwaniem próbek sygnałów pomiarowych, bez potrzeby gromadzenia ich w pamięci, przy zachowaniu wysokiej częstotliwości próbkowania. Wymaganej mocy obliczeniowej dostarcza układ FPGA średniej klasy [6]. W porównaniu do klasycznych konstrukcji, dodatkowym atutem tego rozwiązania jest mała liczba dodatkowych elementów oraz łatwa rekonfiguracja. Koszty dodatkowo obniża interfejs użytkownika dostępny za pośrednictwem aplikacji PC.

2. Architektura i parametry analizatora

Prezentowany analizator oparto na konstrukcji opracowanego wcześniej analizatora wysokich impedancji [7]. Z urządzenia usunięto pakiet sterownika realizowany na procesorze sygnałowym, a jego miejsce zajął prototyp zbudowany na bazie układu FPGA rodziny Spartan 3 [6], uzupełniony o dwa przetworniki a/c i przetwornik c/a. Aby nie ograniczać możliwości oryginalnego miernika, nowy sterownik powinien zapewnić generację i pomiar wektorowy sygnałów napięciowych sinusoidalnych w zakresie ± 1 V w zakresie częstotliwości od 100 μ Hz do 1 MHz.

Analiza źródeł błędów przy wyznaczaniu składowych ortogonalnych sygnałów pomiarowych metodami CPS [5], możliwości dostępnych układów FPGA oraz przetworników a/c doprowadziła do zdefiniowania parametrów miernika:

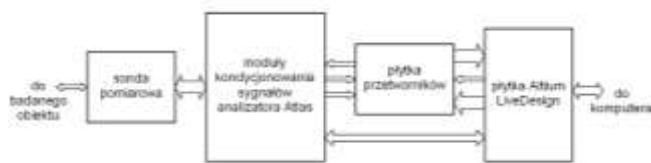
- rozdzielczość przetworników a/c: 12 bitów,
- liczba próbek branych do obliczeń: 24576,
- maksymalna częstotliwość próbkowania: 24,576 MHz,
- akwizycja całkowitej liczby okresów sygnału pomiarowego.

Wykorzystanie istniejących bloków analogowych zapewniło analizatorowi impedancji następujące parametry:

- zakres pomiarowy modułu impedancji:
 - z sondą 2- lub 3-przewodową: $100 \Omega < |Z_x| < 100 \text{ G}\Omega$,
 - z sondą 4-przewodową: $1 \Omega < |Z_x| < 100 \text{ M}\Omega$,
- regulacja amplitudy sygnału pobudzającego mierzonego obiekt w zakresie: 1 - 1000 mV z krokiem 1 mV,
- polaryzacja stałoprądowa w zakresie: $\pm 4 \text{ V}$.

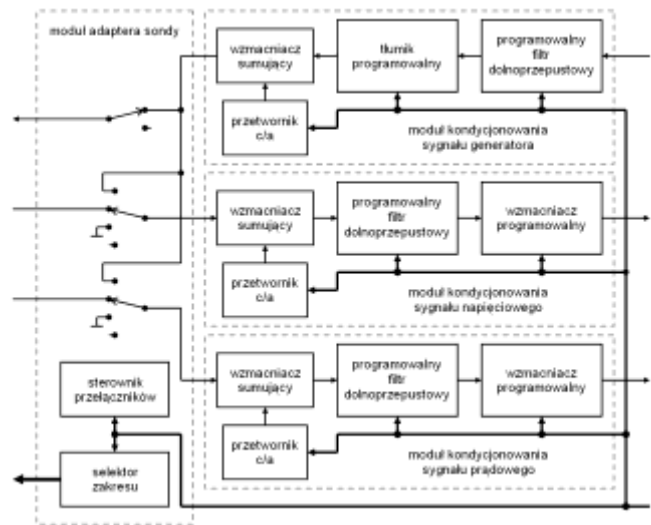
Oprogramowanie PC, stanowiące interfejs użytkownika, otrzymało pełną kontrolę nad zasobami sprzętowymi. Takie podejście jest łatwiejsze w realizacji niż implementacja dodatkowego procesora w strukturze FPGA, ale zwiększa ilość danych przesyłanych między urządzeniem a komputerem, co jest mniej efektywne i wyklucza możliwość pracy bez komputera.

Schemat blokowy (rys. 1) obrazuje elementy składowe opracowanego prototypu analizatora oraz połączenia między nimi (bez zasilaczy). Płytkę przetworników funkcjonuje dzięki podłączeniu do płytki z układem FPGA, łącznie pełnią rolę sterownika analizatora oraz generatora sygnału pobudzającego i dwukanałowego woltomierza wektorowego.



Rys. 1. Architektura prototypu analizatora impedancji
Fig. 1. Architecture of the impedance analyzer

Dzięki zastosowaniu bloków analogowych analizatora (rys. 2) w opisywanym rozwiązaniu można było skupić się jedynie na realizacji nowej wersji układu wydzielania składowych ortogonalnych sygnałów pomiarowych zgodnie z ideą opisaną w [7].



Rys. 2. Bloki analogowe analizatora impedancji (bez sondy pomiarowej)
Fig. 2. Analog blocks of the impedance analyzer (without a measurement probe)

W każdym z torów kondycjonowania sygnału wejściowego znajduje się wzmacniacz dodający napięcie wytworzone przez lokalny przetwornik c/a do sygnału z sondy pomiarowej. W przypadku toru generatora możliwe jest skompensowanie potencjału swobodnego obiektu lub wymuszenie innej wartości potencjału. Tory wejściowe mają możliwość kompensacji składowych stałych, związanych z polaryzacją obiektu. Te same elementy pełnią jeszcze jedną funkcję - wraz z kluczami kontaktowymi w module adaptera sondy, umożliwiają zerowanie torów.

Generowany sygnał pobudzający jest aproksymowany przebiegiem schodkowym. Jego wygładzeniem zajmuje się zestaw ośmiu przełączanych filtrów dolnoprzepustowych. W każdym z torów

wejściowych znajduje się sześć dodatkowych filtrów eliminujących zakłócenia i pełniących rolę filtrów antyaliasingowych. Przełączanie filtrów odbywa się zależnie od bieżącej częstotliwości. Programowalny tłumik w torze generatora pozwala regulować amplitudę, a wzmacniacze torów wejściowych dopasowują sygnał do zakresu przetworników a/c.

3. Woltomierz wektorowy na bazie układu FPGA

Podstawowym elementem składowym prototypu sterownika analizatora i woltomierza wektorowego jest płytka prototypowa Altium LiveDesign [8] zawierająca układ XC3S1000 z rodziny Xilinx Spartan3 [6]. O ile zasoby układu FPGA kilkakrotnie przewyższyły zapotrzebowanie, o tyle złącza rozszerzające płytki z trudem wystarczyły do realizacji prototypu. Konieczne było użycie niektórych złączy niezgodnie z ich pierwotnym przeznaczeniem. Ponadto oryginalny rezonator kwarcowy 50 MHz zastąpiono rezonatorem 24,576 MHz.

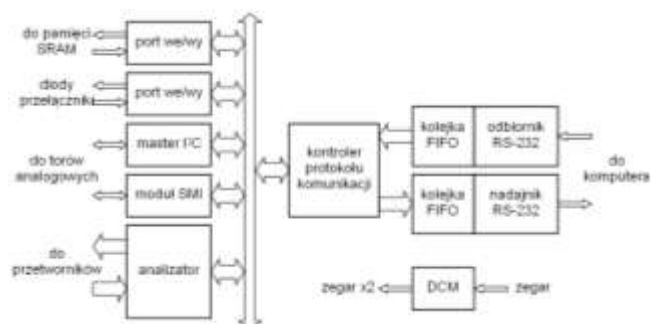
Szpilkowe złącza rozszerzeń służą do podłączenia płytki przetworników, a złącze VGA dostarcza brakującej linii zegara cyfrowego. Z gniazd PS2 wyprowadzono interfejsy szeregowo do konfiguracji modułów kondycjonowania sygnałów. Komunikacja z komputerem odbywa się przy pomocy interfejsu RS-232.

Do połączenia płytki prototypowej FPGA i bloków analogowych istniejącego analizatora impedancji, zaprojektowano i wykonano dodatkową płytkę (rys. 3) z dwoma przetwornikami a/c (AD9225), jednym przetwornikiem c/a (AD9762) i wzmacniaczami dostosowującymi poziomy napięć. Przetworniki mają interfejs równoległy, niezbędny przy wysokich (25 MS/s) częstotliwościach próbkowania. Po stronie analogowej przetworniki mają wejścia różnicowe, pracujące wokół połowy napięcia zasilania. Dotychczas stosowane przetworniki analizatora były zasilane symetrycznie i nie wymagały dodawania/usuwania składowej stałej. Tę różnicę wyeliminowały dodatkowe wzmacniacze operacyjne: w kanałach wejściowych AD8065, w wyjściowym AD817.



Rys. 3. Dodatkowa płytka z przetwornikami a/c i c/a
Fig. 3. The additional board containing ADCs and DAC

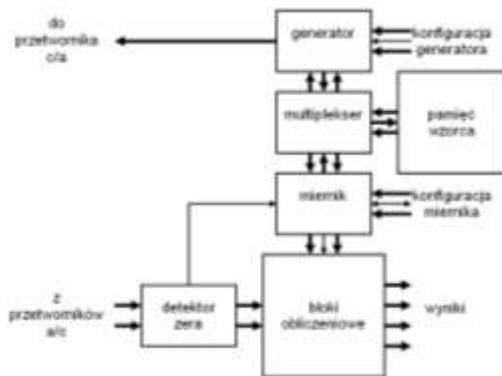
Wszystkie bloki nowego sterownika analizatora zrealizowano w układzie FPGA i połączono 8-bitową magistralą (rys. 4).



Rys. 4. Bloki kontrolera analizatora zrealizowane w układzie Spartan
Fig. 4. Analyzer controller blocks realized in Spartan chip

Magistralą zarządza maszyna stanów realizująca protokół komunikacji z PC. Kontroler kopiuje dane między jednym z bloków magistrali a nadajnikiem lub odbiornikiem RS-232 w zależności od aktualnego stanu i ostatniej otrzymanej instrukcji. Układ taktowany jest zegarem 24,576 MHz. Częstotliwość zegara jest poddawana w bloku DCM (Digital Clock Manager), co pozwala na realizację multipleksowanego dostępu do pamięci w bloku woltmierz wektorowego.

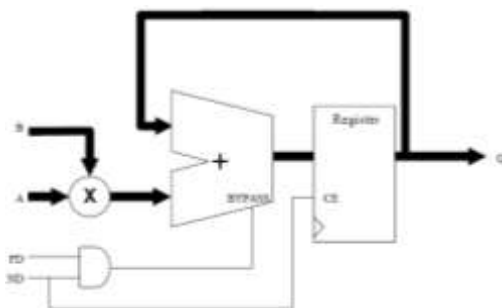
Głównymi elementami analizatora są dwie maszyny stanu - generator i miernik (rys. 5). Gdy generator jest zatrzymany, jego proces znajduje się w stanie zerowania. Gdy jest włączany, synchronizuje się do narastającego zbocza zegara, przepisując do przetwornika c/a wartość próbki sinusoidy otrzymaną z pamięci. Miernik pracuje na przeciwnym zboczu, co pozwala na naprzemienny dostęp do pamięci wzorca sinususa. Miernik czeka na sygnał z detektora przejścia przez zero, jeśli odpowiedni bit w przestrzeni adresowej został ustawiony. Procesy zajmują się zliczaniem okresów zegara w celu podziału częstotliwości próbkowania oraz inkrementowaniem adresu pamięci o wartość zgodną z numerem prążka transformaty. Miernik dodatkowo oznacza, które próbki mają zostać wymnożone z wzorcem sinusoidy w blokach obliczeniowych oraz zlicza 24576 próbek, po czym zatrzymuje się.



Rys. 5. Wewnętrzna struktura bloku woltmierz wektorowego
Fig. 5. Internal structure of the vector voltmeter block

Ze względu na konstrukcję pamięci wzorca, generowany adres ma postać: numer ćwiartki od 0 do 3 (2 bity), adres liniowy w ramach ćwiartki od 0 do 6143 (13 bitów). Pamięć wzorca przechowuje wyłącznie jedną ćwiartkę sinusoidy. Ćwiartka druga odtwarzana jest z pierwszej poprzez odczyt w odwrotnym kierunku. Trzecia i czwarta powstają z pierwszej i drugiej przez zmianę znaku. Cosinus powstaje w wyniku przesunięcia numeru ćwiartki. Ubocznym efektem takiej konstrukcji pamięci jest dostęp opóźniony o 2 cykle zegara. Pamięć zajmuje w strukturze FPGA sześć Block RAM o organizacji 2Kx8, połączonych w 3 pary tworzące słowa 16-bitowe.

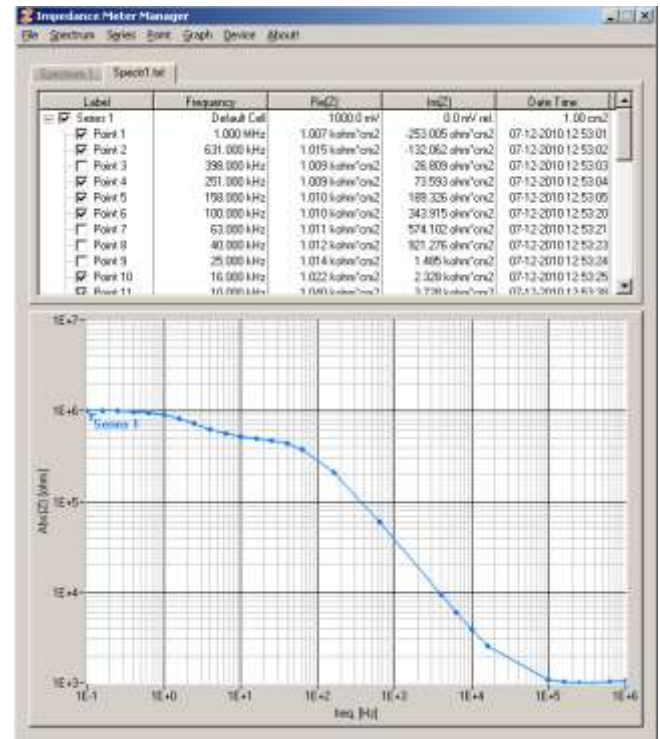
Do obliczania transformaty użyto kolejnych bloków: mnożnika i akumulatora. Razem tworzą strukturę jak na rys. 6. Blok obliczeniowy wykorzystano czterokrotnie - po jednym dla części rzeczywistej i urojonej, dla pierwszego i drugiego kanału.



Rys. 6. Jednostka mnożąco-sumująca bloku analizatora
Fig. 6. Multiply-and-Accumulate unit of the analyzer block

4. Oprogramowanie sterujące PC

Oprogramowanie pełni funkcję panelu sterującego (rys. 7) analizatora impedancji. Jest integralną częścią miernika, gdyż nie posiada on własnego wyświetlacza, a jedynie diody potwierdzające wybrane operacje np. zmiana rezystora zakresowego.



Rys. 7. Panel główny aplikacji z przykładowymi wynikami pomiarów
Fig. 7. The control application main panel with exemplary measurements results

W programie głównym można wyróżnić pasek menu oraz dwa obszary robocze. Pierwszy obszar roboczy jest przeznaczony na listę częstotliwości i wyniki pomiarowe (wyświetlane w formie drzewa), drugi przedstawia graficznie wartości zmierzone i zawarte w części pierwszej. Obok przygotowanej (ręcznie lub automatycznie) listy częstotliwości znajdują się trzy kolumny, w których umieszczone zostaną wyniki pomiarów. Na samym końcu umieszczana jest data i czas wykonania pomiaru. Zależnie od potrzeb, można wybrać spośród kilku reprezentacji danych, domyślnie są to wartości rzeczywiste i urojone impedancji odniesione do powierzchni badanej próbki. Przy nazwach serii i punktów znajdują się pola wyboru. Kiedy pole jest zaznaczone, wyniki, do których się odnosi, rysowane są na wykresie. Pole na poziomie serii pozwala szybko ukryć całą serię.

Pomiary można rozpocząć, jeśli nastąpiło poprawne połączenie z urządzeniem oraz została przygotowana lista częstotliwości (może zawierać jeden punkt). Należy zwrócić uwagę na fakt, że mierzone będą tylko te punkty, które nie zostały zmierzone wcześniej lub zostały wyczyszczone. Jeśli lista zawiera elementy do pomiaru, program przechodzi do następnego kroku.

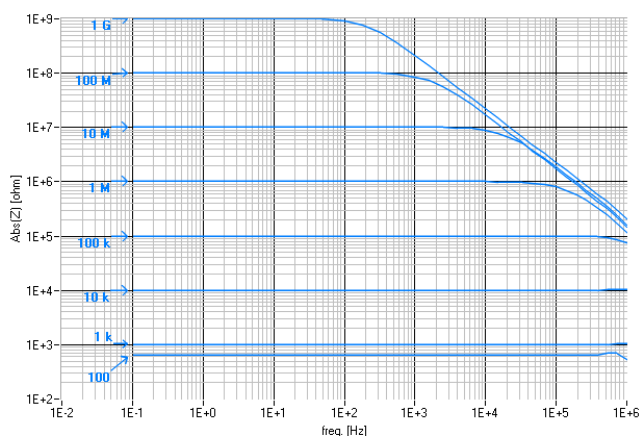
W drugim kroku program odczytuje typ dołączonej sondy, aby właściwie odtwarzać wartość prądu na podstawie rezystora zakresowego. Kolejnym krokiem jest konfiguracja torów kondycjonowania sygnałów oraz wykonanie procedur zerowania i polaryzacji stałoprądowej. Program wraca do tego etapu tak często, jak zostało to zdefiniowane w ustawieniach urządzenia. Następnie usuwane są składowe stałe w torach wejściowych powstałe w poprzednim kroku. Procedura powtarza się po każdej zmianie rezystora zakresowego. Kolejnym krokiem jest konfiguracja parametrów w rejestrach układu FPGA. Zazwyczaj pomiary rozpoczyna się od najwyższej częstotliwości (ze względu na krótszy czas procedury automatycznego doboru zakresu pomiarowego).

Między włączeniem generatora, a rozpoczęciem akwizycji próbek sygnałów występuje czas na ustalenie warunków pomiaru (w tym czasie zanikają stany nieustalone). Następnie program oczekuje na zakończenie pomiaru (zebranie wymaganej liczby próbek), po czym odczytuje wektorowe wyniki pomiaru napięcia i prądu. Na ich podstawie sprawdza czy amplituda sygnału prądowego mieści się w dozwolonym przedziale. Jeśli to konieczne i możliwe, następuje zmiana zakresu i pomiar jest wykonywany ponownie. Pomiar może być również powtarzany tyle razy, ile wynika z ustawień uśredniania. Po skończonym pomiarze, zmierzony wynik jest oznaczany datą i godziną oraz wpisywany do tabeli, a program wybiera kolejny punkt z listy zadanych punktów pomiarowych.

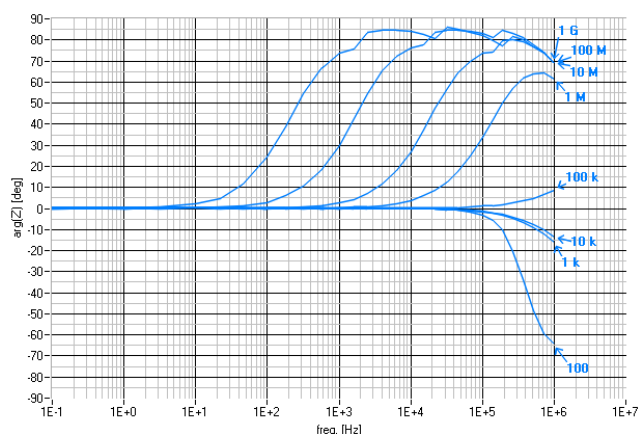
5. Eksperymentalna weryfikacja analizatora

W celu sprawdzenia poprawności działania urządzenia wykonano serie pomiarów rezystorów wzorcowych. Rezystory mierzone bez polaryzacji stałoprądowej, przy pobudzeniu sygnałem o amplitudzie 1 V w zakresie częstotliwości 100 mHz – 1 MHz. Wartości średnie wylczone z serii pomiarowej przedstawiono na rys. 8 i rys. 9.

Na wykresie obserwujemy załamanie charakterystyki dla rezystorów 100 k Ω i większych. Przyczyną są pojemności pasożytnicze rezystorów wzorcowych oraz sondy pomiarowej. Wyniki pomiaru rezystora 100 Ω odbiegają od wartości oczekiwanej, co jest spowodowane tym, że jego wartość znajduje się poza zakresem dostępnym dla użytej sondy pomiarowej. Jego pomiar odbywał się z najniższym możliwym rezystorem zakresowym i mimo tego, amplituda prądu była zbyt duża, powodując nasycenie przetworników pomiarowych.



Rys. 8. Wyniki pomiaru rezystorów wzorcowych - moduł impedancji
Fig. 8. Measurement results of the reference resistor – impedance modulus



Rys. 9. Wyniki pomiaru rezystorów wzorcowych - argument impedancji
Fig. 9. Measurement results of the reference resistor – impedance argument

6. Podsumowanie

Głównym celem pracy było sprawdzenie nowej koncepcji urządzenia - zastąpienie pakietu sterownika z procesorem DSP i dodatkowymi elementami (układ CPLD, pamięci, bufory) pojedynczym układem FPGA. Wybrany układ programowalny z dużym zapasem sprostał zadaniu i ograniczył liczbę elementów zewnętrznych. Zawarta w strukturze maszyna stanu realizująca cykl pomiarowy i komunikację z nadrzędnym komputerem PC pozwoliła wykluczyć dodatkowy kontroler zajmujący się komunikacją pomiędzy komputerem i pakietami analizatora. Zaimplementowano jednoczesne obliczanie pojedynczych punktów dwóch transformat DFT poprzez mnożenie „w locie” kolejnych próbek sygnału napięciowego i prądowego z wzorcem sinusoidy/cosinusoidy przechowywanym w pamięci oraz dodawanie iloczynów do akumulatorów. Pamięć ROM wzorcowej sinusoidy zaimplementowano tak, aby zająć jak najmniej zasobów układu FPGA. Jest ona używana jednocześnie przez generator DDS i woltomierz wektorowy. Ulepszony interfejs programowy charakteryzuje się łatwiejszą edycją danych, możliwością kontynuowania pomiaru po zatrzymaniu oraz kompaktową budową. W kodzie programu łatwo oddzielić część zależną od sprzętu. Jej modyfikacja pozwoli pracować z innym analizatorem impedancji. Z przeprowadzonych testów wynika, iż głównym ograniczeniem dokładności pomiaru jest zastosowany obwód wejściowy (sonda). Na obecnym etapie („proof of concept”) wykonano prototyp urządzenia oparty o płytke ewaluacyjną uzupełnioną o moduł przetworników. Pozwoliło to na weryfikację poprawności koncepcji, ale wymaga dalszego dopracowania. Po pierwsze, konieczne jest poszukiwanie nowego, bardziej energooszczędnego układu FPGA i optymalizacja projektu pod kątem minimalizacji poboru mocy. Po drugie, opracowanie finalnej wersji pakietu w formie dopasowanej do istniejącego analizatora, co pozwoli na lepsze rozproszanie sygnałów zegarowych i sterujących, bez ograniczeń płytki ewaluacyjnej. Dzięki zastosowaniu układu programowalnego istnieje możliwość łatwej implementacji zmodyfikowanego algorytmu pomiarowego. Nowa konfiguracja, odpowiednia płytka z liniami sygnałowymi i zegarowymi umożliwiłaby operacje podpróbkowania [9] i rozszerzenie zakresu częstotliwości pomiarowych powyżej 1 MHz.

7. Literatura

- [1] Santos J., Janeiro F. M., Ramos P. M.: Impedance frequency characterization of a vibrating wire viscosity sensor with multiharmonic signals. *Measurement*, Vol. 55, s. 276–287, 2014.
- [2] Moghaddam R. B., Pickup P. G.: An electrochemical impedance study of thin polycarbazole films. *Electrochimica Acta*, Vol. 130, s. 577–582, 2014.
- [3] Ślepski P., Darowicki K., Janicka E., Lentka G.: A complete impedance analysis of electrochemical cells used as energy sources, *Journal of Solid State Electrochemistry*, Vol. 16., No. 11, s. 3539–3549, 2012.
- [4] Miszczyk A., Darowicki K.: Multivariate analysis of impedance data obtained for coating systems of varying thickness applied on steel. *Progress in Organic Coatings*, DOI: 10.1016/j.porgcoat.2014.04.018.
- [5] Hoja J., Lentka G.: Analizator do spektroskopii wysokoimpedancyjnej wykorzystujący DFT w detekcji fazoczułej. *PAK*, Vol. 52, Nr 6 s. 45–47, 2006.
- [6] Xilinx: „Spartan-3 Generation FPGA User Guide”, v.1.6, 2009.
- [7] Hoja J., Lentka G.: Analizator do spektroskopii wysokoimpedancyjnej z wykorzystaniem CPS. *PAK*, Vol. 54, Nr 3, s. 102–105, 2008.
- [8] Altium: Live Design Evaluation Board Technical Reference Manual, ver. 1.0, 2004.
- [9] Hoja J., Lentka G.: Analizer for spectroscopy of low-impedance objects, *Metrology and Measurement Systems*, Vol. 15, No. 1, s. 19–31, 2009.